

嘉立创EDA标准版教程

v6.5.22

立创EDA编辑器: <https://lceda.cn/editor>

立创EDA客户端下载: <https://lceda.cn/download>

文档说明:

- 本文档会跟随编辑器的新功能更新而持续更新。
- 最新版本请前往 [立创EDA使用教程.pdf](#) 下载

常见问题

联系我们

[联系我们](#)

更新记录

[更新记录](#)

视频书籍

视频教程

- 更多视频教程请访问关注嘉立创EDA：
[嘉立创EDA的个人空间 | 哔哩哔哩](#)
- 嘉立创EDA快速入门教程视频：
 - [教你快速使用嘉立创EDA设计电路 | 哔哩哔哩](#)
 - [教你快速使用嘉立创EDA仿真电路 | 哔哩哔哩](#)
 - [嘉立创EDA 2020最新教学视频 | 立创课堂 | 哔哩哔哩](#)
 - [嘉立创EDA快速入门 客户端 | 哔哩哔哩](#)
 - [嘉立创EDA快速入门 教育版 | 哔哩哔哩](#)
 - [嘉立创EDA快速入门 移动版 | 哔哩哔哩](#)
- 嘉立创EDA使用教程视频：
- 原理图、符号库操作
 - [嘉立创EDA使用教程 符号库 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 符号库向导 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 原理图主题 | 哔哩哔哩](#)
 - PCB 封装库操作
 - [嘉立创EDA使用教程 自带拼版 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 手动拼版 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 智能尺寸 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 尺寸检查 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 自动布线 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 阵列分布 | 哔哩哔哩](#)
 - 设计管理
 - [嘉立创EDA使用教程 设计管理器 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 封装管理器 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 团队协作 | 哔哩哔哩](#)
 - [嘉立创EDA使用教程 版本控制 | 哔哩哔哩](#)
 - 制造文件Gerber
 - [嘉立创EDA使用教程 Gerber预览工具Gerbv的使用 | 哔哩哔哩](#)

[嘉立创EDA使用教程 Gerber预览工具Tracespace的使用 | 哔哩哔哩](#)

[嘉立创EDA使用教程 Gerber预览工具FlatCAM的使用 | 哔哩哔哩](#)

- 其他教程视频

[嘉立创EDA使用教程 3D预览 | 哔哩哔哩](#)

[嘉立创EDA使用教程 3D模型OBJ格式下载和导入 | 哔哩哔哩](#)

[嘉立创EDA使用教程 3D模型WRL格式下载和导入 | 哔哩哔哩](#)

[嘉立创EDA使用教程 导入图片并开窗露铜 | 哔哩哔哩](#)

PDF下载

[嘉立创EDA学习手册.pdf](#)

[嘉立创EDA使用教程.pdf](#)

[嘉立创EDA封装库命名参考规范.pdf](#)

[嘉立创EDA符号库与封装库创建规范.pdf](#)

书籍购买

[书籍《电路设计与制作实用教程 - 基于嘉立创EDA》 - 京东](#)

[书籍《电路设计与制作实用教程 - 基于嘉立创EDA》 - 立创商城](#)

[书籍《手把手教你学做电路设计 - 基于嘉立创EDA》 - 京东](#)

[书籍《手把手教你学做电路设计 - 基于嘉立创EDA》 - 立创商城](#)

生产与下单

怎么生成生产文件？怎么在嘉立创EDA下单购买元件和 PCB？

生成生产文件请查看：[生成制造文件Gerber](#)

元件购买和PCB下单请查看：[元件购买和PCB下单流程](#)

下载的 BOM 和 Gerber 等保存在哪里？

如果你使用的是浏览器，这个是根据你浏览器的设置保存的，你可以找到你浏览器的下载目录设置进行查看。也可以设置浏览器下载的保存目录。

如果你使用的是客户端，下载的时候会弹窗让你选择目录。

文档保存与恢复

可以不联网/离线使用吗？

嘉立创EDA是基于网页缓存的一个网页APP。当打开编辑器后程序已经缓存在浏览器本地，下次再打开也是读取缓存进行运行。

目前编辑器需要联网的操作有：元件库搜索、文档打开/保存、云端自动布线、仿真、3D预览、原理图转PCB、第三方EDA文件导入。

其他的操作均是属于离线操作。

如果你暂时断网了，你也可以继续在编辑器继续编辑。编辑完成后导出文件为json(嘉立创EDA文件源码)，下次联网再打开json保存在服务器即可。

更多信息请查看：[导出嘉立创EDA文件](#)

你下次断网时打开编辑器的话，可以直接打开保存在本地的json进行查看文件。

编辑器有“文档恢复”功能，当你在编辑过程中会自动缓存你的修改在本地，具体请看：[文档恢复](#)

有单机版/离线版的安装包吗？

除企业版外，我们不支持单机/离线版软件，均是需要联网登录使用。可以设置客户端运行模式为工程离线模式，你工程将保存在本地，库文件还是保存在服务器。

目前有三大平台的客户端：[点击下载嘉立创EDA客户端](#)

对于有保密要求的企业，嘉立创EDA提供私有部署版本，该版本只对企业提供，付费使用。企业可以搭建自己的服务器来使用，完全脱离外网。

文档会保存在哪里/可以保存在本地吗？

嘉立创EDA是在线软件，保存的数据均存储在云端服务器，本地也会保存缓存备份。[文档恢复](#)

保存在本地请查看：

[导出嘉立创EDA文件](#)

[导出Altium文件](#)

如果你使用客户端，可以设置客户端模式为工程离线模式，你工程将保存在本地，库文件还是保存在服务器。

怎么找回被误删的文件？

方法一：通过上面所说的“文档恢复”功能找回。[文档恢复](#)

方法二：在“个人中心 - 回收站”或“编辑器 - 左侧面板 - 回收站”找回。客户端在“工程离线”模式下不支持回收站功能。

导入导出

如何导入 AD(Altium Designer)、Protel 99se的文件

只支持导入原理图和 PCB，不支持直接导入库文件。导入库文件需要导入原理图或者PCB的时候进行提取。

具体请查看：[导入 - 导入Altium Designer文件](#)

如果是Protel 99se的文件，请先在 AD 打开，再根据上面的方式另存保存，再导入。

导入AD原理图如果中文乱码，请参考这个教程：[【教程】解决导入AD原理图中文乱码的方法](#)

如何导出嘉立创EDA的库到 AD 文件

请查看教程：[如何导出嘉立创EDA库到AD库](#)

导出 AD 格式时显示不正常？

具体请查看：[导出Altium文件](#)

目前只支持AD18及以下几个版本，AD19以上打开会无法正常解析。推荐AD17。

库相关问题

符号库

创建符号库文件和PCB封装文件

嘉立创EDA全部的符号库和PCB封装库文件都是共享的，无论个人还是团队的，所以当你创建并保存了一个新的库文件，其他用户就可以搜索得到你的库文件并使用它。那么你将会成为一个贡献者。正是因为库互相共享的原则，才可以使得广大用户可以找到很多想要的库文件，而不用再次耗费时间从头创建，加快了设计速度。



创建新符号库：

- 文档教程：[符号库 - 创建符号库](#)
- 视频教程：[符号库 - 新建符号库](#)

创建新封装库：

- 文档教程：[封装库 - 创建封装库](#)
- 视频教程：[封装库 - 新建封装库](#)

如何为符号库绑定/指定封装

在完成符号库的绘制后，在符号库编辑界面，选中符号库，点击右边属性面板 - 自定义属性 - 封装，点击输入框后在弹出的封装管理器进行搜索/选择指定。请查看：

[符号库 - 符号库属性 - 自定义属性](#)

[原理图 - 封装管理器](#)

原理图相关

如何符号库引脚/网络标签表示低电平，如何在文字上方添加横线

你可以在引脚名称/网络标签后面加 ### 号，一般 ### 号也可以表示低电平。

电平表示方式仅是一个符号你可以用你熟悉的符号，不一定在网络名称上方加横线。嘉立创EDA不支持在文字上方加横线这种方式。

为什么原理图的网络有可能会增加一个括号和数字，例如P1_1(1)?

如果你的原理图放了一个 P1，P1 有两个引脚，当它连接导线后可能会产生网络名为 P1_1和 P1_2; 此时你若在其他没有连接 P1 的导线放了一个网络标签名称为 P1_1，那么这个原理图转成 PCB 后，其网络飞线是根据网络名称产生，所以 P1 的 P1_1 会自动修改为 P1_1(1)。

PCB相关

如何在PCB输入中文/添加中文字体

放置一个文本之后，点击它，然后在右边属性面板点击新增，加载电脑的中文字体，然后再切换到中文字体即可输入中文。

windows系统的字体在 C:\Windows\Fonts，你需要将字体复制到桌面然后在编辑器中加载。你也可以在网上下载一个字体使用。

免费字体可以在下面的网站下载。

- [猫啃免费字体](#)
- [fontSpace](#)
- [谷歌noto字体](#)

在v5.7编辑器开始已经自带谷歌字体支持输入中文，因为是通过服务器转换，所以如果输入的中文比较多，需要等待几秒钟才可以显示出来。

编辑器自带的字体：

(NotoSansCJKsc-DemiLight)[<https://github.com/googlefonts/noto-cjk/blob/main/Sans/OTF/SimplifiedChinese/NotoSansCJKsc-DemiLight.otf>]

(NotoSerifCJKsc-Medium)[<https://github.com/googlefonts/noto-cjk/blob/main/Serif/OTF/SimplifiedChinese/NotoSerifCJKsc-Medium.otf>]

如何绑定3D模型?

具体查看教程：[【教程】PCB 3D模型预览教程](#)

目前不支持导出PCB 3D结构文件。

如何修改 PCB 画布单位，栅格大小?

点击画布空白处，在右边属性面板的第一个选项：单位。

下面还有栅格尺寸属性。

如何批量修改属性/批量修改丝印大小

方法1：通过右键菜单 - 查找相似对象；顶部菜单 - 查看 - 查找相似对象，进行查找，找到后在右边属性面板修改参数。

方法2：按住CTRL键，一个个点中要修改的元素，然后在右边属性面板修改。

方法3：在“层和元素”工具，切换到元素，把不需要的图元取消勾选，然后在画布批量框选后，在右边属性面板修改。

如何锁定元素

选中你需要锁定的元素，在右边属性面板设置锁定为是。

如何添加泪滴

在：顶部菜单- 工具(扳手图标) - 泪滴。

如何拼板

在：顶部菜单 - 工具(扳手图标) - 拼板。

具体请查看：[PCB 设计 - 拼板](#)

只拼接边框，嘉立创支持该种拼板方式。

如何铺铜

在PCB工具对话框里面，选择“覆铜”工具(快捷键 E)，对PCB进行铺铜。铺铜时使用快捷键 L 和空格键改变铺铜角度和方向。

如果铺铜重叠了，需要在“工具 - 铺铜管理器”调整铺铜顺序，优先级高的优先铺。

铺铜有修改后，点击“重建铺铜”按钮，或者使用快捷键“SHIFT+B”。

点击铺铜线框，在右边属性面板修改属性。

为什么有时候铺铜要很久

- 1、检查PCB是否有大量的多边形焊盘，一般出现在导入AD的PCB中，如果是请手动修改为长圆形或者矩形。
- 2、检查是否有大量导线圆弧，一般出现导入的AD的PCB中，AD的图片是大量线段组合成，需要手动删除。
- 3、检查边框外形是否很复杂，有边框重叠，或者大量边框，请手动调整，减少边框数量。

为什么我铺铜后没有显示出铺铜填充

1、你的铺铜的网络必须和当前层有网络一样的焊盘或过孔才可以，否则会被认为是孤岛被移除。点击铺铜线框，在右边属性面板修改网络。比如你的焊盘网络是VCC，你铺铜网络就需要设置为VCC。

2、如果你不改铺铜的网络，可以点击铺铜线框，在右边属性面板修改属性“保留孤岛”设置为“是”。

嘉立创EDA的铺铜逻辑是根据有没有连接关系决定是否是否是孤岛，如果没有和相同网络的图元连接，铜区会被认为是孤岛。

3、请检查编辑器版本是否已经是6.3以上，6.3的板子在6.2版本打开无法正常铺铜。请CTRL+F5刷新编辑器页面升级到6.3，如果确实无法升级到6.3，必须删除铺铜再重新绘制。

4、请检查边框是否已经闭合，导线之间需要端点闭合；是否有重叠的边框线段(一般出现在导入的PCB里面)。可以隐藏全部层后，只显示边框层查看，仔细检查每条线段。

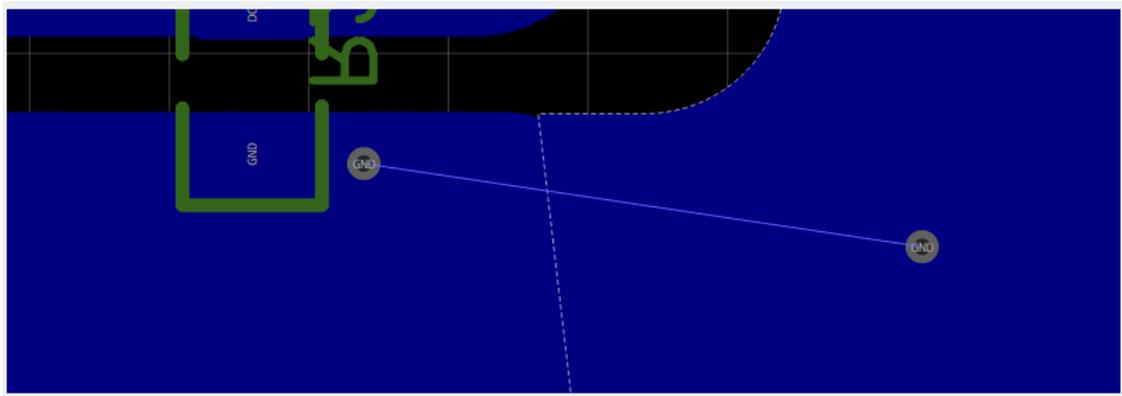
5、检查铺铜属性是否设置类型为“无填充”，需要设置为填充或者网格。

6、是否把铺铜区设置为不可见了，在画布的右边属性面板，设置铺铜区为“可见”。

7、仍然无法铺铜可能是编辑器的 bug，请联系我们。

为什么两个相同网络的铺铜重叠后飞线没有消失

- 因为目前不支持铺铜和铺铜重叠消除飞线，因为会导致飞线计算非常卡。故需要手动给两个铺铜之间连一条导线。



为什么我有飞线有导线看不见，但是网络名可以看见？

- 1、检查是否隐藏了飞线层，需要打开
- 2、检查设计管理器是否取消了网络的勾选项，取消勾选会隐藏飞线与相同网络的导线。

铺铜怎么设置禁止铺铜区域(挖空铺铜区)

方法一：使用实心填充，把实心填充类型设置为“无填充”，然后 SHIFT+B 重建铺铜即可，挖空的区域就是没有铺铜的区域，铺铜后实心填充需要保留不能删除。

需要圆形实心填充可以绘制一个圆，右键转为“槽孔”，再把它(layer)设置为顶层，类型设置为无填充即可。也可以绘制实心填充的时候，按快捷键 L 切换绘制形状。

方法二：优先在需要禁止铺铜的区域画一个铺铜，将该铺铜填充样式设为无填充，然后画外面的一个大铺铜即可，注意小铺铜和大铺铜的网络不能一致。

方法三：在对应的层画一圈导线或者圆，设置和铺铜不一样的网络，然后重建铺铜。画的导线或者圆需要保留不能删除，也不能换层。

铺铜详细描述请查看 [PCB - 铺铜](#)

怎么设置禁止布线区

嘉立创EDA不支持禁止布线层，和禁止布线区，可以在对应的层或者机械层，用导线绘制一个区域来人为控制。如果需要禁止一个区域的铺铜，可以使用“实心填充 - 无填充”，然后 SHIFT+B 重建铺铜即可。

如何画单层板？

具体请查看：[PCB 设计 - 层管理器 - 设计单层PCB](#)

如何在PCB添加跳线或测试点？

嘉立创EDA不支持跳线和测试点功能。跳线请直接通过换层后放过孔并画导线实现连接。如果是焊接使用的跳线，请不连对应的导线即可，只是会出现飞线，请忽略它。

测试点在原理图可以添加单引脚的接插件，放置后可以修改其封装。常用库有接插件的库。在PCB可以手动添加单层焊盘并连接导线。

怎么在PCB画槽/开槽/槽孔

方法一：画一段导线，然后右键选择“转为槽孔”菜单。

方法二：用实心填充绘制，然后把它(layer)的类型设置为槽孔(非金属化孔)。

方法三：在边框层用导线或者圆弧绘制一个闭合形状。板厂在割槽的时候是根据导线的中线进行切割。

如何在PCB中阻焊层开窗/暴露铜箔

先需要了解阻焊层的含义，阻焊层对应是PCB板上面的阻焊油层（通常是绿油），在画PCB时如果需要某个区域没有绿油覆盖就需要在PCB设计里面，在阻焊层绘制对应的元素(如矩形)，如果不画任何元素，板子默认全部覆盖阻焊油(除了焊盘)。嘉立创EDA的过孔默认盖油，过孔需要开窗则点击其属性面板的“创建阻焊区”按钮，过孔将自动变为焊盘。

方法1：

- 1.先在层工具，点击齿轮图标，打开层管理器，开启阻焊层。新建的 PCB 默认开启。
- 2.选中你要创建阻焊的导线或者实心填充，在右边属性面板点击“创建开窗区”按钮。
- 3.编辑器会自动在导线或实心填充相同的位置创建一个基本相同的阻焊层图元，完成开窗。

方法2：

- 1.先在层工具，点击齿轮图标，打开层管理器，开启阻焊层。新建 PCB 默认开启。
- 2.回到层工具，点击小铅笔图标将当前活动层切换到阻焊层。
- 3.用导线、矩形、或实心填充等绘制所需要的开窗形状，并移动到正确的位置。
- 4.此时已经完成了开窗操作。

为什么画PCB感觉很卡顿

嘉立创EDA标准版

标准版操作卡顿的优化方法：

- 0、原理图每页最好不要超过 200 个器件；PCB最好不要超过 300 器件，焊盘和过孔总数最好不要超过 1500。
- 1、在工具 - 设计规则，关闭实时DRC。
- 2、在设置 - PCB设置，关闭自动添加泪滴。
- 3、在设置 - PCB设置，关闭鼠标移动到导线上高亮网络。
- 4、在设置 - PCB设置，关闭旋转器件时导线跟随功能。
- 5、在设置 - PCB设置，关闭自动重建内电层。内层使用铺铜代替内电层。
- 6、在设置 - PCB设置，把画布缩放设置为速度优先。
- 7、在层与工具 - 隐藏飞线层，隐藏之后再移动器件。隐藏阻焊层和锡膏层(助焊层)。
- 8、检查有很多焊盘的封装，焊盘属性查看是否是多边形焊盘（以前导入AD的库可能存在），是的话要把焊盘改为矩形或长圆形。大量多边形焊盘会导致飞线计算卡顿。
- 9、如果是导入AD的PCB，需要把AD的logo图标删除再导入，因为AD的logo是转为大量导线，会导致很卡顿。
- 10、如果设置了网络颜色，需要取消网络颜色。设置了PCB的透明度，把透明度还原默认设置。
- 11、如果你有大量过孔或者焊盘没有设置网络，请给他们设置一个网络。如果你添加了大量GND过孔，请先删除，完成PCB后再添加。
- 12、标准版依赖CPU性能，如果可以建议使用CPU性能更好的电脑。优先使用v90及以上版本的谷歌浏览器，谷歌浏览器的性能更好。
- 13、转用嘉立创EDA专业版，PCB支持上千器件不卡段顿。<https://pro.lceda.cn/editor>

嘉立创EDA已经正式推出嘉立创EDA专业版，数万焊盘也不卡顿，数据相互独立，访问地址：<https://pro.lceda.cn/editor>

为什么自动布线失败或提示无效PCB

自动布线并不好！建议手动布线！可以使用“布线环绕”功能代替，在画布右边属性面板设置布线拐角即可。

如果自动布线失败，你可以尝试以下操作：

- 确保PCB的网络名没有特殊字符，比如 ; ~ \ / [] = 等等，中横线 - 和下滑线 _ 是支持的字符。
- 确保边框已经完全闭合，没有边框重叠的现象。
- 确保没有DRC间距错误（短路现象），比如两个不同网络的焊盘重叠，或者封装内相同位置有不同网络的焊盘。
- 确保没有元件在边框外部。
- 确保画布网格为10mil，把全部元件对齐网格，通过：顶部菜单 - 格式 - 对齐网格。
- 在合适的位置添加过孔，并且把过孔设置为所需要的网络。
- 忽略GND网络，并铺铜和设置铺铜网络为GND。
- 使用小的线宽和间隙，但要确保线宽大于6mil，自动布线不要设置有3位小数的规则。
- 先将重要的网络进行手动布线。
- 添加更多的层。更多的层会使板子价格更高。
- 重新布局，让它们之间的空间加大。
- 排除有重叠的焊盘，实心填充等。
- 云端自动布线耗费服务器CPU资源，使用人数多时会容易失败，请耐心等待或者使用本地布线服务器。
- 其他的将详细故障信息告知我们，并将你的PCB文件导出嘉立创EDA格式文件发给我们。

建议使用手动布线，自动布线没有手动布线的工整和美观；手动布线可以锻炼布线能力提升经验；使用本地自动布线可以减轻嘉立创EDA服务器负担。

为什么导入更新会出现封装被删除并新增，重新布局

具体请看：【教程】解决版本更新后导入更新全部器件偏移重排的方法 http://club.szlcsc.com/article/details/44052_1.html

其他问题

如何进行多窗口联动

嘉立创EDA从 6.4.0 开始，已经支持多窗口联动，可以很方便地跨窗口交叉选中，相互定位，布局传递等。

使用方法：

- 1、在同一个浏览器或者客户端，打开两个编辑器窗口。
- 2、一个窗口打开原理图，一个窗口打开PCB。也可以在文档顶部标签页 - 右键 - 在新窗口打开。
- 3、此时，当点击一个窗口的器件，导线时，另外一个窗口的相同器件和网络也将同时高亮。

如何在工程创建多个独立的PCB和独立的原理图

目前嘉立创EDA暂不支持这种多板设计，明年会支持。

暂时的解决方法：

- 1、原理图转多个PCB，每个PCB分别删除不需要的元件。但该方法不利于后面的PCB导入更新。
- 2、分别建多个工程，分别绘制不同的原理图和PCB。但该方法不利于网络关联排查。

后续嘉立创EDA会支持该功能。

请优先使用最新的谷歌浏览器或火狐浏览器

谷歌浏览器下载地址: https://pc.qq.com/detail/1/detail_2661.html

火狐浏览器下载地址: https://pc.qq.com/detail/1/detail_321.html

目前只对谷歌和火狐做最优兼容, 其他浏览器可能会出现兼容性问题。

假如你选择使用了国内的360, Baidu, QQ, Sogou, 傲游等:

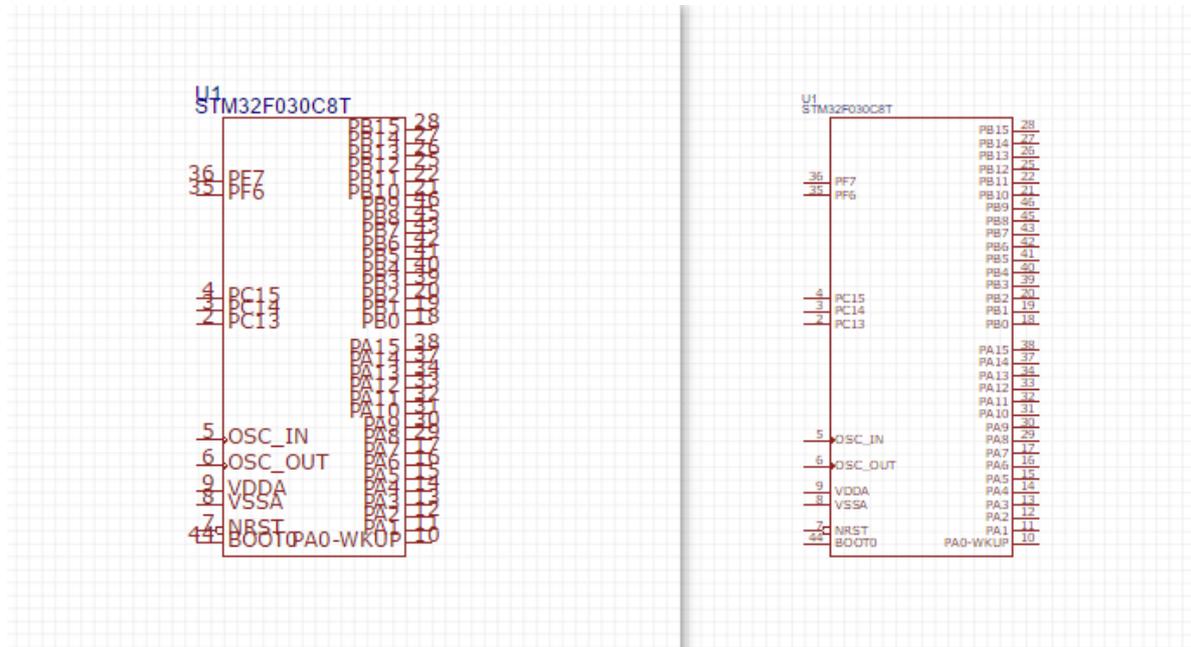
1. 首先升级到最新版本
2. 然后请关闭浏览器的手势功能, 否则无法按住鼠标右键平移
3. 切换到极速内核
4. 然后看看是否可以设置最小字体。具体参考[浏览器设置](#)

国内的浏览器内核版本太低, 可能有功能不起作用。

如何解决浏览器显示原理图字体过大问题

由于浏览器在中文语言的环境中, 会限制最小字体不能太小, 否则汉字就糊了, 而英文在小字体下依然清晰。

假如你的浏览器显示的是如下的图



通过这个教程: [修改浏览器最小字号限制](#) 设置最小字体后, 你可以看到清晰的缩放字体。

属性面板网格和栅格有什么区别?

栅格是指移动的步进距离, 网格是显示的格线大小。

如何更新编辑器到最新版本

客户端则下载最新版本安装, 如果是浏览器的, 通常直接刷新编辑器页面即可, 如果刷新页面不成功, 则可以关闭网页后清除浏览器缓存, 再重新打开。

嘉立创EDA和嘉立创是同一家公司吗?

是的, 属于同一个公司, 从 2020.09 嘉立创EDA被重新规划到了嘉立创公司下, 之前属于立创商城。

PCB订单业务请联系嘉立创, 元器件业务请联系立创商城, 嘉立创EDA的使用请[联系我们](#)。

嘉立创EDA客户端

客户端下载

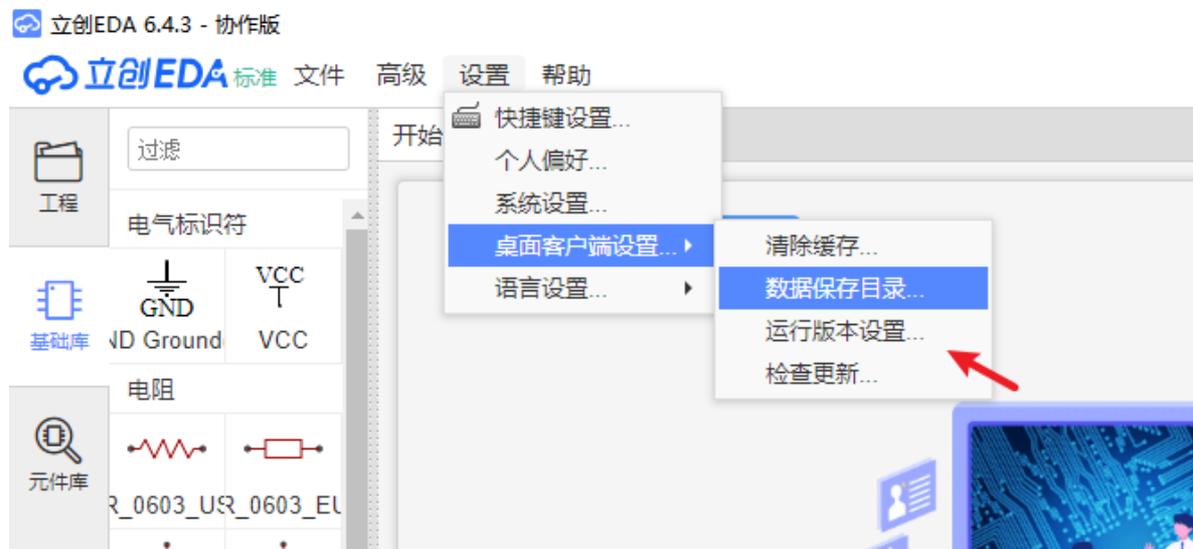
下载地址: <https://lceda.cn/page/download>

客户端视频教程

[嘉立创EDA快速入门 客户端 | 哔哩哔哩](#)

客户端运行版本

在第一次安装的时候, 或者在顶部菜单的设置菜单可以设置客户端运行版本。



协作模式

协作版功能最完整，与浏览器访问版本一致，可以获得及时的编辑器更新，团队协作功能，及时更新的库文件，海量共享库。

工程离线模式

工程保存在本地，库文件在云端服务器。

仅少量服务需要联网操作，如：库搜索，库保存，原理图转PCB，更新PCB等。

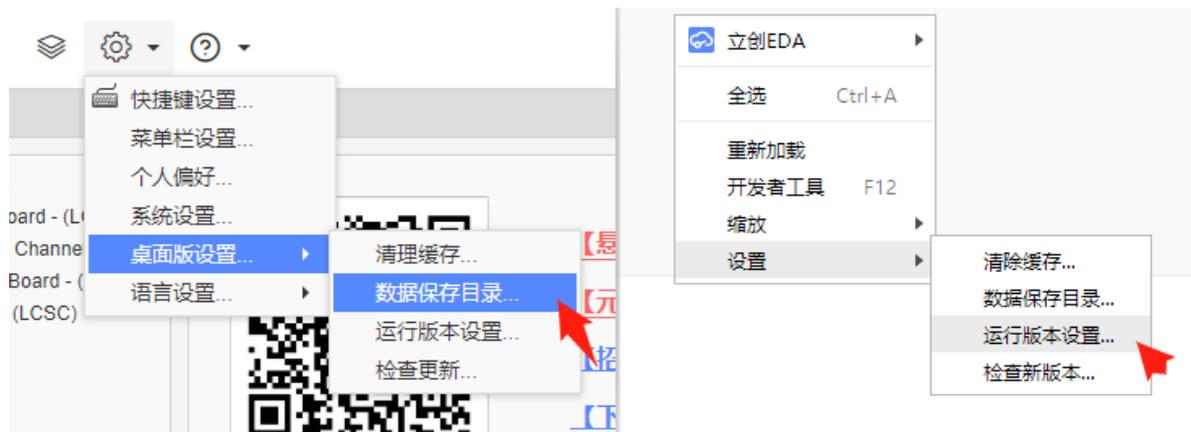
完全离线模式

暂未推出。工程和库文件都保存在本地，完全离线，仅对企业用户提供，需要付费使用。

目前只提供企业的私有部署版本。[私有部署申请地址](#)

客户端设置

直接在客户端开始页进行右键，查看设置菜单；或在设置菜单 - 客户端设置。

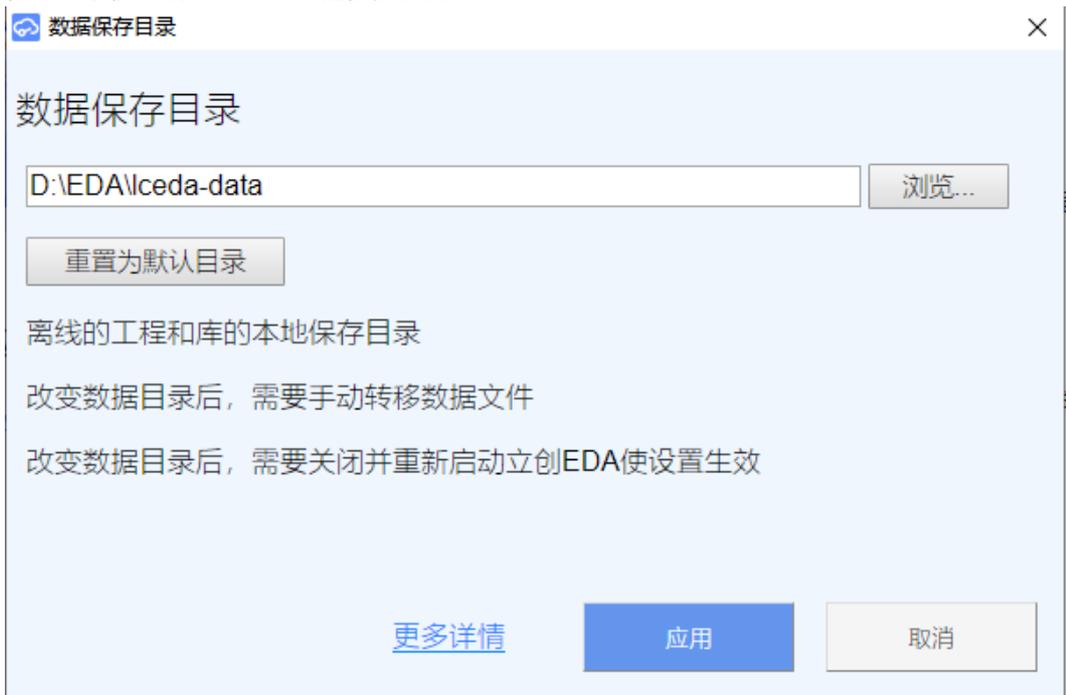


- **重新加载**：重新加载编辑器。
- **缩放界面**：缩放整个编辑器窗口，以适应显示器大小。
- **设置**：

- **清除缓存**：清理编辑器缓存。



- **数据保存目录**：设置保存工程的目录。包括离线工程保存目录，和自动备份到本地的目录。当运行“协作版”时，会自动在保存目录增加一个“projects_backup”文件夹，里面会保存每个单文档最新的备份，你如果需要恢复文档时，可以在该文件夹查找，并在编辑器打开。当然你也可以使用编辑器里的文档恢复功能。



数据 (D:) > EDA > lceda-data >



- **运行版本设置**：修改你所需要的版本。

- **检查更新**: 检查客户端版本。



导入云端工程到本地

如何批量导入线上的工程到工程离线版?

- 1、先下载工程备份到本地: [工程备份](#)
- 2、下载后解压, 得到工程单独的压缩包, 每个压缩包再单独解压在一个文件夹里面。
- 3、复制解压的工程文件夹到设置的工程保存目录下。
- 4、再打开客户端, 客户端会自动扫码新增的目录生成工程列表。

注意:

- 请不要直接在资源管理器里面直接修改文件夹里面的文档的名称, 也不要直接在文件夹里面直接复制粘贴新的文档, 否则编辑器无法正常识别新添加的文档。请通过编辑器“顶部菜单- 文档- 打开- 嘉立创EDA...”进行添加新文档进工程内。
- 客户端当版本过低的时候将不允许使用, 打开的时候会提示版本已经过期, 请在官网下载新版安装。
- 目前暂不支持自动更新, 必须手动下载后安装更新。建议及时更新到最新版本的客户端。

数据存储目录

嘉立创EDA客户端支持在每次保存的时候把当前文件备份到本地。在客户端数据保存路径下各个文件夹的含义:

名称	修改日期	类型	大小
offline_projects_backup	2021/6/28 15:50	文件夹	
online_projects_backup	2021/6/30 18:07	文件夹	
projects	2021/2/24 13:52	文件夹	

offline_projects_backup: 在线模式时, 工程备份文件。这个仅备份一个副本, 并且文件是独立开的。

online_projects_backup: 工程离线模式时, 工程备份文件。里面以工程每次保存的时间做子文件夹备份。在恢复工程时, 只需要复制一个时间节点的子文件夹到 projects 文件夹下, 修改文件夹名称, 再打开客户端即可。

^ > lceda-data > offline_projects_backup > New Project-33 >

名称	修改日期	类型
20210628_155005	2021/6/28 15:50	文件夹
20210630_181739	2021/6/30 18:17	文件夹
20210630_181745	2021/6/30 18:17	文件夹

projects: 工程离线模式时的工程存放文件夹。里面的文件内容请不要手动编辑, 也不要在一个文件夹内添加多个原理图文件, 会导致客户端无法正常打开文件。当客户端无法正常工程文件的时候, 可以尝试删除工程文件夹里面的 info 文件, 客户端在重新加载工程列表的时候会重新生成 info 文件。会有用户手动修改 info 导致无法正常打开工程文件。

常见问题

Windows 版本

目前发现部分 Win7 系统无法正常运行客户端, 无法正常打开界面, 原因未知, 属于系统兼容性问题。有时候需要比较长的时间才可以加载显示页面。

如果打开白屏, 可以尝试:

1、先关闭防火墙, 再启动客户端。如果关闭后正常运行, 则需要把客户端添加进入防火墙白名单。

如何关闭防火墙: <https://jingyan.baidu.com/article/cd4c2979d55c41756e6e60a1.html>

2、如果关闭防火墙仍然白屏无法加载, 请尝试。

先关闭客户端

- 1、在**管理员权限**打开系统的 cmd 命令窗口
WIN + R 键, 然后输入 cmd, 回车
![picture 288](../_images/Client-20200808033918.png)
- 2、在打开的 cmd 窗口输入: `netsh winsock reset`

```
C:\WINDOWS\system32\cmd.exe
Microsoft Windows [版本 10.0.18363.959]
(c) 2019 Microsoft Corporation。保留所有权利。

C:\Users\ASUS>netsh winsock reset_
```

- 3、回车
- 4、再打开客户端

Linux 版本

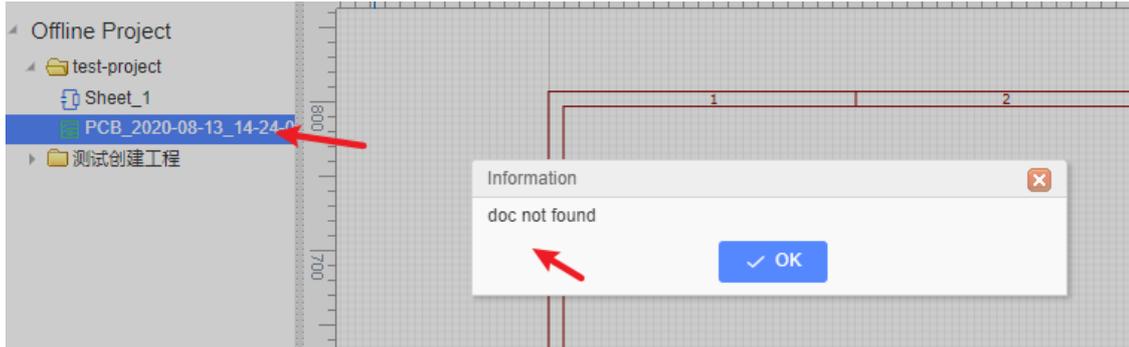
- 打开提示 segement fault。这个在低版本客户端会出现, 请及时更新客户端。

Mac 版本

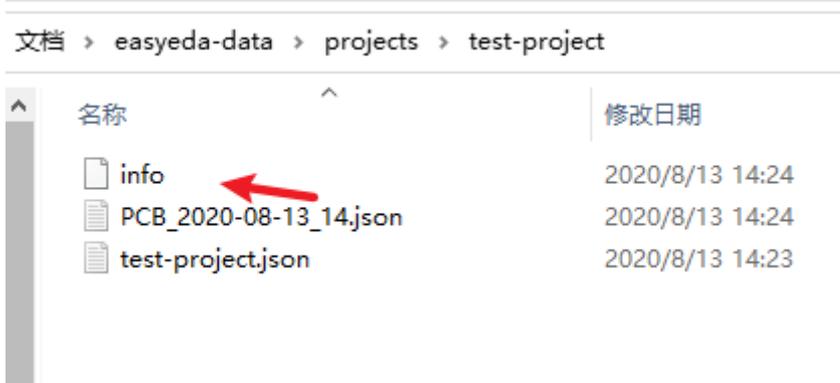
- 如果Mac OS安装提示安装包已损坏，请参考这条链接：[Mac安装软件时提示已损坏的解决方法](#)

其他

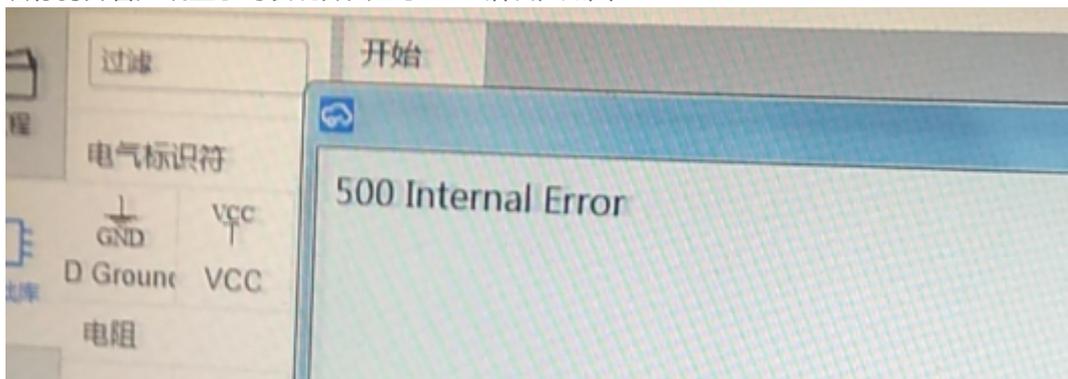
- 当运行模式是“**工程离线模式**”时，不支持打开开源平台的公开工程，也不支持打开个人工作区里面的工程。
- 工程离线模式，删除的文件将直接删除，并且无法恢复，你在顶部菜单 - 高级 - “文档恢复”功能找回。
- 打开后，对话框很久才显示登录界面。属于系统兼容性问题。部分电脑运行会非常慢，需要Electron 上游官方更新，嘉立创EDA暂时无法解决。
- 当你更新客户端版本后，打开本地的离线工程文档提示“document not found”，



请右键工程文件夹，打开工程路径，找到“info”文件并删除。再重启客户端。



- 若你打开客户端登录时发现界面显示 500 错误，如图：



请换浏览器使用或者在操作系统设置全局代理网络试试，嘉立创EDA客户端暂不支持网络代理。

关于升级

如果你使用的是网页版嘉立创EDA，编辑器可以很容易的自动升级。嘉立创EDA的升级方式是自动升级，不提供手动升级和暂停升级功能，也不提供降级选择。

查看当前版本

通过：顶部菜单 - 关于(问号图标) - 关于，菜单进行查看。

版本号规则

嘉立创EDA的版本号命名规则为：`发布年数.当年的大版本号.小版本号`。

如v5.6.3，则是嘉立创EDA(EasyEDA)编辑器的正式向外推出的第5年，在当年发布的第6个大版本中的第3个小版本，该版本是对外发布的版本。

升级方法

由于嘉立创EDA使用的是一种网页APP缓存技术([W3C HTML5 Offline Web Applications](#))，可以让你在离线时继续使用，但该技术有可能使在线升级失效。所以当嘉立创EDA发布了新版本，你的编辑器一直没有自动更新至最新版本时，可以尝试以下操作：

- 关闭浏览器，并重新打开。
- 打开编辑器等待一段时间，若没有更新再进行强制刷新网页操作两次（CTRL+F5）。
- 刷新后查看关于是否已经更新成功。

如果更新不成功，那么你需要清除浏览器缓存再次打开编辑器：

注意：

- *清除缓存会把原来的本地备份数据也清除！具体可看“文档教程-功能介绍-嘉立创EDA介绍-恢复备份数据”章节。*

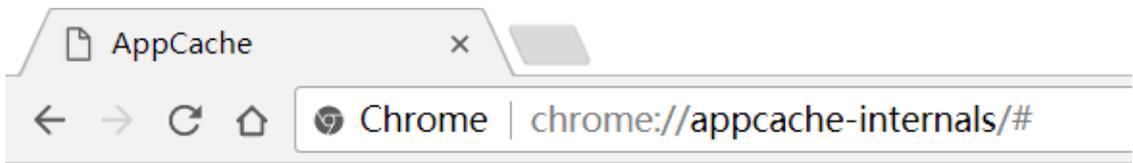
1. Firefox

- 关闭编辑器，点击 **选项 > 隐私与安全 > 网络内容缓存/网站数据 > 立即清除/清除所有数据**，或者使用快捷键；**Ctrl+shift+Delete**。
- 选择 **缓存** 后，点击**立即清除**。
- 重新打开嘉立创EDA编辑器即可。



2. Chrome

- 关闭编辑器，在地址栏输入 **chrome://appcache-internals/**
- 找到lceda.cn并且点击“Remove Item”。
- 然后打开编辑器即可。



Application Cache

Instances in: C:\Users\Summving\AppData\Local\Google\Chrome\User Data\Default (5)

<https://lceda.cn/>

Manifest: <https://lceda.cn/editor.appcache>

Size: 3.8 MB

- Creation Time: Thu Jun 29 2017 13:52:16 GMT+0800 (中国标准时间)
- Last Access Time: Sat Aug 12 2017 16:00:43 GMT+0800 (中国标准时间)
- Last Update Time: Sat Aug 12 2017 15:59:48 GMT+0800 (中国标准时间)

[Remove Item](#)

[View Details](#)

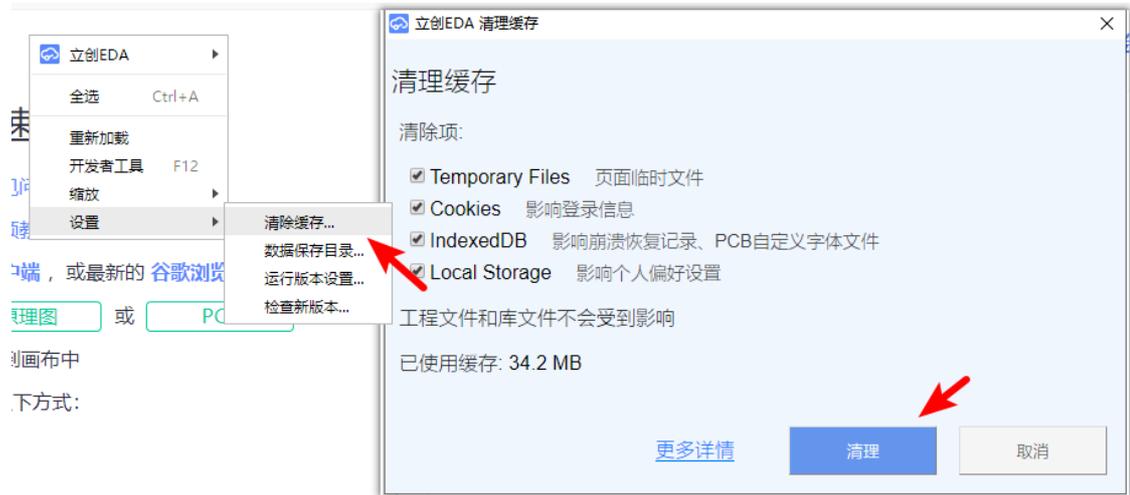
- 或者使用快捷键 **Ctrl+shift+Delete** 或者打开 **设置 > 隐私设置和安全性 > 清除浏览数据** 来删除所有缓存。



3. 客户端

- 关闭客户端再次打开。

- 如果没有升级成功，请在客户端开始页，右键菜单，点击“设置” - “清理缓存”。



- 完成后，重启客户端

个人中心常见问题

如何修改密码

进入个人中心，在左边导航面板的账户设置 - 密码设置

回收站如何使用，如何恢复误删的文件

进入回收站后，选择自己误删的文件或工程，然后点击恢复按钮即可恢复。

这里你可以找回你曾经删除的文件及工程，并恢复它。回收站包含个人文件以及团队文件，拥有团队编辑权限的成员可以对团队文件进行恢复。

鼠标移动到需要恢复的文档，点击恢复图标即可进行恢复。

类型	删除时间	
原理图库	2018-03-16 14:50:27	 
原理图库	2018-03-16 14:50:23	
原理图库	2018-03-16 14:50:20	
原理图库	2018-03-02 17:23:40	
文档	2018-03-02 17:10:06	

如何转移个人工程/库到团队中

转移工程：进入自己的需要转移的工程中，进入工程设置，找到高级设置 - 转移工程。转移时选择团队即可。

转移库：鼠标移动到需要转移的库文件上，会出现转移图标，点击它会弹出转移对话框，选择需要转移的团队即可。

为什么私信不能连续发送

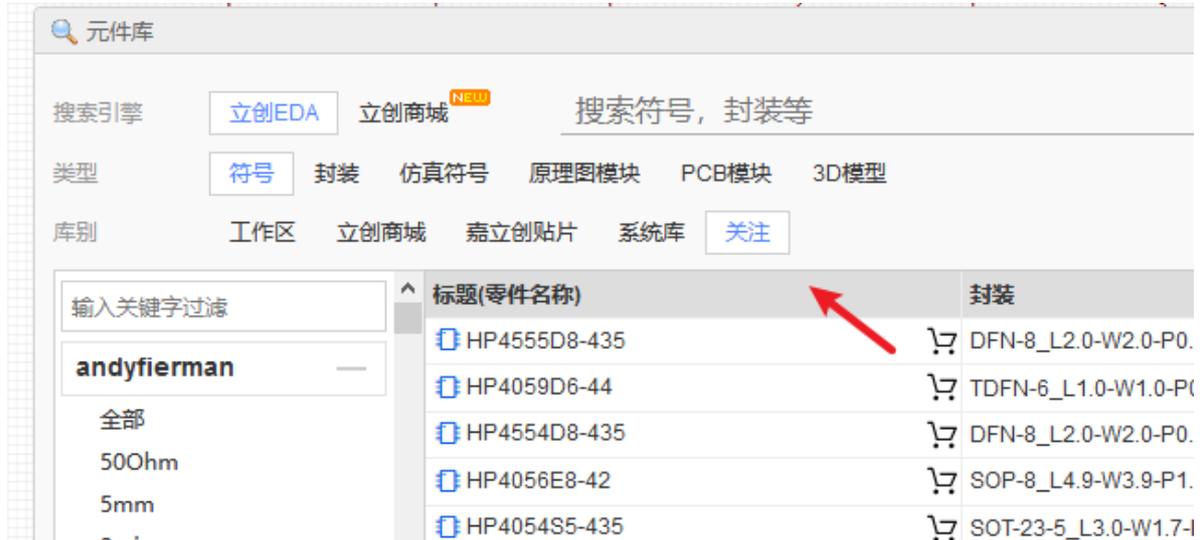
为了防止广告，每条私信发送需要间隔1分钟。

怎么关注好友

在好友模块展示个人关注的以及关注自己的用户。你还可以关注团队。

你也可以在工程广场/立创硬件开源平台关注用户。

当你关注了用户或者团队之后，他们的库和模块也将出现在：“库/模块 - 我关注的”中，也会出现在编辑器的“元件库 - 类型：符号库等 - 库别：关注”中，你将很方便地使用他们创建的库及模块。



怎么删除工程

在：工程 - 工程管理 - 设置 - 高级设置 - 删除工程。

如果你看不到这个删除按钮，请更换浏览器，可能是你的浏览器内核版本过低，暂时无法兼容。你可能需要将网页缩小到70%才可以看见。

工程管理

在此处展示个人创建的工程，参与的工程(团队工程)，以及收藏的工程，以及归档的工程。

新建工程

点击“工程”右边的“+”号，或者顶栏右边的“+”号图标，可以进入新建工程页面。



- **工程所属**：你创建的工程的所有者。如果你有创建团队，或者加入了团队并在团队中是管理员及以上权限时，你可以为你所在的工程创建工程。
- **工程标识**：当你输入工程名称后，会自动为你生成工程标识。你也可以单独进行修改。工程标识用于工程url的后缀，标识具有唯一性（用户所拥有工程的标识不能相同）标识以字母或数字开头，只能包含数字、字母、中划线、下划线及点，保存后不能修改。
- **工程属性**：你可以设置你的工程是公开工程还是私有工程。公开工程将可以被任何人访问查看，私有工程仅有工程所有者和工程成员可以查看或编辑。
- **公开协议**：当你选择公开工程，你可以为你的工程设置公开协议，不同的协议有不同的条款。各协议具体内容请查看下方链接：
 - **Public Domain**：<https://creativecommons.org/share-your-work/public-domain/>
 - **TAPR Open Hardware License**：<https://www.tapr.org/ohl.html>
 - **CERN Open Hardware License**：<https://www.ohwr.org/projects/cernohl/wiki>
 - **GPL 3.0**：<https://opensource.org/licenses/GPL-3.0>
 - **LGPL**：<https://opensource.org/licenses/lgpl-license>
 - **BSD**：<https://opensource.org/licenses/BSD-2-Clause>
 - **MIT**：<https://opensource.org/licenses/MIT>
 - **CC-BY 3.0**：<https://creativecommons.org/licenses/by/3.0/>
 - **CC-BY-SA 3.0**：<https://creativecommons.org/licenses/by-sa/3.0/>
 - **CC-BY-NC-SA 3.0**：<https://creativecommons.org/licenses/by-nc-sa/3.0/>
 - **CC-BY-NC 3.0**：<https://creativecommons.org/licenses/by-nc/3.0/>

所有工程

这里显示所有你创建的，加入的工程。这里默认是以最新的工程更新时间排序，最新修改的工程排在最前面。

置顶工程：鼠标移动在工程缩略图上时，可以看见一个图钉，点击后可以将该工程置顶，可以一直保持置顶状态。改置顶功能与编辑的工程置顶功能同步生效。最近置顶的工程将会提至最前。

分享工程：这里提供了一个很方便的分享工程的按钮，点击后会自动将你的工程设置为公开，并生成工程的公开链接，但是没有设置公开协议，你若需要设置公开协议请进入工程后，在基础设置修改协议。

我创建的

这里仅显示属于你的私有的工程。

归档工程

当你的工程过多，并且有工程已经完成不再需要展示在编辑器时，你可以将该工程进行归档。工程归档后将无法再次编辑，你需要将其解档后才允许被编辑。工程归档后将不会在“所有工程”，“我创建的”，和编辑器中显示。

归档方法：**进入工程 > 设置 > 高级设置 > 归档工程。**

解档方法：**进入工程 > 设置 > 高级设置 > 解档工程。**

我收藏的

当你在工程广场收藏其他用户优秀的公开工程将显示在这里。此处的工程不会展示在编辑器中。

工程管理

嘉立创EDA提供功能强大的工程管理，点击“进入工程”后进入工程管理页面。

工程文档

进入工程后，展示的是当前工程的文档：原理图与仿真子电路、PCB、仿真文件。可以点击“+”号图标跳转到编辑器创建原理图和PCB。



鼠标移动到文档缩略图上，可以进行编辑文档或删除。

工程版本

[嘉立创EDA使用教程 版本控制 | 哔哩哔哩](#)

在此可以为工程创建不同版本，版本内的文档只能查看，无法再次进行编辑保存。

创建版本时，会将当前状态下的工程文档创建一份历史快照，你可以创建多个历史版本。创建版本时不会添加附件进去。

注意:

- 仅工程所有者或者超级管理员才有权限删除版本记录。

工程附件

你可以上传20MB以内的附件在工程内。

工程成员

嘉立创EDA允许你的工程在不进行公开的情况下添加成员，添加的成员必须是嘉立创EDA的注册用户。

你可以通过链接和邮箱邀请你的朋友加入。

加入的成员可以自行退出工程，也可以由工程管理员及以上移出工程。

[嘉立创EDA使用教程 团队协作 | 哔哩哔哩](#)

- 成员权限：
 - **所有者**：个人工程的所有者。拥有对工程所有的操作权限。
 - **超级管理员**：团队工程的所有者。拥有对工程所有的操作权限。
 - **管理者**：拥有工程文档，工程设置，工程下载，工程成员的操作权限。
 - **开发者**：拥有工程文档，附件创建编辑权限。
 - **观察者**：拥有对工程文档，附件查看权限。

工程设置

- **基本设置**：可修改工程封面，工程名称，工程描述及属性与标签。
- **高级设置**：
 - **下载工程**：下载工程将下载与此工程相关的文档，附件。工程文档将以嘉立创EDA的json格式方式下载，可以在编辑器通过 **顶部菜单 > 文件 > 打开 > EasyEDA源码** 打开。
 - **归档工程**：注意工程归档后，该工程将会移到“工程所有者(超级管理员)”的归档工程中，并且不能对该工程做任何操作，直到解除归档；编辑器中也不再显示该工程。“工程所有者”可以在工程->归档工程中进行解除归档操作。
 - **转移工程**：允许转移给：当前工程成员、加入的团队(有管理员权限)。工程中原有成员将保留。转移后转移者将变成工程中的管理员。
 - **删除工程**：删除工程将会连同其相关的所有数据（包括 讨论，动态 等在内）一起删除。

团队管理

这里展示个人创建的，加入的团队。

工程：这里只展示你加入的工程。仅团队管理员及以上权限有可以创建工程。

模块：团队普通成员可以创建。

库：团队普通成员可以创建。

成员：团队可以创建多个工程，每个工程可以设置不同的成员，及成员权限。嘉立创EDA的团队成员权限与工程成员权限独立。团队成员角色如下：

- 成员：仅创建团队模块及库的基本权限，项目创建权限。
- 管理员：拥有文件管理，成员管理，团队基本设置权限。
- 所有者：团队最高权限，可进行团队转移，解散。所有者在团队的工程里属于超级管理员。

点击“工程设置”可以对成员进行设置对应的工程访问权限与编辑权限。

The screenshot shows a team management interface. At the top right is a green button labeled "添加成员". Below it is a section titled "团队角色" (Team Role) with a sub-section "所有者" (Owner) and a "成员" (Member) dropdown. A "工程设置" (Engineering Settings) button is circled in red. Below this is a table with columns "加入工程" (Join Project), "工程" (Project), and "工程权限" (Engineering Permissions). The table contains one row for "工程01" with a checked "加入工程" checkbox. A dropdown menu is open for "工程权限", showing options: "开发者" (Developer), "管理者" (Manager), "开发者" (Developer), and "观察者" (Observer). There are "确定" (Confirm) and "取消" (Cancel) buttons at the bottom right of the dropdown.

[嘉立创EDA使用教程 团队协作 | 哔哩哔哩](#)

每个团队可支持100个成员。

粉丝：这里显示团队的关注者。

设置：这里可以进行团队基本信息设置。

- 转移团队所有权：仅团队所有者可以进行转移，仅支持转移给当前成员。转移后权限将被降级为团队管理者。该操作无法撤销，请谨慎操作。
- 解散团队：解散团队前必须转移或删除掉所有工程，否则无法解散团队。团队下的库与模块不会进行自动删除，该操作无法撤销，请谨慎操作。

寻求帮助

微信支持

工作日(09:00~18:00)

技术客服微信号：



嘉立创EDA公众号: lceda-cn

立创开源平台公众号: oshwhub

工作日(09:00~18:00)



问题反馈: <https://lceda.cn/page/feedback>

电话支持

工作日(09:00~18:00)

座机: 请联系手机

手机号: 153 6159 2675

邮件支持

技术支持: support@lceda.cn

商务合作: dillon@lceda.cn

社区支持

嘉立创EDA为广大用户提供了友好的社区支持。社区请访问: [嘉立创EDA用户论坛](#)

业务合作

嘉立创EDA可提供的合作支持有:

企业方向

1. 企业培训
2. 企业私有部署
3. 其它企业合作

联系人: 任经理 18682035937 (微信同电话)

嘉立创

任工——立创EDA

18682035937

高校方向

1. 赛事赞助
2. 联合实验室
3. 共建课程

4. 高校培训

联系人：莫经理 18165706664（微信同电话）

邮箱：lceda_mzh@qq.com



运营推广方向

1. 训练营合作
2. 渠道资源合作
3. 其它合作

联系人：吴经理 18565680117（微信同电话）

邮箱：wuqiju@lceda.cn



其他

立创商城元件订单问题请联系: <https://www.szlcsc.com/contact.html>

嘉立创PCB订单问题请联系: <https://www.sz-jlc.com/portal/vcontact.html?1>

注意:

- 如果是使用技巧上面的问题, 请先查看本帮助文档后尝试自行解决, 本文档已经阐述嘉立创EDA几乎所有功能。若仍然不能解决, 可通过以上方法联系技术支持人员。
- 由于嘉立创EDA没有太多的人力资源去专门处理这些问题, 所以解决你的问题可能会有一定的滞后, 技术支持人员会尽快回复解决。
- 当前技术支持人员更多的是协助新用户对编辑器的熟悉和使用。

业务合作

嘉立创EDA可提供的合作支持有:

企业方向

1. 企业培训

2. 企业私有部署
3. 其它企业合作

联系人：任经理 18682035937 (微信同电话)



高校方向

1. 赛事赞助
2. 联合实验室
3. 共建课程
4. 高校培训

联系人：莫经理 18165706664 (微信同电话)

邮箱：lceda_mzh@qq.com

嘉立创

莫工-立创EDA

18165706664

lceda_mzh@qq.com



运营推广方向

1. 训练营合作
2. 渠道资源合作
3. 其它合作

联系人：吴经理 18565680117（微信同电话）

邮箱：wuqiju@lceda.cn



介绍

简介

教程PDF下载

[嘉立创EDA学习手册.pdf](#)

[嘉立创EDA使用教程.pdf](#)

欢迎使用嘉立创EDA/LCEDA

- 嘉立创EDA是一款基于浏览器的，友好易用的，强大的EDA(Electronics Design Automation: 电子设计自动化)工具，起于2010年，完全由中国人独立开发，拥有自主知识产权。现属于立创商城旗下的一个重要部门。嘉立创EDA服务于广大电子工程师、教育者、学生、电子制造商和爱好者。致力于中小原理图、电路图绘制，仿真，PCB设计与提供制造便利性。
- 嘉立创EDA可以不需要安装任何软件或插件。可以在任何支持HTML5,标准兼容的web浏览器打开嘉立创EDA。请优先使用最新版Chrome和FireFox浏览器，其他浏览器嘉立创EDA暂时不做适配。
- 嘉立创EDA是知名在线EDA软件EasyEDA的国内版本，嘉立创EDA专注国内用户，EasyEDA专注国外用户；

嘉立创EDA和EasyEDA功能上一致;

国内版与国外版账号数据系统相对独立, 不互通;

因为嘉立创EDA数据服务器建立在国内, 所以国内用户访问嘉立创EDA速度更快, 基本无EasyEDA的卡顿现象。

- 无论你使用的是Linux, Mac, Windows, 嘉立创EDA均可以为你提供专业的优质服务。访问地址:
<https://lceda.cn/editor>
- 国内个人用户**永久免费**, 提供友好的社区支持。社区请访问:
http://club.szlcsc.com/forum/97_0_1.html/
- 现在已经不支持将海外版的账号迁移至国内版, 如果希望将海外版的设计转到国内版, 可以右键下载工程, 然后在国内版打开并保存即可。

目前嘉立创EDA标准版支持小板子绘制, 如果PCB元件数量比较多的请使用嘉立创EDA专业版 pro.lceda.cn/editor, 专业版采用了新的PCB引擎, 更流畅, 缩放不会产生卡顿。

嘉立创EDA盈利模式

- 嘉立创EDA目前依靠立创商城元器件销售支撑;
- 未来会为企业用户, 高级用户提供付费服务。
- 如果你想支持嘉立创EDA更好的发展, 你可以:
 - 在立创商城(www.szlcsc.com)购买元件;
 - 在嘉立创EDA的兄弟公司嘉立创进行PCB打样与贴片(www.jlc.com);
 - 使用嘉立创EDA创建个人的库文件和公开的工程;
 - 向朋友推荐嘉立创EDA(<https://lceda.cn/editor>)。

嘉立创EDA可提供

- 简单, 易用, 友好, 强大的绘图体验与能力
- 可在任意地点, 任意时间, 任意设备上工作
- 实时团队协作
- 团队管理与工程管理
 - 团队成员权限管理
 - 工程权限管理
 - 工程版本
- 在线共享
- 文档恢复与历史记录
- 大量的开源项目
- 生态链整合
 - [元件购买: http://www.szlcsc.com](http://www.szlcsc.com)
 - [PCB制造: http://www.sz-jlc.com](http://www.sz-jlc.com)
 - [钢网制造: http://www.jlc-gw.com](http://www.jlc-gw.com)
- 文档恢复
- 原理图绘制
 - 基于LTSpice的仿真功能
 - 仿真模型和子电路的创建
 - 波形图的查看和导出(CSV)
 - 网表导出(Spice, Protel/Altium Designer, Pads, FreePCB)
 - 多文件格式导出(PDF, PNG, SVG)
 - 嘉立创EDA文件导出(json)
 - Altium Designer格式导出

- BOM导出
- 多页原理图
- 原理图模块
- 主题设置
- PCB设计
 - 设计规则检查
 - 多层设计
 - 多文件格式导出(PDF, PNG, SVG)
 - 嘉立创EDA文件导出(json)
 - Altium Designer格式导出
 - BOM导出
 - DXF导出
 - 照片预览
 - Gerber文件导出
 - SMT坐标文件导出
 - 自动布线
 - PCB模块
- 文件导入
 - Altium/ProtelDXP ASCII 原理图/PCB
 - Eagle 原理图/PCB/库文件
 - DXF文件
- 库文档
 - 超过100万库文档(符号库和封装库)
 - 库文档管理
 - 符号/子库的创建与编辑
 - 仿真符号的创建与编辑
 - 封装库的创建与编辑
- 提供API
- 支持脚本

文档说明：

- 本文档会跟随编辑器的新功能更新而持续更新。

注意：

- 在首次使用嘉立创EDA进行项目设计前，请花两小时阅读本帮助文档以及[常见问题](#)，可极大提高你的设计效率，减少出错
- 帮助文档看起来页数多，但其实只要浏览一遍标题就很快找到你要找的内容，如果没有找到，也有可能是该功能暂未实现。

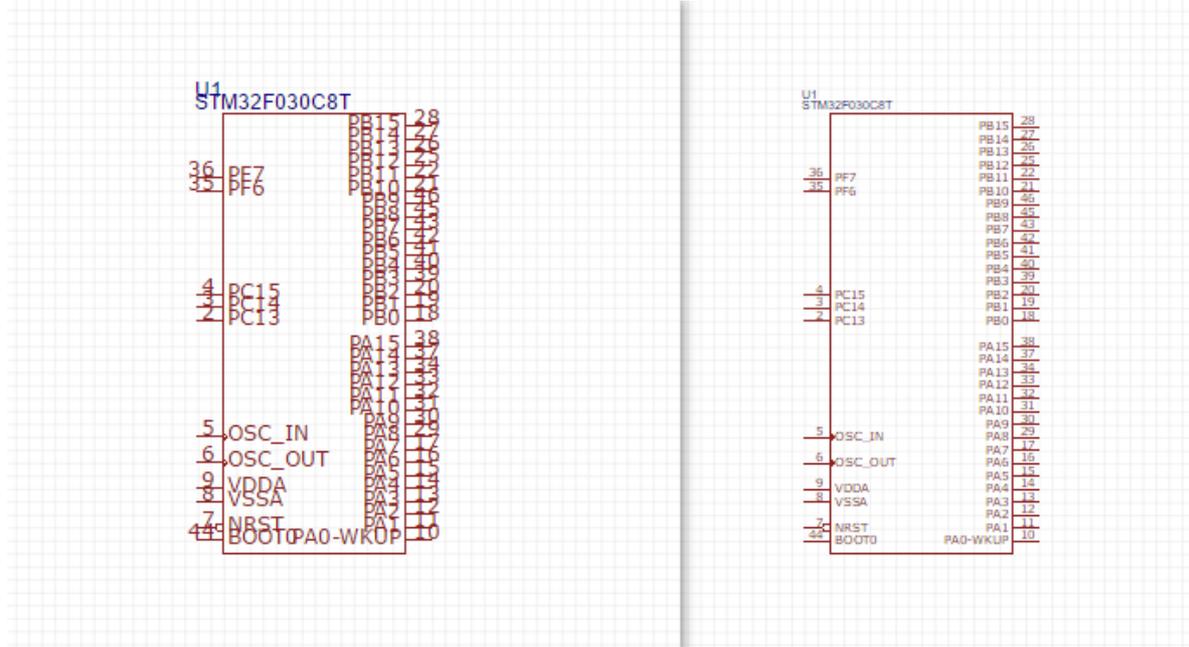
浏览器设置

在使用嘉立创EDA之前，请先对浏览器进行设置。推荐使用原生的Chrome谷歌浏览器和Firefox火狐浏览器，嘉立创EDA优先支持这两款浏览器，不建议使用IE和Edge。若你使用的是国内厂商基于Chromium浏览器二次开发的浏览器，如QQ浏览器，360浏览器，百度浏览器等，你需要切换至**极速内核**，设置浏览器最小字号和关闭鼠标手势，并对Iceda.cn取消广告拦截，否则可能会无法正常使用。

切换至极速内核：使用双核浏览器时，必须切换至极速内核，若使用兼容内核(IE内核)，部分功能可能无法正常使用。如文件导入失败，布线样式错误，铺铜区域错误。

关闭手势功能：如果不关闭浏览器手势，将无法在编辑器使用长按右键平移功能（可以使用带滚轮按键的鼠标长按滚轮实现平移功能）。

设置浏览器最小字体：使用谷歌浏览器内核的浏览器通常设置最小字体字号为12号，在原理图进行缩小时会出现文字太大的现象(如下图左边)，此时你需要将最小字号设为更小。



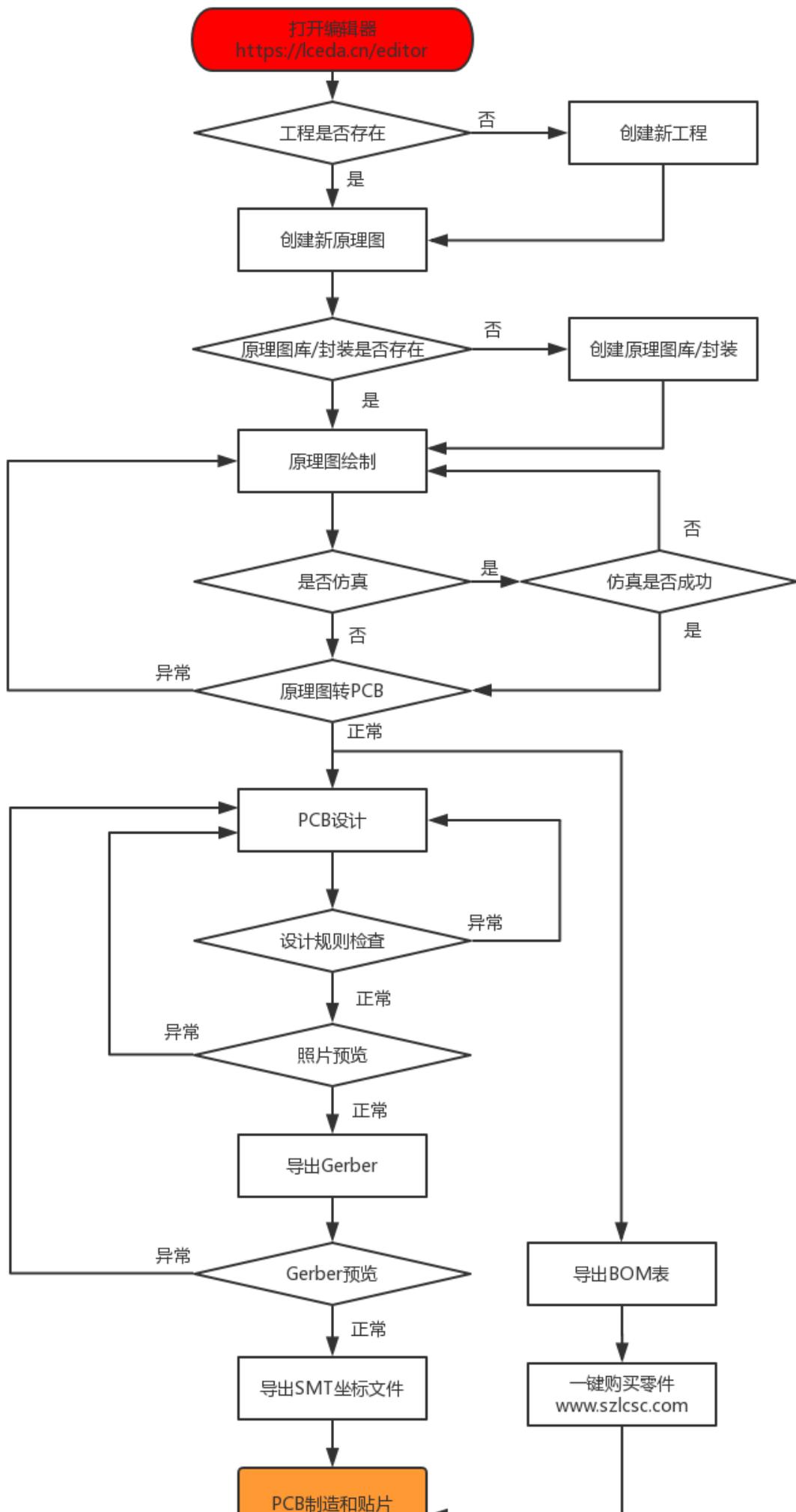
以下是浏览器的设置方法，供参考（若浏览器更新，请按照浏览器最新设置方法设置）：

- 谷歌浏览器：
 - 切换极速内核：无需设置。
 - 关闭手势功能：不支持，无需设置。
 - 设置最小字号：**设置 > 外观 > 自定义字体 > 最小字号。**
- 火狐浏览器：
 - 切换极速内核：无需设置。
 - 关闭手势功能：不支持，无需设置。
 - 设置最小字号：**选项 > 内容 > 字体和颜色 > 高级 > 最小字体大小**，将最小字号设为最小。
- 360安全浏览器：
 - 切换极速内核：点击地址栏最右边的内核模式切换按钮。
 - 关闭手势功能：**设置 > 鼠标手势 > 启用鼠标手势**，去掉勾选。
 - 设置最小字号：**设置 > 界面设置 > 字体大小 > 自定义字体大小**，将最小字号设为最小。
- 360极速浏览器：
 - 切换极速内核：**选项 > 高级设置 > 内核模式 > 默认使用Blink内核。**
 - 关闭手势功能：**选项 > 鼠标手势 > 启用鼠标手势**，去掉勾选。
 - 设置最小字号：**选项 > 高级设置 > 网络内容 > 自定义字体 > 最小字体号**，将最小字号设为最小。
- 猎豹浏览器：
 - 切换极速内核：**选项/设置 > 基本设置 > 浏览模式 > 优先使用极速模式。**
 - 关闭手势功能：**选项/设置 > 鼠标手势 > 启用鼠标手势**，去掉勾选。

- 设置最小字号：**选项/设置 > 更多设置 > 网页内容 > 自定义字体 > 最小字号**，将最小字号设为最小。
- QQ浏览器：
 - 切换极速内核：**设置 > 高级 > 内核模式 > 总是使用极速内核**。
 - 关闭手势功能：**设置 > 手势与快捷键 > 开启鼠标手势**，去掉勾选。
 - 设置最小字号：**设置 > 常规设置 > 网络内容 > 自定义字体 > 最小字号**，将最小字号设为最小。
- 傲游5浏览器：
 - 切换极速内核：**工具 > 内核切换：兼容 -> 极速**。
 - 关闭手势功能：**设置 > 鼠标手势和快捷键 > 鼠标手势 > 启用鼠标手势**，去掉勾选。
 - 设置最小字号：无需设置，默认最小字号。
- 搜狗浏览器：
 - 切换极速内核：**工具 > 切换到极速模式**。
 - 关闭手势功能：**工具 > 选项 > 鼠标手势 > 启用鼠标手势**，去掉勾选。
 - 设置最小字号：无法设置。
- 百度浏览器：
 - 切换极速内核：点击地址栏最右边的内核模式切换按钮。
 - 关闭手势功能：**浏览器设置 > 高级设置 > 鼠标手势 > 启用鼠标手势**，去掉勾选。
 - 设置最小字号：无法设置。
- UC浏览器：
 - 切换极速内核：点击地址栏最右边的内核模式切换按钮。
 - 关闭手势功能：**设置 > 鼠标手势 > 基本 > 启用鼠标手势**，去掉勾选。
 - 设置最小字号：**设置 > 其他 > 网络内容 > 自定义字体 > 最小字号**，将最小字号设为最小。
- Opera浏览器：
 - 切换极速内核：无需设置。
 - 关闭手势功能：**菜单 > 设置 > 浏览器 > 快捷键 > 启用鼠标手势**，去掉勾选。
 - 设置最小字号：**菜单 > 设置 > 网站 > 显示 > 自定义字体 > 最小字体大小**，将最小字号设为最小。

工程设计流程

使用嘉立创EDA进行设计的流程如下：





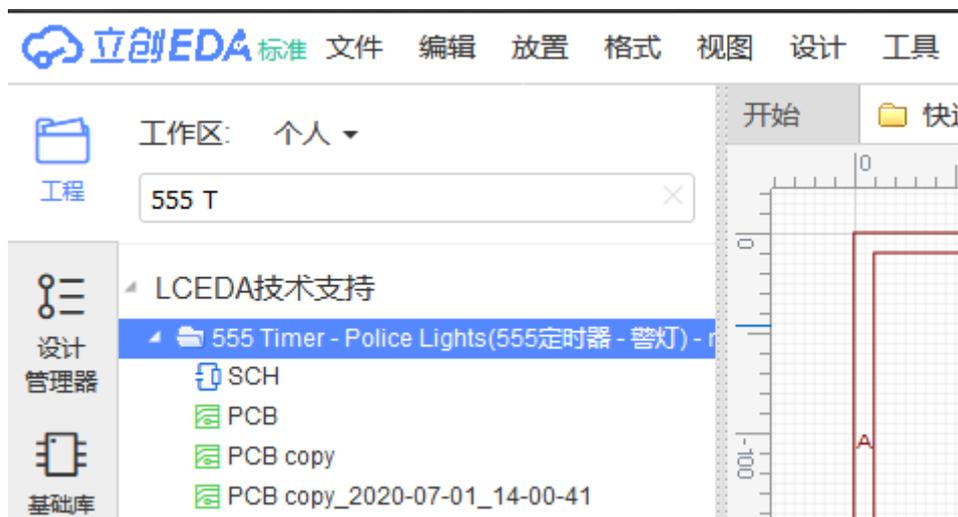
使用界面

嘉立创EDA拥有一个友好的，简洁的，美观的使用界面。

嘉立创EDA有三个区域非常重要，分别是上面的主菜单栏、左边的导航面板和右边的属性面板。工程、元件库、设计管理等均可以在导航面板找到；通过选择你需要的项目，在属性面板可以查看和修改你想要的属性。

筛选器

使用筛选器，只需要输入部分字符就可以很方便地搜索出想要的东西。在工程按钮下，可以很方便搜索工程，工程里面的文件。在常用库可以很方便搜索想要的零件符号。比如直接在常用库搜索“555”即可将 555定时器 工程搜索出来。



筛选器只能搜索标题，文件或工程的描述无法搜索。

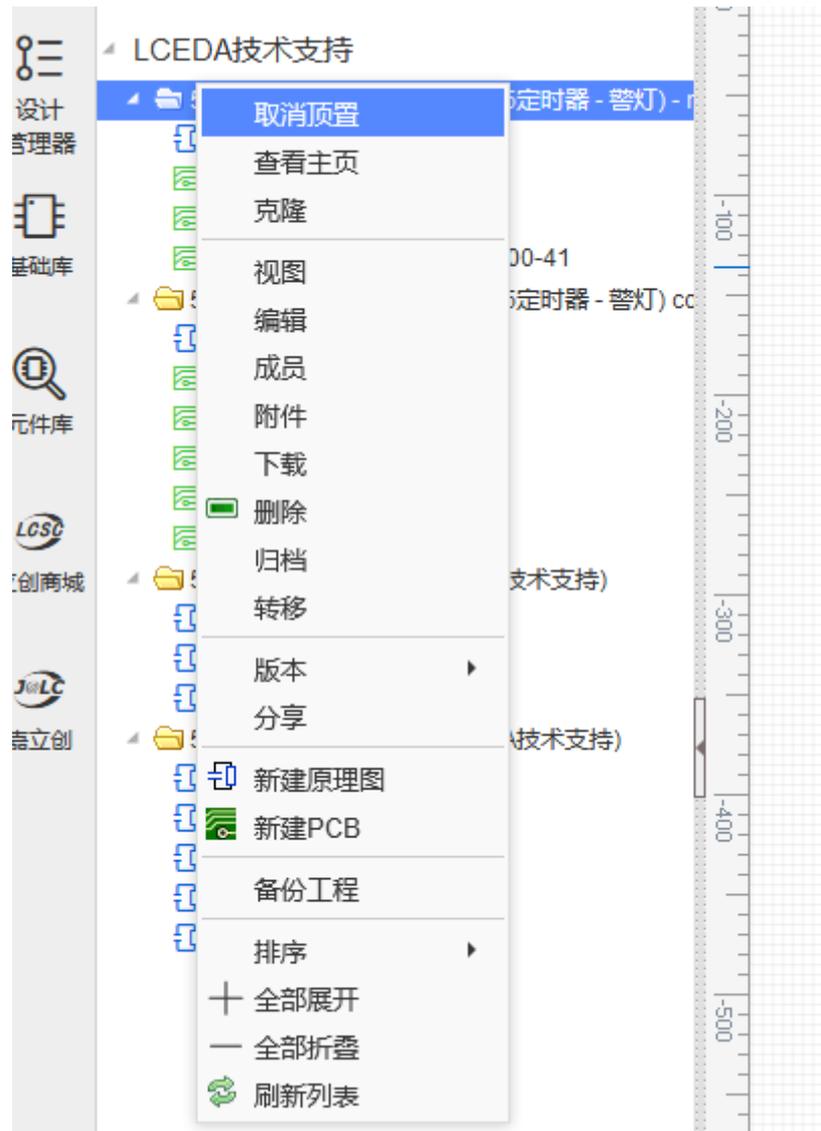
点击 清除筛选内容。

导航面板

编辑器左侧的导航面板是嘉立创EDA非常重要的一个组成模块，你可以在这里找到你的工程，系统常用库，设计管理器，元件库，他人共享给你的文件等。

工程

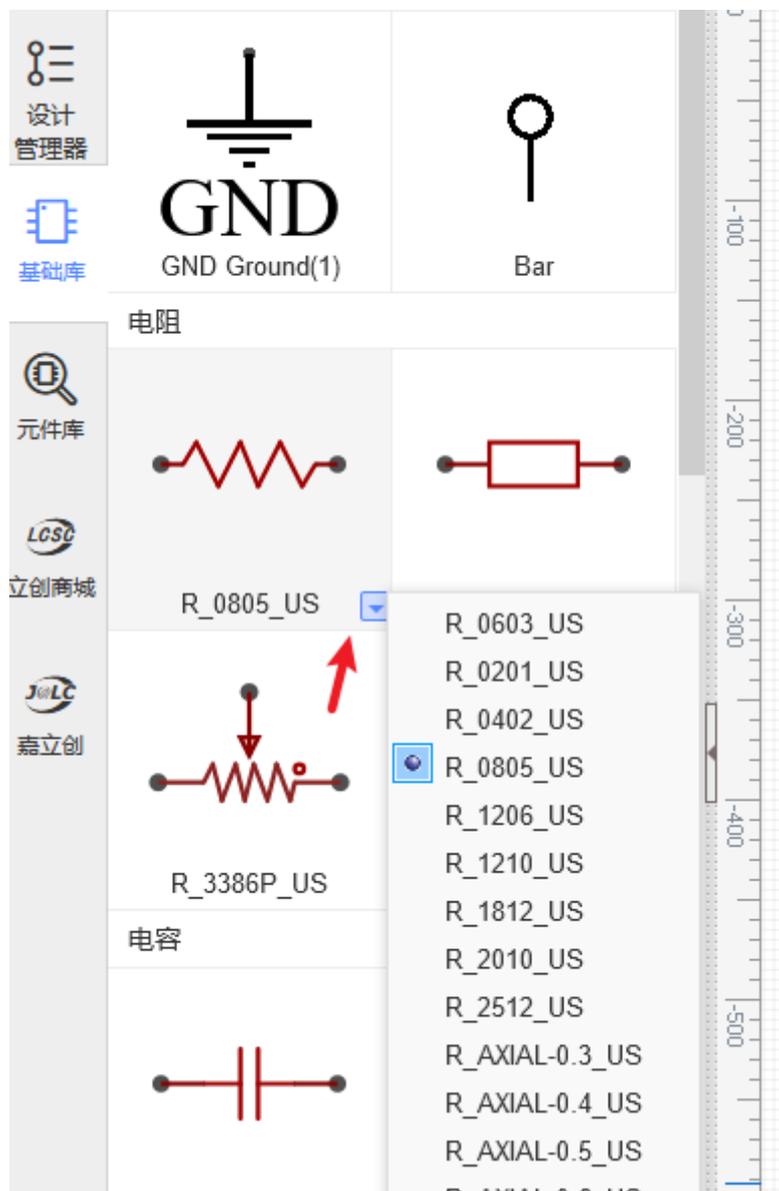
在这里，你可以找到你的所有工程及文件，包括你私人的，已共享的，直接拷贝别人的工程文件。还可以支持右键菜单。



常用库

这里包含了很多常用的库文件，可以很方便的使用，只需鼠标单击后移动至原理图画布即可。该处不允许自定义。

点击右下角的小三角图标可以切换常用库符号。



设计管理器

设计管理器，在原理图下你可以很方便地检查每个零件和每条网络；在PCB下这里还可以查看设计规则错误(DRC)。



元件库

包含了符号库和封装库，其中包括系统库和用户共享库。你的个人库文件也在这里。



立创商城

你若需要购买元器件进行PCB制作，建议通过这里购买。立创商城提供了6W+的元器件对外销售，是目前国内领先的元器件自营商城，经营的元器件均是正品，可放心购买。嘉立创EDA和立创商城共同属于深圳市立创电子商务有限公司。

立创商城访问地址：www.szlcsc.com。

嘉立创贴片

这个是深圳嘉立创支持贴片的器件，使用这个库别可以很方便在打样的时候直接进行贴片。

嘉立创访问地址：www.jlc.com

顶部主菜单栏

编辑器提供明确清晰的文字菜单，分组明确，移动鼠标在图标上面可以显示该图标对应的菜单名称。



预览窗口

当你选择一个原理图或PCB时，可以在这里进行预览。因为需要从服务器进行加载，所以预览图需要时间缓冲。

你可以通过

顶部菜单 > 查看 > 预览窗口 处进行打开这个功能。

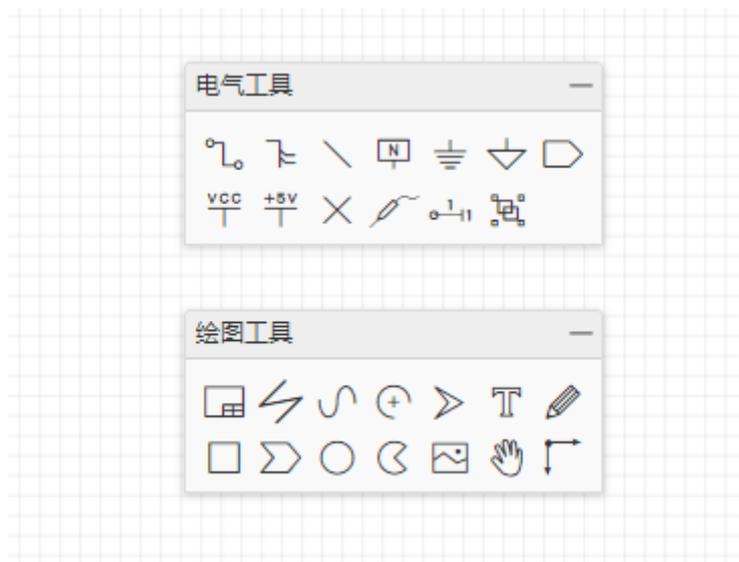
- 预览窗口右下角处，拖动可以进行放大缩小。
- 无法直接关闭，你可以点击右上角的 - 进行收缩窗口。
- 需要关闭预览窗口，请取消预览窗口菜单前的勾即可。



电气工具和绘图工具

编辑器会根据不同的类型显示不同工具栏。以下是原理图的电气工具和绘图工具。

绘图工具和电气工具，和PCB绘制工具均可以通过拉伸窗口进行调节大小，也可以随意拖动位置。



画布属性

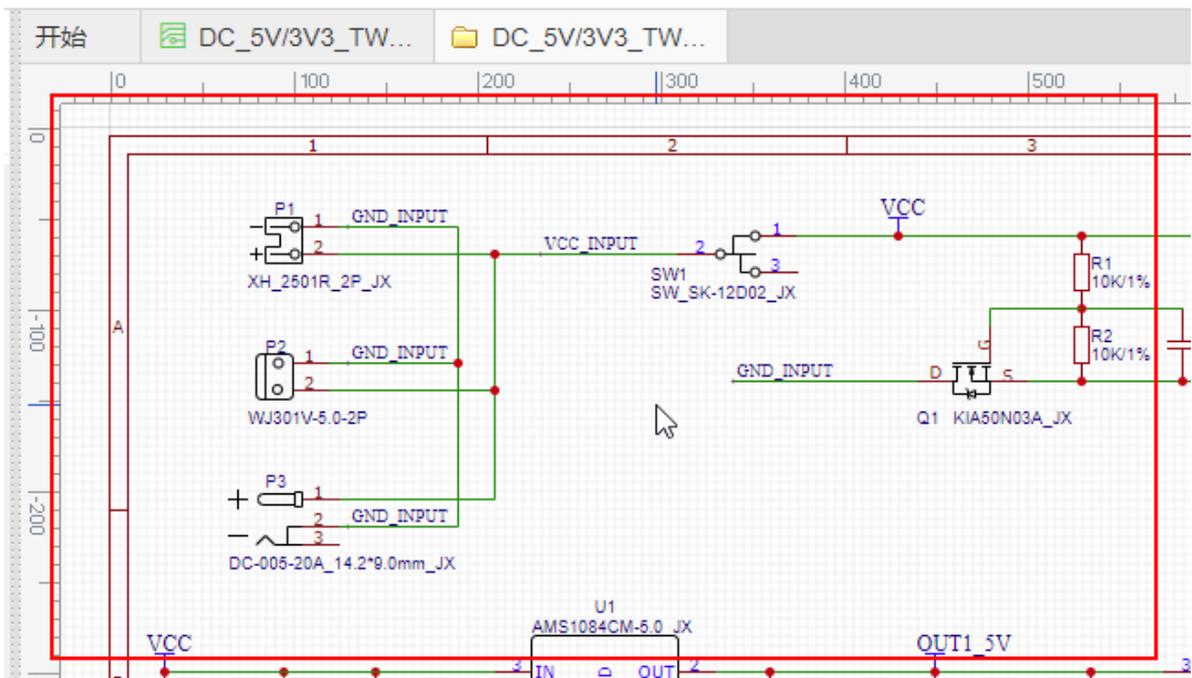
点击画布空白处后就可以在右边面板查看与修改画布属性。也可以右键，选择画布属性打开属性对话框。



背景颜色，网格，网格样式，大小，栅格等属性均可以修改。

画布

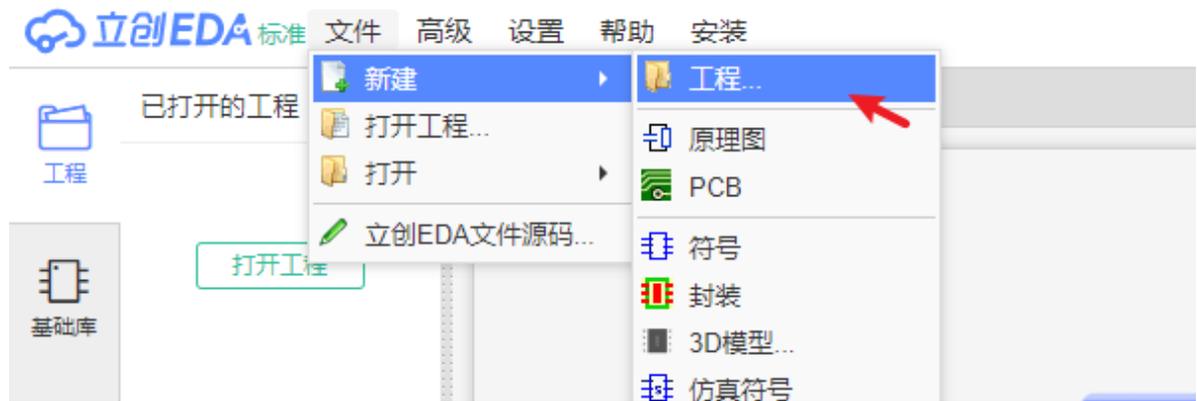
画布区域是主要工作区，在这里可完成原理图的创建和绘制编辑，库文件符号的绘制和编辑，PCB的创建、布局 and 编辑，仿真原理图的创建、绘制编辑和波形查看等。



创建工程或文件

在登录后，通过点击

- 1、顶部菜单 > 文件 > 新建 > 工程 或 顶部菜单 > 文件 > 新建 > 原理图 创建工程或原理图。



- 2、“工程”概念在编辑器中非常重要，在新建原理图，PCB等一些文件前必须存在一个工程文件夹才可进行新建，否则需要新建一个工程，以便于管理新建的文件。

新建工程

所有者: UserSupport [创建团队](#)

标题: 这个是工程名称

路径: https://lceda.cn/UserSupport/ zhei-ge-shi-gong-cheng-ming-cheng

描述:

描述:

保存 取消

3、“新建工程”时可以点击所有者后面的下拉三角选择工程的所有者。

新建工程

所有者: UserSupport [创建团队](#)

标题: ×

路径: UserSupport LCEDA_Lib 立创EDA范例工程

zhei-ge-shi-gong-cheng-ming-cheng

4、“新建工程”时也可以通过点击“创建团队”的选项创建新的团队，再通过点击下拉所有者的选项，把所有者变成团队，这样，工程就是团队的工程了。

新建工程

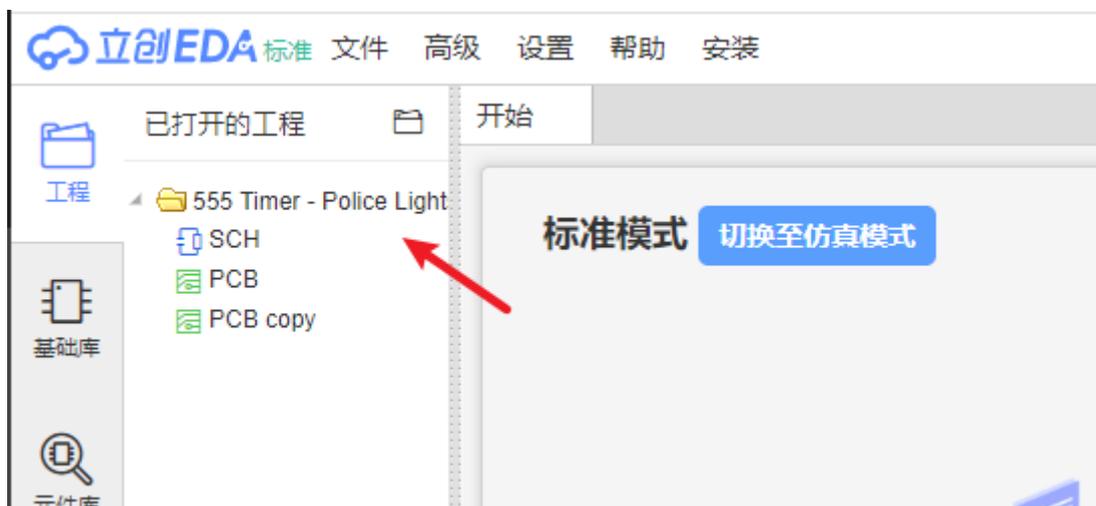
所有者: UserSupport [创建团队](#)

标题:

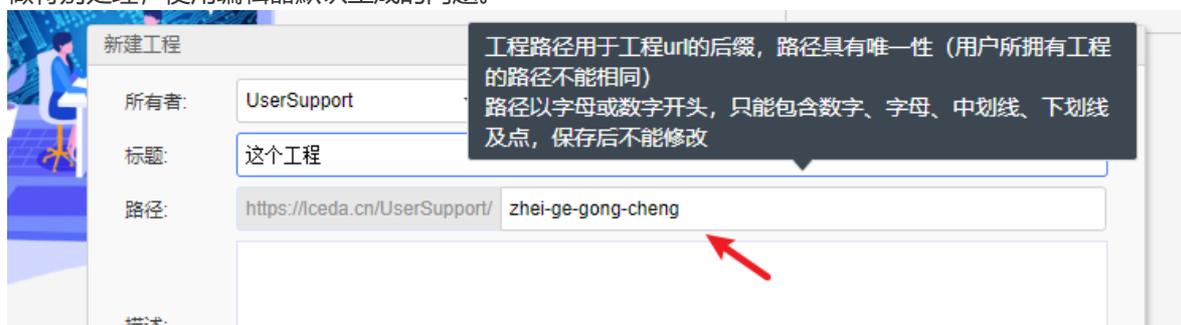
路径: https://lceda.cn/UserSupport/

描述:

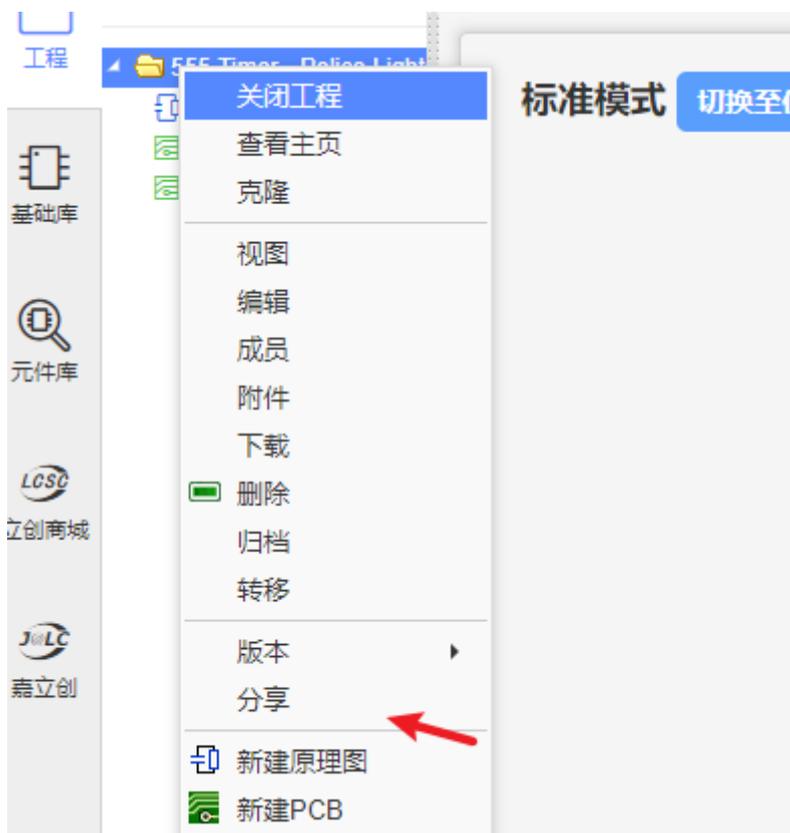
5、设置名称并点击确认后，新建的工程将在左边的“工程”处显示。



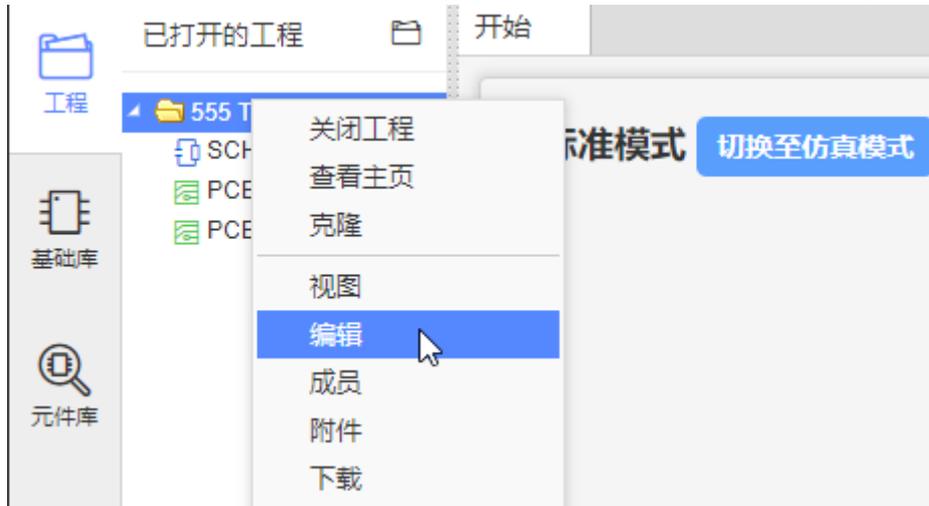
6、工程路径刚开始是与工程标题保持一致，中文会转换成拼音，空格、特殊符号会转换成横杠，也可以单独进行修改，具有唯一性。工程路径是给工程分享用的链接，如果你的工程不需要公开分享可以不做特别处理，使用编辑器默认生成的问题。



7、创建后还可以通过工程右键分享功能把工程设置为公开，该工程与其下的文件将显示在你的个人主页上，任何人都可以查看复制你的设计。添加的描述可以帮助别人了解你的设计内容。

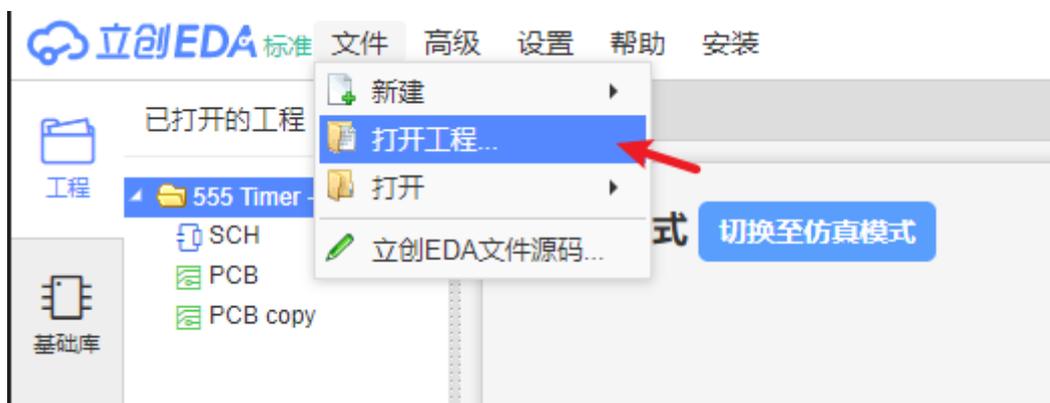


8、若创建后你想修改你的工程信息，你可在工程文件夹右键，选择编辑工程。



9、打开已有工程：

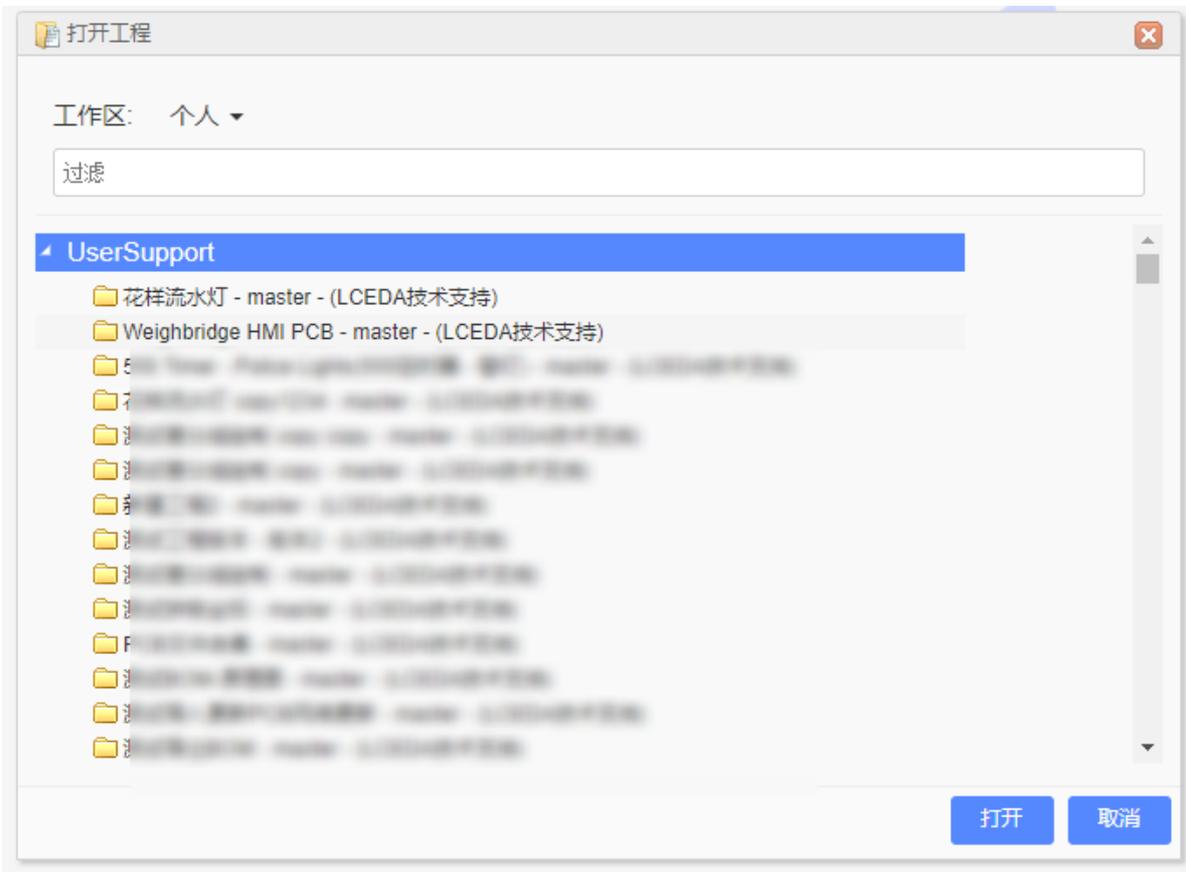
点击：顶部菜单 - 文件 - 打开工程，



或者点击左侧工程列表的“打开工程”图标按钮：

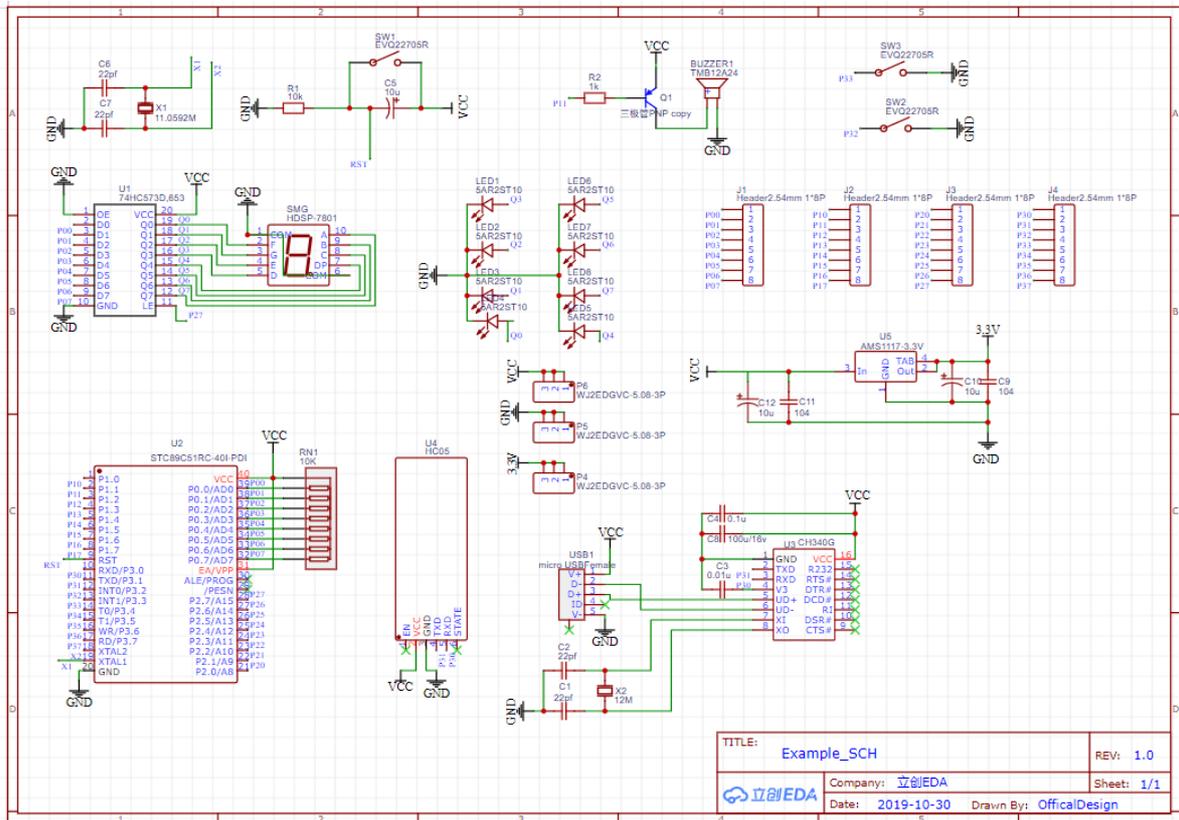


将打开工程列表对话框，选择工程后打开。



原理图绘制

嘉立创EDA可以创建很专业的原理图。

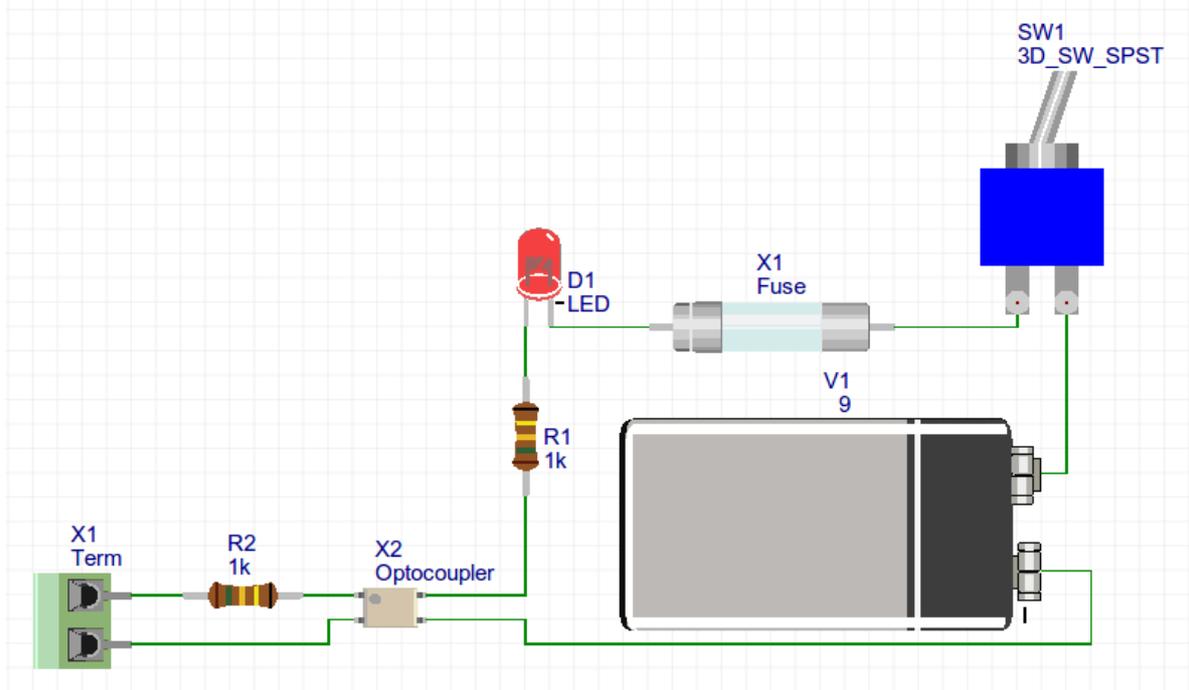


嘉立创EDA有一些简单而强大的绘图功能，你可以通过复制现有的符号复制到自己的库中，然后编辑和保存，来创建自己的库文件，或者从头开始绘制新的符号库文件。

编辑器提供了 **符号库向导**，以便于迅速创建 DIP, QFP 和 SIP 类的原理图符号。

嘉立创EDA除了普通的简单的“2D”图形库之外，还有一个“3D”零件符号库，连接后看起来与实物相似。

如果你有足够的耐心，你可以创建很漂亮的3D形状的原理图。

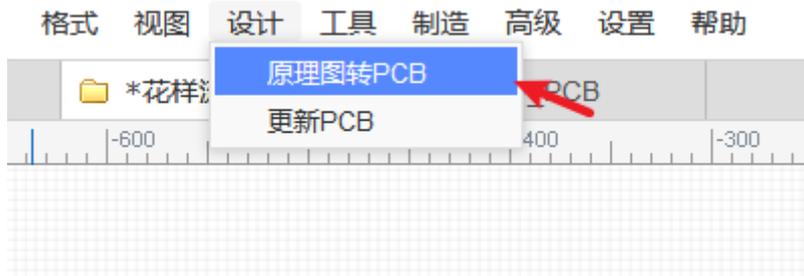


还有一个强大的功能是可以从AD, Kicad, Eagle等导入原理图封装库符号。

PCB设计

嘉立创EDA可以快速地通过原理图创建PCB，甚至是复杂的多页原理图，且没有面积限制，只要你的电脑配置足够强大，在浏览器下，绘制大面积的PCB会产生卡顿现象。

在原理图下点击**顶部菜单 - 设计 - 原理图转PCB**即可快速转为PCB。



嘉立创EDA也支持没有原理图的PCB设计。

新建一个PCB文档后，在左边导航面板的“**元件库**”中搜索和放置你所需要的封装。可对每个封装添加自定义属性，以便于导出BOM表。

之后你可以根据前面叙述的连接焊盘功能将网络连接起来，再进行导线和其他绘制。

如果你放置的封装其本身焊盘已经包含网络，那么放置在PCB中会保留原有的网络。

库管理

系统库文件

感谢于免费和开源的Kicad库和一些开源的Eagle库，加上立创商城自身创建的库文档，嘉立创EDA已经有超过100万个元件库，基本上已经可以满足大部分设计需要。

你基本可以不用花太多时间去寻找和创建新的符号库和封装库就可以进行设计。

嘉立创EDA每天都会根据立创商城的物料进行绘制新的符号库，在不断更新中。

用户贡献库文件

用户建立的库文件(包括模块文件)会自动共享至用户贡献库中，嘉立创EDA认为，库文件的共享可以使更多人使用到你的库文件，减少重复的创建库文件的工作。并且库和模块文件共享并不会产生数据安全性问题，需要关注的是用户私人的工程以及文档。

嘉立创EDA目前不支持仅自己或团队可见的个人库与模块。

用户贡献的库文件在使用时，点击后在右边属性面板可以看到一个“贡献者”参数，显示共享者的用户名。贡献政策参见：<https://lceda.cn/page/contribute>

目前嘉立创EDA不支持完全私有的库文件。

查找库文件

在左边导航面板的“常用库”和“元件库”，点击后输入你想要的库名称后搜索即可。

创建个人库文件

嘉立创EDA支持创建个人库文件，创建的库文件可以在左侧面板 **元件库 > 个人库** 中找到，并且很容易进行管理。

你也可以查找官方或者用户贡献的库，编辑另存为自己的库。

版本控制

嘉立创EDA提供一个简单的版本控制功能，每个版本均可以相互独立，并均可继续编辑保存。每个工程创建的时候默认版本为主版本，名称为“master”，你可以工程管理页的版本功能自行修改。每个工程只能创建10个版本，超过需要先删除旧版本再创建。

视频教程

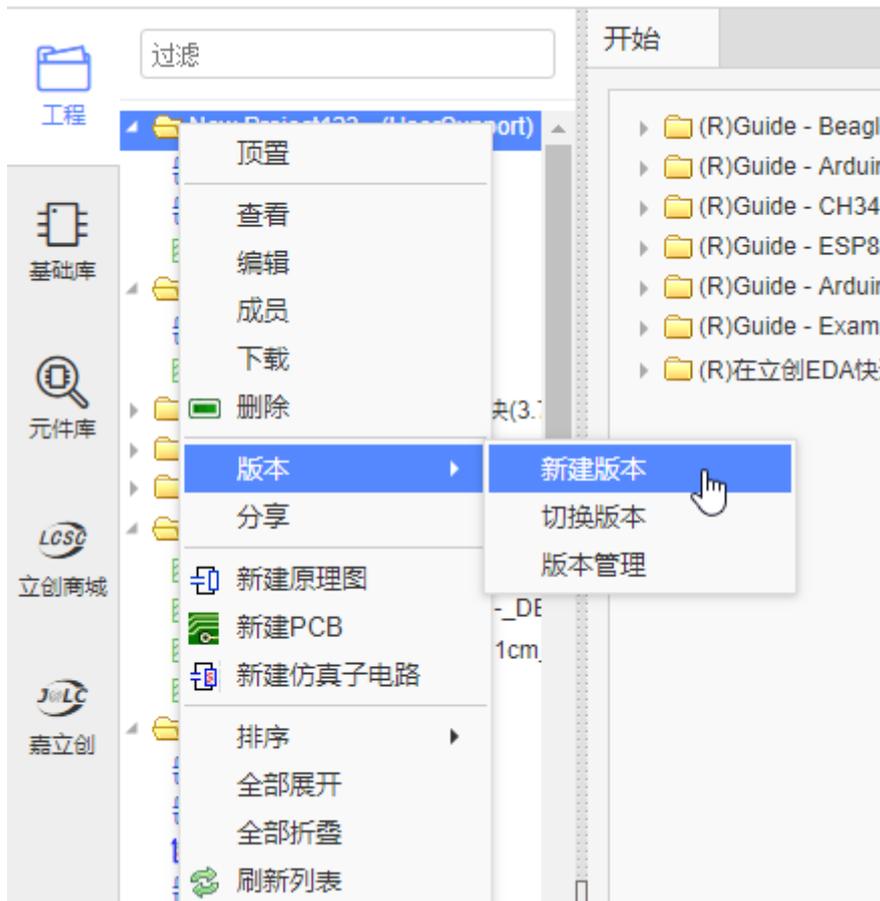
[嘉立创EDA使用教程 - 版本控制 | 哔哩哔哩](#)

创建新版本

在编辑器的工程文件夹，右键菜单：版本 - 新建版本。

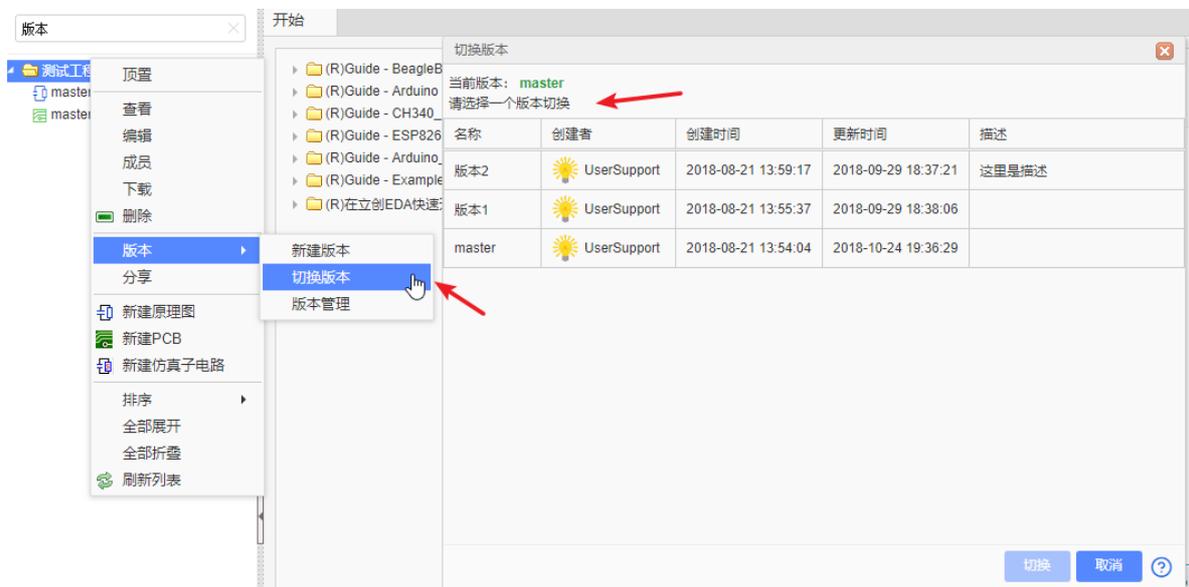
会打开一个新版本创建对话框，你需要输入版本名称和描述，完成点击创建即可。

创建完成后右下角会有弹窗提示，如果你需要切换到新建的版本需要使用版本切换功能。



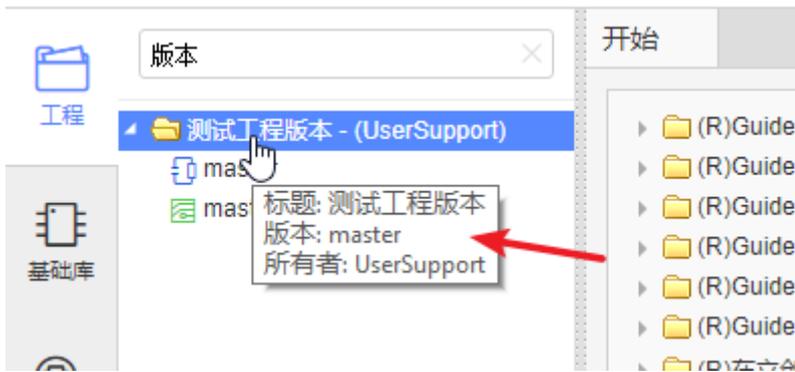
切换版本

点击“切换版本”后会弹出版本列表，对话框显示出工程当前使用的版本和列出全部你创建的版本。你选择一个版本后点击“切换”按钮进行切换。



注意：

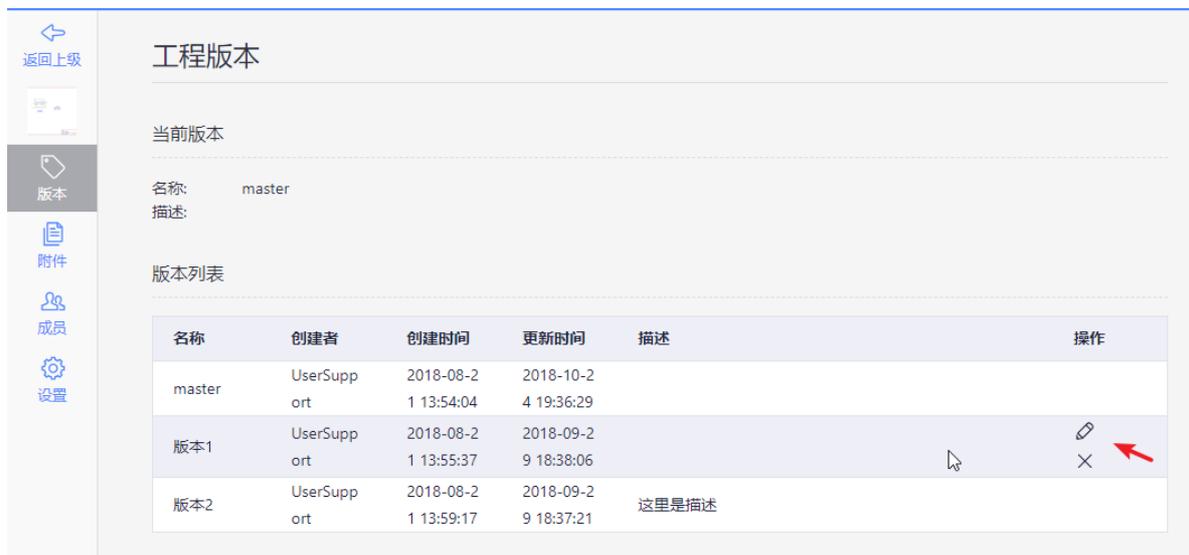
- 在切换版本之前请确保你已经手动关闭了当前打开的版本的的所有文件。
- 工程每次打开时只会打开当前编辑的版本，如果你想打开其他版本的文档，你必须先进行切换版本。
- 不支持同时编辑不同的版本，只能够编辑和保存工程的当前版本。
- 如果你不确定当前版本是什么，请查看切换版本对话框，或者移动鼠标到工程文件夹上，会有悬浮文字提示。



版本管理

点击“版本管理”后会打开“工程管理 - 版本”页面，里面列出全部版本的内容，你可以修改版本名称和描述，或者删除已有版本。

当前已经启用的版本不允许删除。



注意：目前不支持多版本同时编辑，只能保存到当前版本下，否则保存文件会提示版本不匹配。

分享

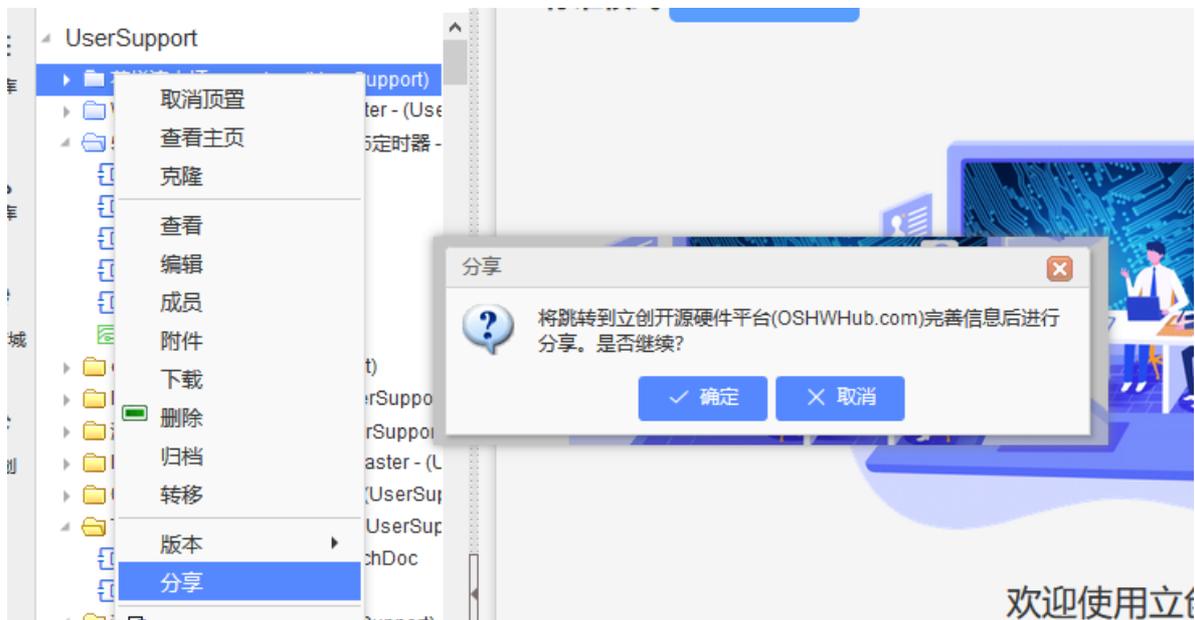
嘉立创EDA为你提供了两种方式的分享功能，你可以很容易地将文件分享给其他人。

- 公开分享：将工程公开给大众，所有人可以查阅。
- 添加成员：将工程分享给指定的人，适合保密性分享。

所有新建的工程嘉立创EDA都默认为私有工程，你不能直接公开分享私人工程下的文件。当你想要进行分享时，你必须先将工程设为公开的。

公开工程有两种方法：

1、**分享工程** 在工程文件夹右键点击“分享”菜单，将跳转到立创开源硬件平台(oshwhub.com: open source hardware hub)补全数据后分享。



2、编辑工程 进行公开。

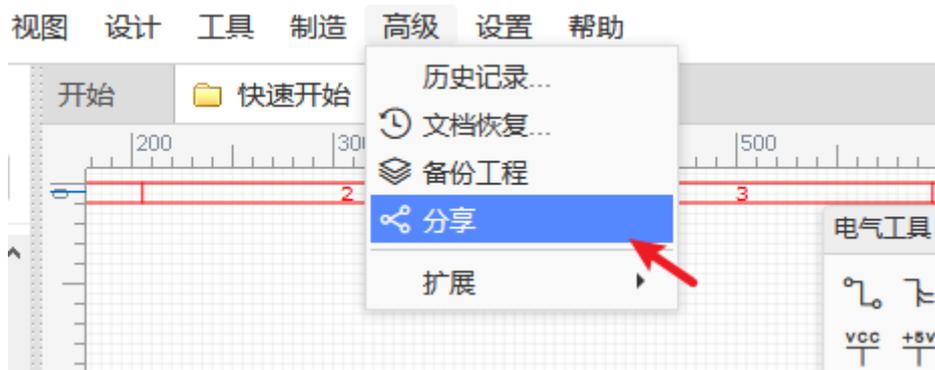
直接在工程文件夹下，右键点击“编辑工程”，然后在打开的网页设置公开。



工程设置为公开后，工程文件夹图标会出现一个手掌分享标志，表示该工程已经公开。



或者打开文档后，此时再点击“顶部菜单 - 高级 - 分享”弹出分享窗口，可复制链接进行分享，也可在移动端扫描二维码分享。



注意:

- 如果你选择了公开工程, 那么该工程将出现在你的个人主页下(个人首页: <https://oshwhub.com/你的用户名/>), 任何人都可以查阅。

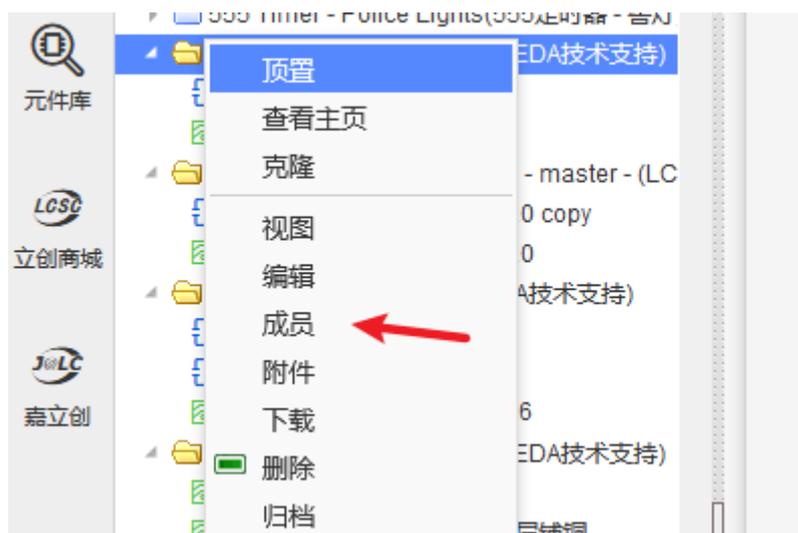
公开工程的好处

- 可以让更多人知道你开发的作品, 为自己增加名气, 大家共同学习共同提高;
- 面试时可直接投递个人主页, 让面试官知道你的设计实力;
- 可以帮助有需要的人复用你的作品, 设计开源共享, 为开源事业做贡献, 同时也为嘉立创EDA的发展做贡献。

工程成员

如果你只想分享给指定的人, 并且允许他/她对你的工程文件进行编辑, 那么你可以使用“添加成员”。

选择工程, 右键选择“成员”, 页面将跳转到工程管理页, 点击页面右上角“添加成员”输入对方的用户名, 添加后设置权限即可。



添加完成后, 对方右键刷新工程列表即可出现。

你也可以通过邮件邀请朋友加入工程。

你可以为工程成员设置“管理员”, “开发者”, “观察者”的权限。

个人偏好

在 **顶部菜单 - 设置 - 个人偏好**，点击个人偏好：



如下图：

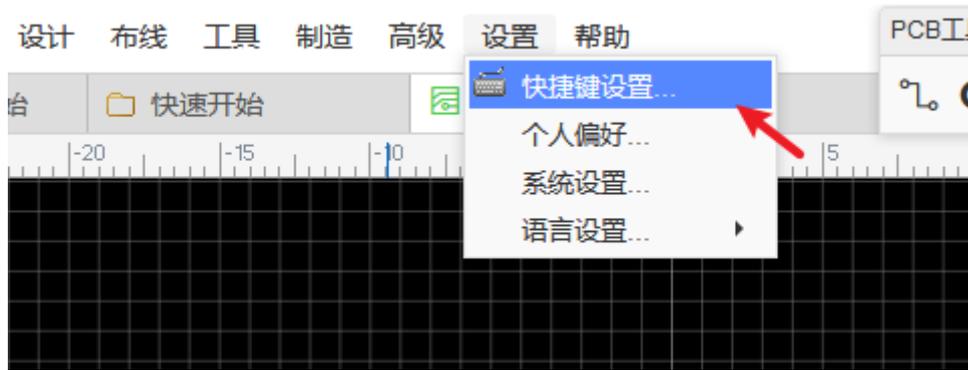


- **同步热键：** 指同步你设置的快捷键指服务器，默认勾选，不可取消。
- **同步我的主题：** 指同步你设置的原理图主题，默认勾选，不可取消。
- **语言：** 设置默认语言，会同步至服务器。
- **文档恢复设置：**
 - **启用自动备份：** 勾选开启自动备份。将打开本地自动文档记录备份，使用编辑器网页缓存进行记录。清理浏览器缓存时将清理该文档备份。
 - **最大备份级数：** 每个打开的文档自动创建备份的数目。该备份是指备份至本地的数目，详细请查看下面的“文档恢复”。
 - **自动备份间隔(分钟)：** 这是自动保存所有打开文档的时间间隔。

快捷键

嘉立创EDA提供了很多快捷键供用户使用，每一个快捷键均可以进行配置。

进入快捷键配置选项：



点击你需要修改的选项，出现输入框后按下你的按键，再保存即可完成快捷键设置。

文档类型 该列表表示快捷键在对应的文档类型内是有效的。

- **所有**：在编辑器内所有的文件类型。
- **原理图**：原理图和符号库文件。
- **PCB**：PCB和封装库文件。

相同的快捷键可以使用在不同的文档中，比如在原理图使用“C”键画圆弧，在PCB中是画一个圆形。

默认的快捷键列表如下。

共用快捷键

文档类型	快捷键	功能
所有	Space(空格键)	旋转所选图形
所有	鼠标右键	长按右键拖动画布；操作过程中按一下右键释放操作
所有	Left	向左滚动或左移所选图形
所有	Right	向右滚动或右移所选图形
所有	Up	向上滚动或上移所选图形
所有	Down	向下滚动或下移所选图形
所有	TAB	在放置元素时修改它的属性；选中一个元素并按下该快捷键 打开偏移量对话框
所有	Esc	取消绘制
所有	HOME	重新指定原点
所有	Delete	删除所选
所有	F1	打开帮助文档
所有	F11	浏览器下全屏
所有	A	放大
所有	Z	缩小
所有	D	拖动
所有	K	适合窗口
所有	R	旋转所选图形
所有	X	水平翻转(封装不支持)
所有	Y	垂直翻转(封装不支持)
所有	ALT+F5	和F11一致，浏览器下全屏
所有	ALT+W	关闭当前页
所有	SHIFT+ALT+W	关闭全部页
所有	CTRL+X	剪切
所有	CTRL+C	复制
所有	CTRL+V	粘贴
所有	CTRL+A	全选
所有	CTRL+Z	撤销
所有	CTRL+Y	重做
所有	CTRL+S	保存

文档类型	快捷键	功能
所有	CTRL+F	查找元素
所有	CTRL+D	设计管理器
所有	CTRL+HOME	打开原点坐标设置对话框
所有	SHIFT+1	往左边切换文档标签
所有	SHIFT+2	往右边切换文档标签
所有	SHIFT+X	交叉选择
所有	SHIFT+F	浏览和查找元件库
所有	SHIFT+拖动元件	光标自动吸附在元件的原点
所有	SHIFT+ALT+H	水平居中对齐
所有	SHIFT+ALT+E	垂直居中对齐
所有	CTRL+SHIFT+L	左对齐
所有	CTRL+SHIFT+R	右对齐
所有	CTRL+SHIFT+O	顶对齐
所有	CTRL+SHIFT+B	底对齐
所有	CTRL+SHIFT+G	对齐网格
所有	CTRL+SHIFT+H	水平等距分布
所有	CTRL+SHIFT+E	垂直等距分布
所有	CTRL+SHIFT+F	查找相似对象
所有	CTRL+SHIFT+ALT+F12	打开Log对话框

原理图快捷键

文档类型	快捷键	功能
原理图	W	绘制导线
原理图	B	绘制总线
原理图	U	总线分支
原理图	N	网络标签
原理图	P	放置管脚
原理图	L	绘制折线
原理图	O	绘制多边形
原理图	Q	绘制贝塞尔曲线
原理图	C	绘制圆弧
原理图	S	绘制矩形
原理图	E	绘制椭圆
原理图	F	自由绘制
原理图	T	放置文本
原理图	I	修改选中器件
原理图	CTRL+Q	标识符 VCC
原理图	CTRL+G	标识符 GND
原理图	CTRL+R	仿真当前文档
原理图	CTRL+J	打开仿真设置对话框
原理图	CTRL+SHIFT+X	批量选中元件，布局传递到PCB
原理图	SHIFT+T	打开符号向导
原理图	ALT+F	打开封装管理器

PCB快捷键

文档类型	快捷键	功能
PCB	W	绘制走线
PCB	U	绘制圆弧
PCB	C	绘制圆形
PCB	N	放置尺寸
PCB	S	放置文本
PCB	O	放置连接线
PCB	E	绘制铺铜
PCB	T	切换至顶层; 选中封装时, 切换封装层属性为顶层
PCB	B	切换至底层; 选中封装时, 切换封装层属性为底层
PCB	1	切换至内层1
PCB	2	切换至内层2
PCB	3	切换至内层3
PCB	4	切换至内层4
PCB	P	放置焊盘
PCB	Q	切换画布单位
PCB	V	放置过孔
PCB	M	量测距离
PCB	H	持续高亮选中的网络, 再按一次取消高亮
PCB	L	改变布线角度
PCB	-	布线时, 减少线宽; 小键盘时, 循环切换PCB层
PCB	+	布线时, 增加线宽; 小键盘时, 循环切换PCB层
PCB	*(星号)	循环切换PCB层
PCB	Delete	删除选中的元素; 布线过程中撤销到上一次布线
PCB	Alt--	减少栅格尺寸
PCB	Alt++	增加栅格尺寸
PCB	CTRL+R	选中元素后按下, 指定参考点, 开始连续粘贴元素
PCB	CTRL+L	打开层管理器
PCB	CTRL+Q	显示或隐藏网络文字
PCB	SHIFT+M	删除所有铺铜
PCB	SHIFT+B	重建所有铺铜

文档类型	快捷键	功能
PCB	SHIFT+D	根据参考点移动元素
PCB	SHIFT+G	显示当前导线的走线长度，布线时有效
PCB	SHIFT+W	显示常用线宽，布线时有效
PCB	SHIFT+R	循环切换布线冲突模式
PCB	SHIFT+S	只显示当前层
PCB	SHIFT+双击	删除所选导线线段
PCB	CTRL+SHIFT+C	根据参考点复制元素
PCB	CTRL+SHIFT+V	粘贴元件时保持编号不变，并关闭飞线层
PCB	CTRL+SHIFT+SPACE	切换布线拐角，与快捷键 L 一致
PCB	CTRL+ALT+L	开启全部图层
封装	CTRL+SHIFT+ALT+D	打开封装自定义数据对话框

基础技巧

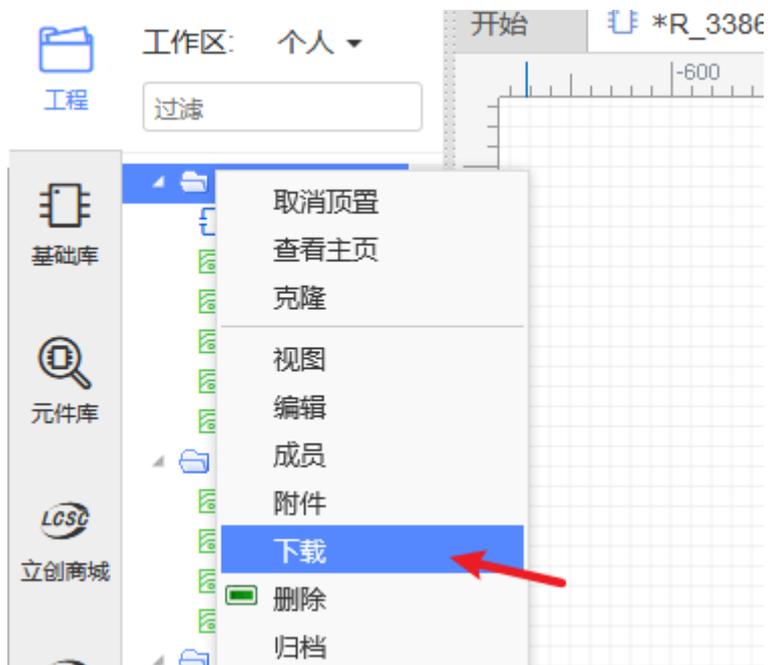
为了方便使用嘉立创EDA进行设计，你需要了解一些基础的使用技巧，请打开编辑器并新建一个原理图文件进行体验。

保存文件在本地

尽管嘉立创EDA已经将你的文件保存在服务器，如果你想保存在本地，嘉立创EDA也有提供该功能。你可以直接在工程文件夹“右键 > 下载工程”，或者直接在“文档”按钮使用“嘉立创EDA格式源码”下载保存文件。

具体可以浏览[导出嘉立创EDA文件](#)章节。

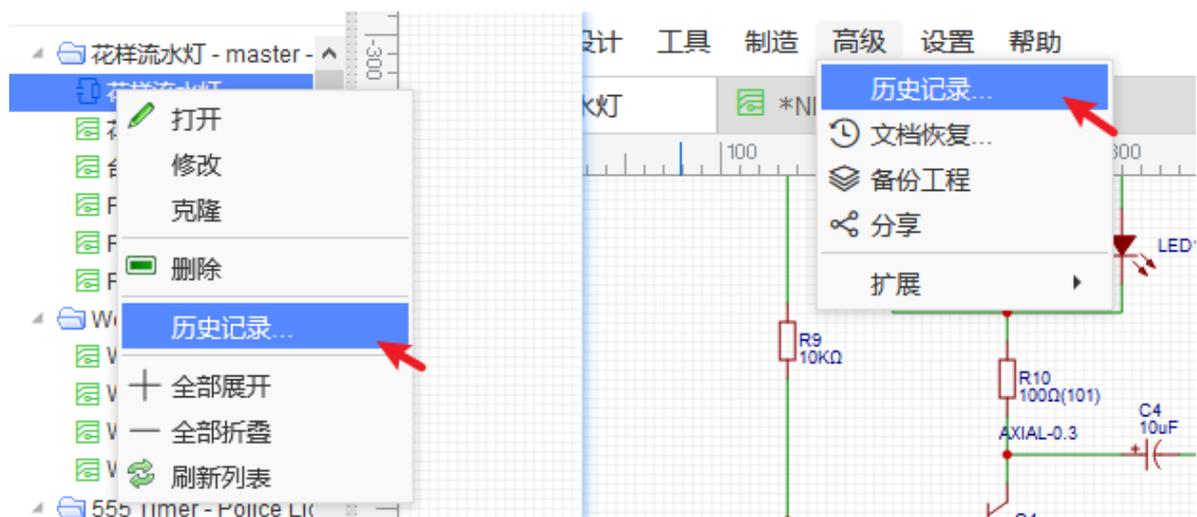
你也可以直接下载工程文件下来。



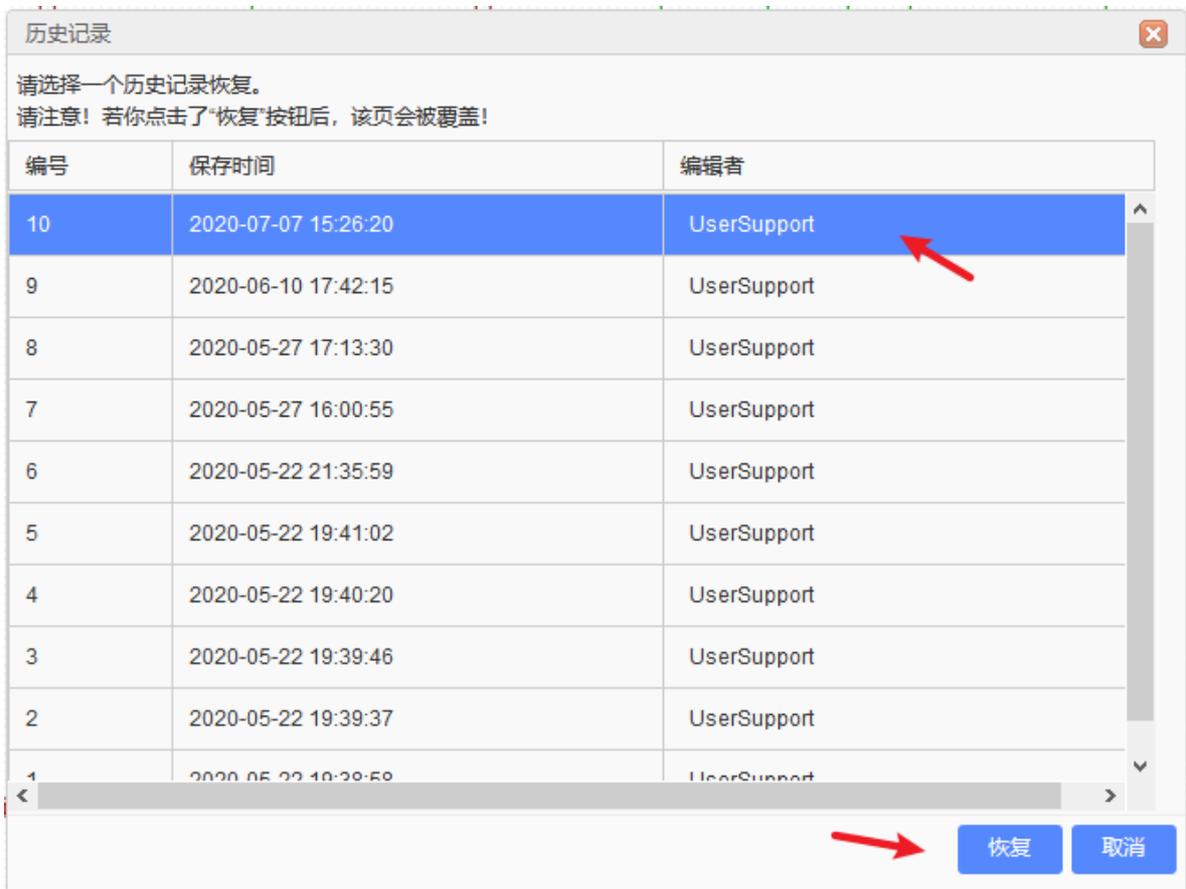
历史记录

如果你想找回你原来的一些文件的历史记录，你可以在单击文件右键后选择“历史记录”，或者“顶部菜单 - 高级 - 历史记录”。

也可以在原理图页左下角底部标签页处右键“历史记录”，也可在左下角点击上三角“历史记录”。



点击后会打开一个页面，里面会列出最近的历史记录。



点击历史记录，选择恢复，即可在当前编辑界面显示，然后继续设计。

注意:

- 建议不要非常频繁对你的文件进行保存操作，否则这里会产生大量的历史记录，要找到你想要的记录将会非常困难。
- 最多只支持找回最近 10 次保存的历史记录
- 选择了历史记录并恢复后会将当前编辑的内容覆盖！请谨慎操作。

文档恢复

没有什么数据是绝对安全，但是嘉立创EDA会尽最大努力保障你的数据安全。

嘉立创EDA会为你已经打开的文件进行本地自动保存和创建备份，当你误删文件或需要之前的版本时，你可以使用恢复数据备份进行数据恢复。

点击 **顶部菜单 - 高级 - 文档备份** 打开：



选择你想要的文件版本后，点击“恢复”按钮即可在新标签打开，然后进行编辑保存即可。

注意：

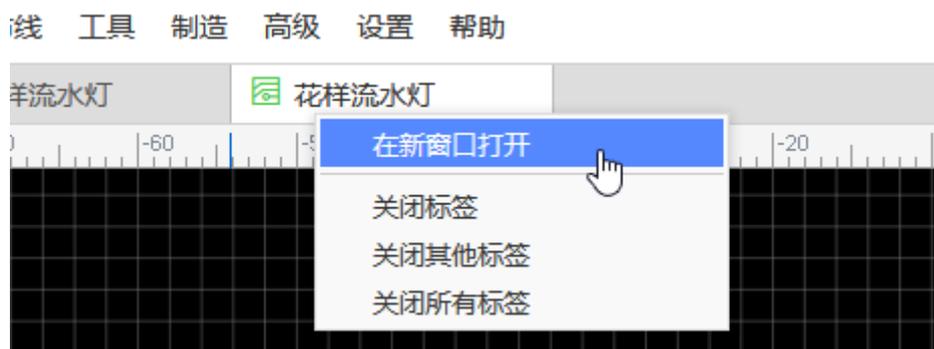
- 嘉立创EDA编辑器保存这些备份文件在你的本地电脑，而不是服务器，当你更换电脑后将无法使用自动备份的数据。
- 自动备份是以浏览器缓存的方式进行保存，如果你清除了嘉立创EDA网站的缓存，那么这些备份数据也会被清除。
- 若你已经清除了浏览器缓存，你还可以使用前面所说的“历史记录”功能找回想要的记录。已删除的文件及工程可以在个人中心文件回收站找回。
- 如果你在断网情况下进行了绘图和保存，它将保存在这个浏览器缓存中，等待下次联网后，你仍需再次保存到服务器，否则你直接打开服务器的文件将会是旧的数据。

多窗口联动

嘉立创EDA从 6.4.0 开始，已经支持多窗口联动，可以很方便地跨窗口交叉选中，相互定位，布局传递等。

使用方法：

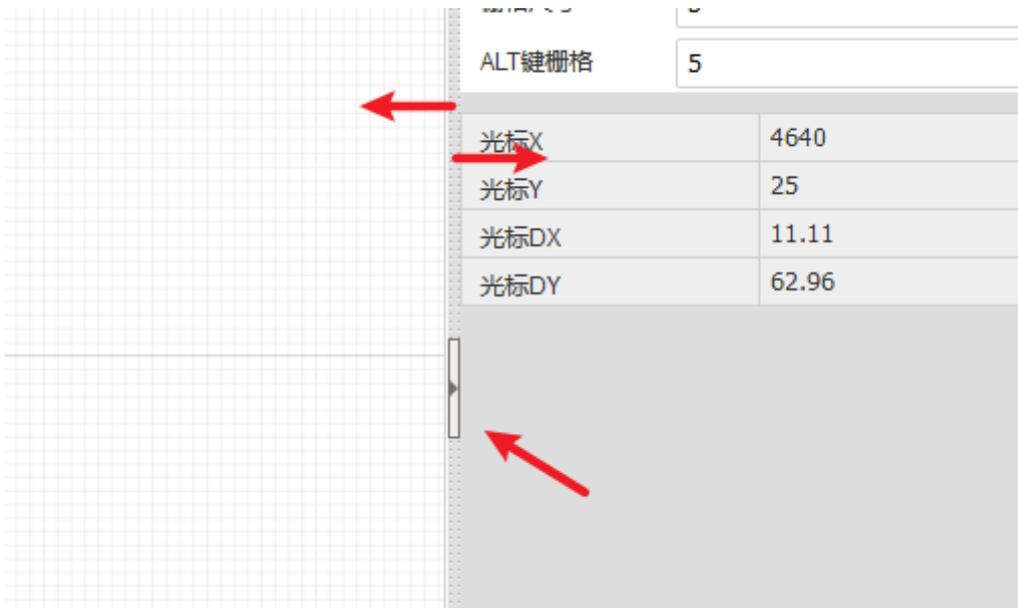
- 1、在同一个浏览器或者客户端，打开两个编辑器窗口
- 2、一个窗口打开原理图，一个窗口打开PCB。也可以在文档顶部标签页 - 右键 - 在新窗口打开。



- 3、此时，当点击一个窗口的器件，导线时，另外一个窗口的相同器件和网络也将同时高亮

改变画布大小

当你鼠标移动经过画布边沿时（左右），会出现一条高亮的线段，点击左右两边的线段的中间按钮可以关闭/打开导航面板和属性面板，以增大画布面积。左右两边的线段还可以用鼠标拖动改变面板大小，以符合使用的习惯。

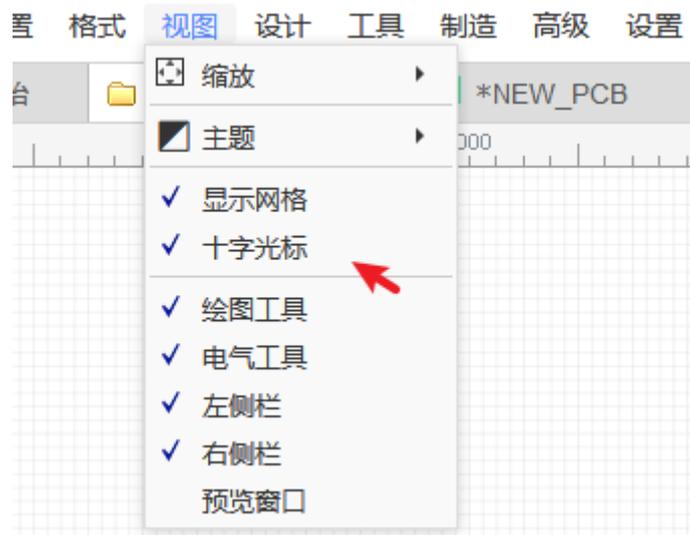


嘉立创EDA的画布区域是无限缩放的，通过滚动滚轮进行缩放。

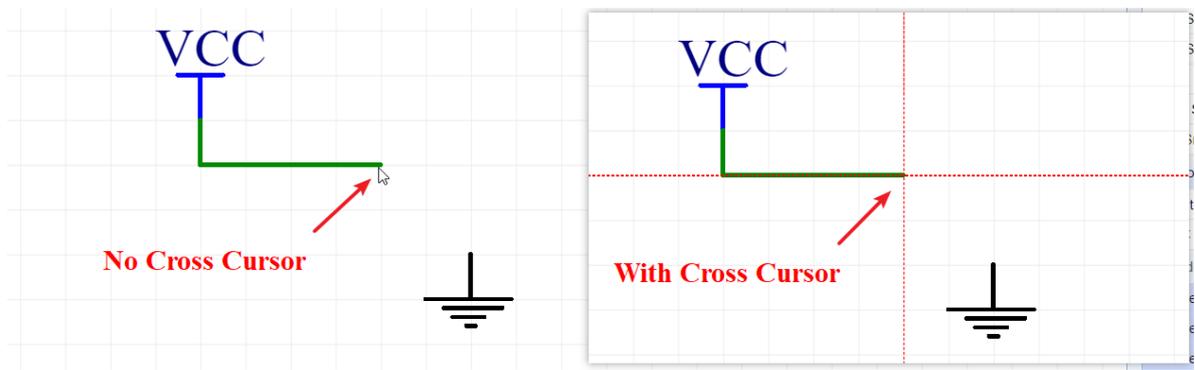
快捷键 K 可以快速适应画布到中央。

光标样式

如果你不喜欢十字光标样式，你可以选择关闭它。**顶部菜单 - 视图 - 十字光标**



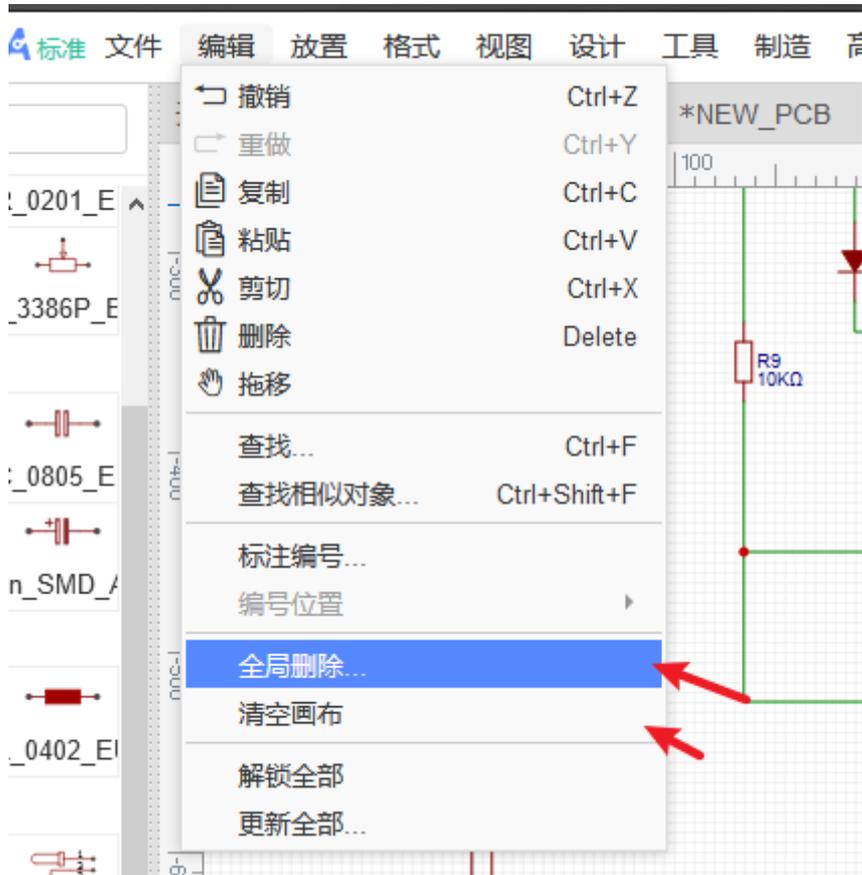
这两种光标如下，左边是无十字光标，右边是十字光标样式。



批量清除

如果你觉得你的原理图和PCB太乱，需要批量删除时，你可以：

- 顶部菜单 - 编辑 - 清空画布，或者 CTRL + A 全选后，按 Delete 键删除。
- 删除文件并创建一个新的。
- 使用 顶部菜单 - 编辑 - 全局删除 功能。



鼠标左击

与其他EDA软件相似：

- 点击一个对象并已经选中它，可以在右边属性面板查看它的属性；
- 选中后长按可以保持它，和拖动它；
- 在空白区长按并拖动鼠标可以创建一个选择区域：从左往右框选时只选中框内图元；从右往左框选会选中框线和框内部接触到的全部图元；
- 在选择区域内的对象可以通过鼠标进行整体移动；
- 双击文本可以对它进行编辑；

鼠标右击

- 长按右键，移动鼠标进行平移画布；

- 当你进行放置元器件或者封装时，单击右键可以停止放置动作；
- 当你进行画线时，单击右键可以停止当前画线，以便进行第二处画线操作；
- 当你画多边形等形状时，画线位置会停止在你右击的位置，然后你还可以改变画线形状继续画线。
- 当你双击右键时会退出当前操作。
- 当你在顶部标签处右击可以选择关闭标签页。

鼠标双击

鼠标左键双击任意文本可以打开可调节大小的文本编辑框，你可以输入你想要的文本。



在编辑器框内按Enter键回车换行，鼠标点击框外部区域关闭编辑框。

ESC键

- 按单次“ESC”键结束当前的绘图操作，但不会退出当前的命令模式。
- 按两次“ESC”键推出当前的绘图操作，将光标返回到选择模式

选择多项目

- CTRL + 左键一个个点击选择你所需要的对象。
- 也可以直接按住左键拖动鼠标，批量选择对象。
- CTRL + A 全选对象。
- 也可以使用“查找相似对象”批量选中。

放大缩小

- 使用鼠标滚轮进行放大缩小
- 向前滚动放大，等同快捷键Z
- 向后滚动缩小，等同快捷键A

注意：

- 有些浏览器在按住 CTRL + 滚轮 会导致整个浏览器浏览页面变大，而不是滚动画布，这时你可以按 CTRL + 0 恢复界面。

平移

- 在画布内，可以通过长按右键/鼠标中键任意拖动画布位置。
- 你还可以使用滚动条和方向键平移画布。
- 当你绘制走线时，鼠标移动在最边沿后会停止。
- 按住CTRL或SHIFT键，滚动滚轮可以让画布上下或左右平移。

注意：

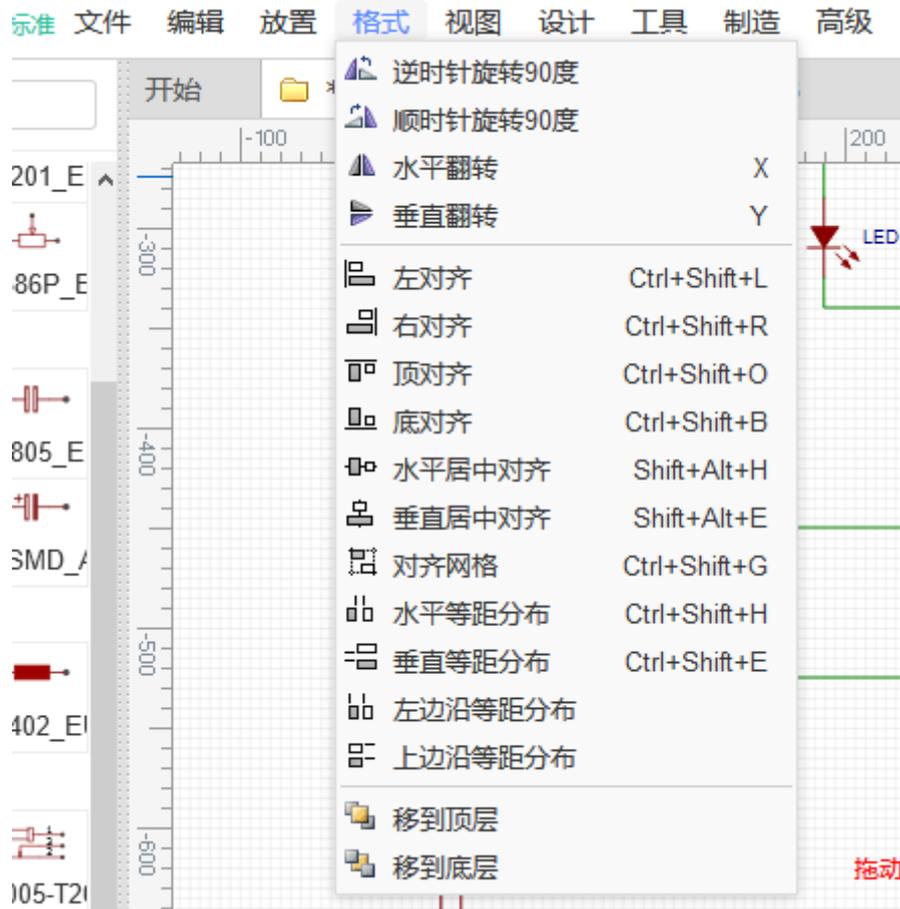
- 若你的浏览器右键拖动失效，请关闭浏览器手势。

提示：

- 如果你使用的是Chrome浏览器，鼠标在画布内时，按CTRL或ALT键，并滚动滚轮，画布可以垂直平移；若按住SHIFT键，并滚动滚轮，画布可以水平平移。

旋转

当选择一个或多个对象时，你可以将他们旋转：“顶部菜单 - 格式 - 对齐”。



或者按下默认的快捷键“空格键”或者“R”。图中 Q 零件就是旋转后的形态。

注意：

- 旋转多个对象时，是以他们整体中心进行旋转，而不是以各自的原点旋转。

翻转

选中需要翻转的元素然后点击翻转。翻转是以中心轴进行翻转。



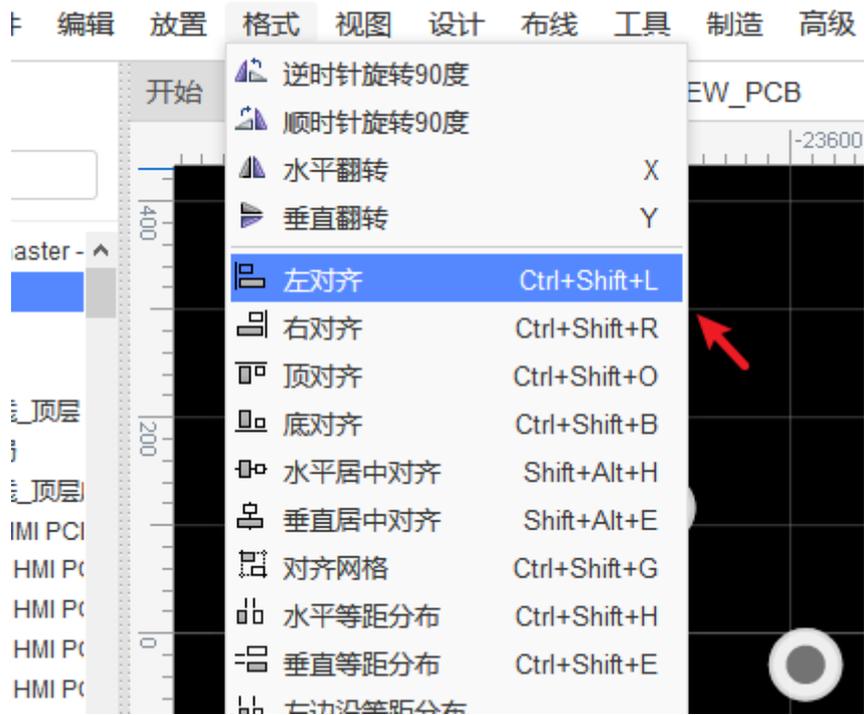
翻转与旋转放在一起，点击工具栏的旋转图标。

使用默认快捷键 X 进行水平翻转，Y 进行垂直翻转。

PCB封装不支持翻转(镜像)，你可以对它进行切层，即可翻转。

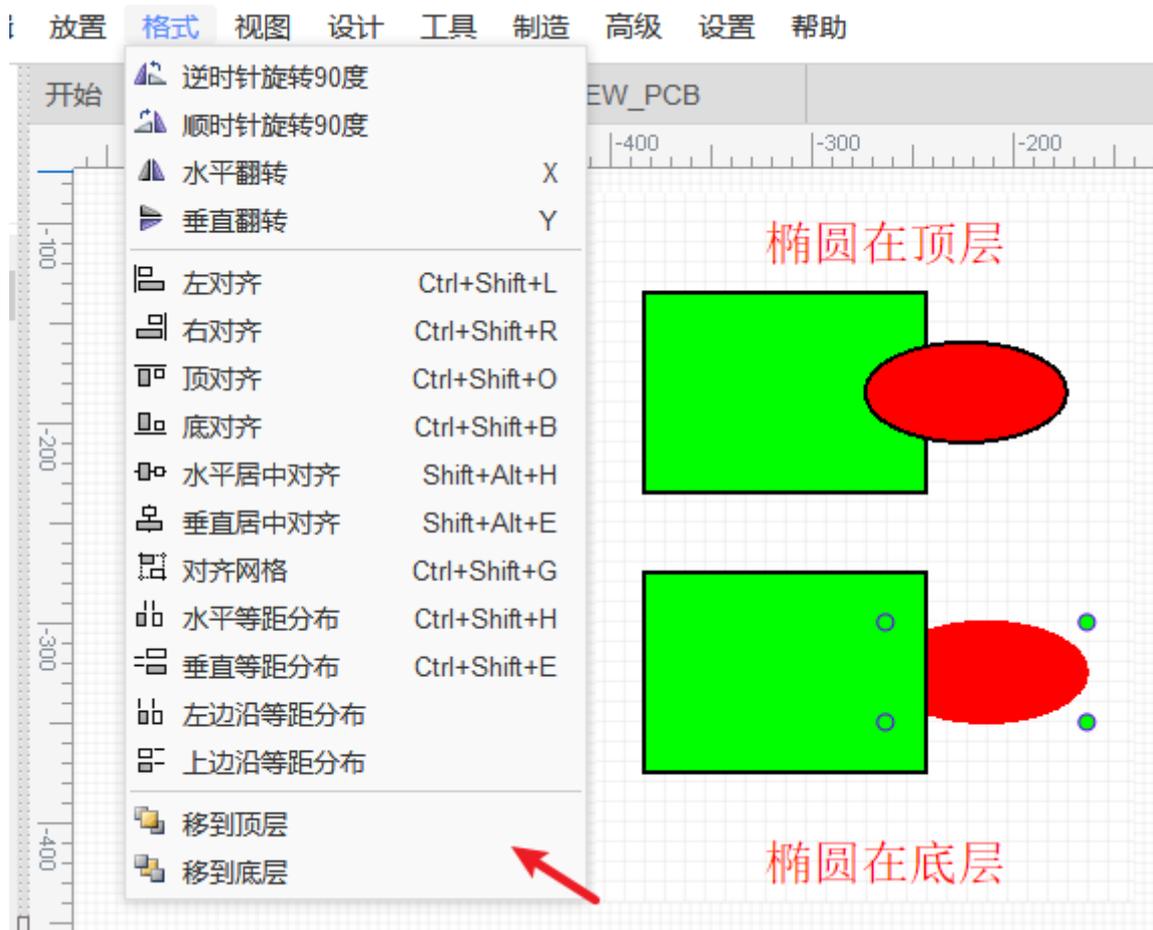
对齐与分布

嘉立创EDA提供大量的对齐工具，先选择元素后可以很方便的对齐原理图符号以及PCB封装：



移到顶层或底层

该功能可以很方便将你想要的物件移动在最前面或者后面，以避免物件被最前面的遮挡。如图的长方形和椭圆形均已经填充有颜色，分别是椭圆移到顶层和底层时的不同区别。



文档标签切换

编辑器可以很方便地切换文档标签，只要鼠标左键按住标签，往左右拖动即可。



也可以右键文档标签进行关闭文档或者在新窗口打开。

原理图设计

原理图画布设置

阅读以下章节，可以引导你快速熟悉如何设计一个原理图。

画布设置

点击空白区可在右边属性面板查看和修改画布属性，或者鼠标右击空白区打开属性弹窗进行修改。画布属性内的参数均可以被自行配置。网格和栅格尺寸单位为像素(pixel)。



原理图中大部分对象，在选中它后，基本都可以在右边属性面板查看和修改它的属性，或者鼠标右击打开属性弹窗查看和修改它的属性。

网格

网格是用来标识间距和校准元器件符号的线段。单位像素(pixel)。

网格可见： 是 或 否

网格颜色： 任意有效颜色

网格样式： 实线 或 点

网格大小： 为了确保元器件位置准确，建议设置为 10, 20, 100。

网格的线条和画布背景颜色可以通过输入你想要的颜色的十六进制值直接设置，或者通过点击颜色值框中打开的调色板上的颜色来设置颜色。



栅格

栅格是元器件符号和走线移动的格点距离，以确保对齐。

吸附：是 或 否。关闭吸附后，元器件和走线可以任意移动不受栅格限制。关闭吸附功能一般用于非电气连接绘制。

注意：如果你需要进行电气连接务必将吸附开启，否则将可能出现导线不能连接引脚的问题！

栅格尺寸：为了确保元器件和走线对齐，建议设置栅格大小为 10、20、100，但允许设置为其他数值如 0.1、1、5等。数值越小，元器件和走线移动的精度越小，越精准。

ALT键栅格：当按下ALT键时启用该栅格大小。当你要移动一个元素时，可以按住ALT键，再进行移动，移动的步进间隔就是ALT设置的值。

建议一直保持吸附开启状态。若之前的元器件摆放和走线是在关闭吸附状态下的，再次打开吸附功能后，原有的项目将很难对齐栅格，强行对齐后将可能会使原理图变得很不美观，如走线倾斜等。

电气工具

若你关闭了电气工具或者没有正常打开，你可以在“**顶部菜单 - 视图 - 电气工具**”处打开。

注意：

- 电气工具内的功能均具有电气特性，如果你想画一些圆弧和线框等请使用‘绘图工具’。

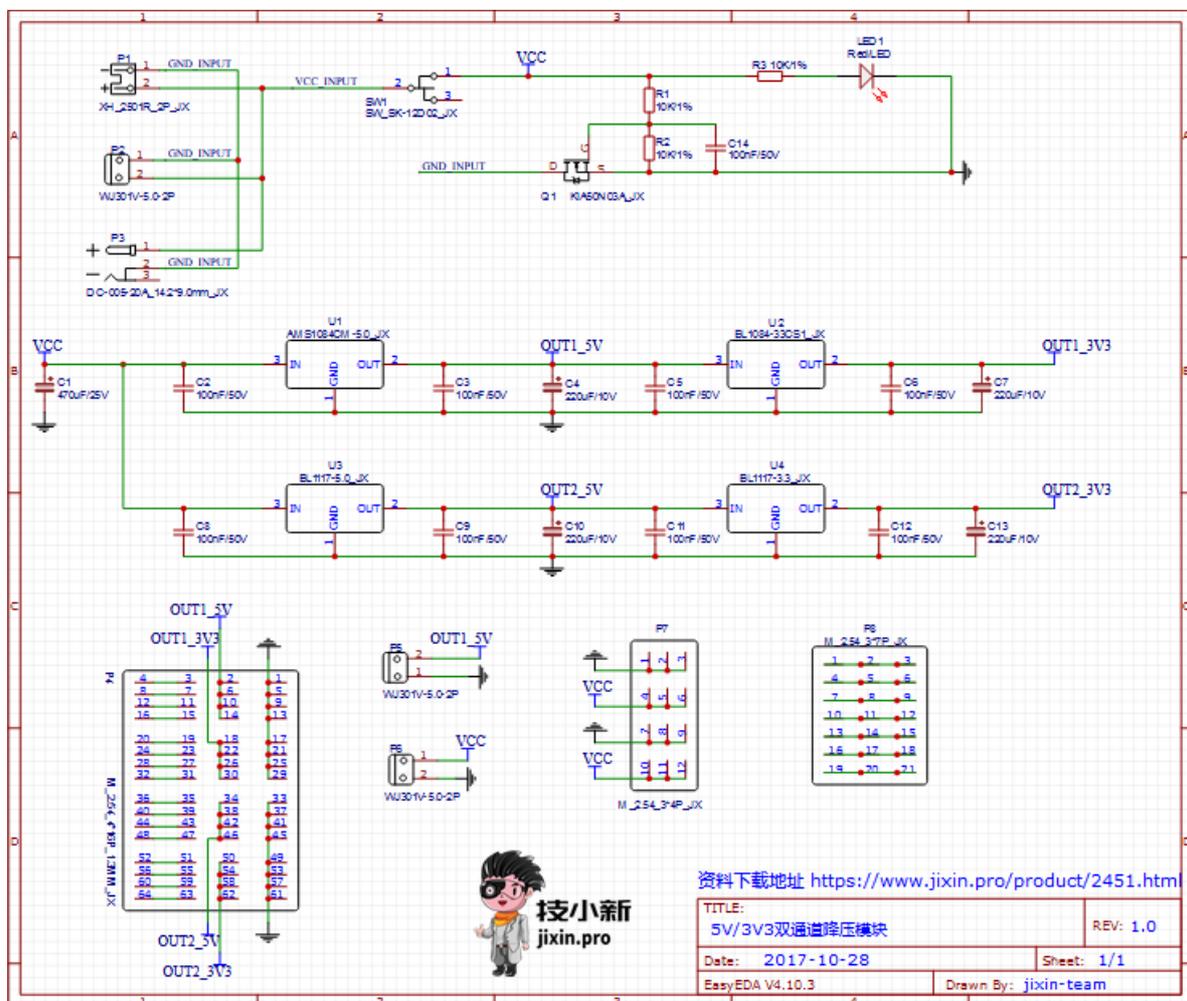


导线

有三种模式进入绘制导线模式。

1. 在“电气工具”点击“导线”图标；
2. 按快捷键“W”；
3. 直接点击元器件的引脚端点然后移动鼠标。编辑器会自动进入绘制导线模式。

下图是一个已经连线完成的原理图。



移动元件时导线跟随

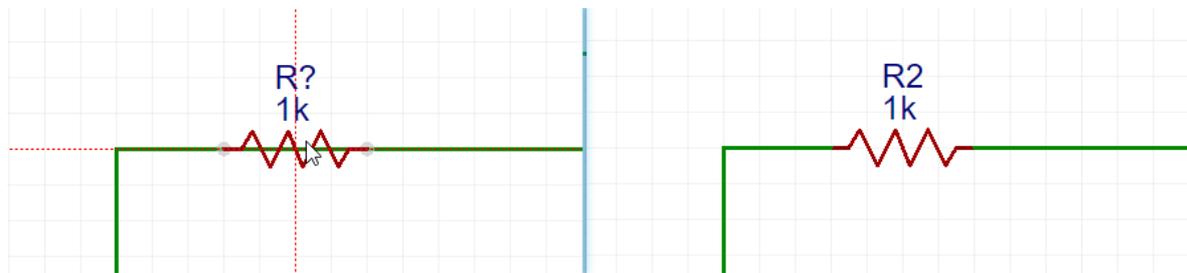
当你用鼠标移动一个元器件时，它所连接的导线会相应的垂直/水平跟随移动。



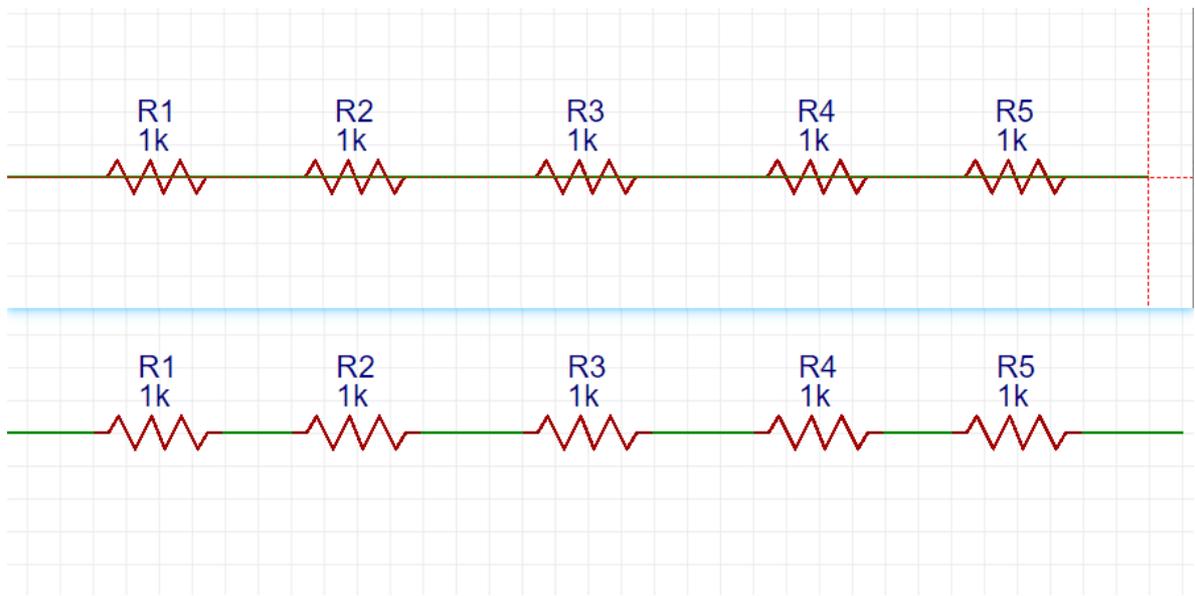
用方向键或者快捷键 D 移动器件时，导线不会跟随。

自动断线

当你放置一个电阻或者电容在导线上时，导线会自动连接引脚两端，并去除中间的线段。

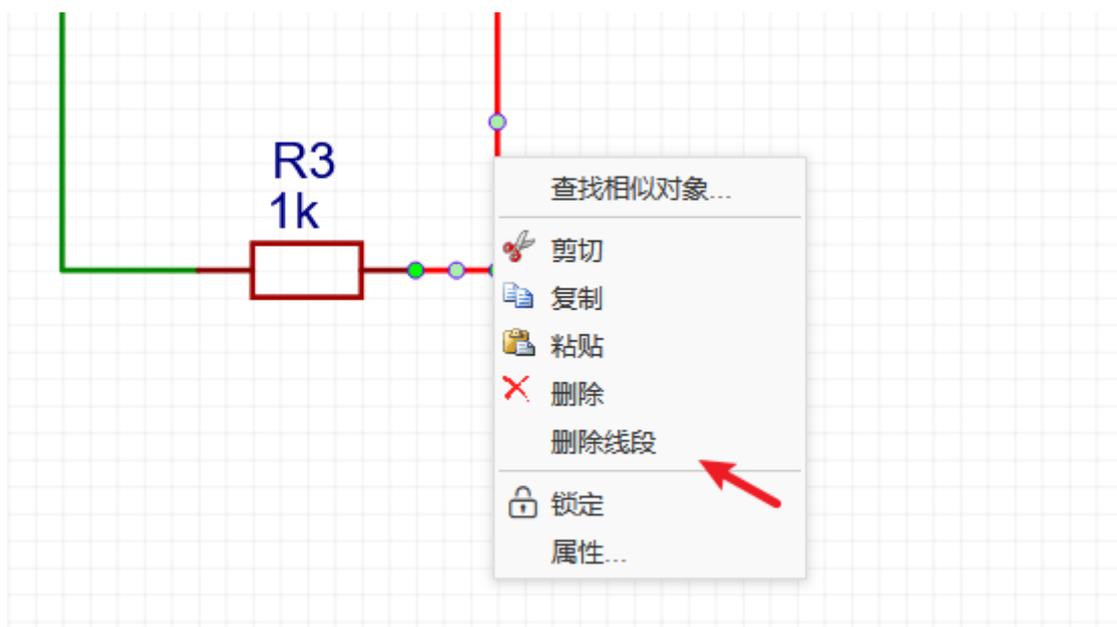
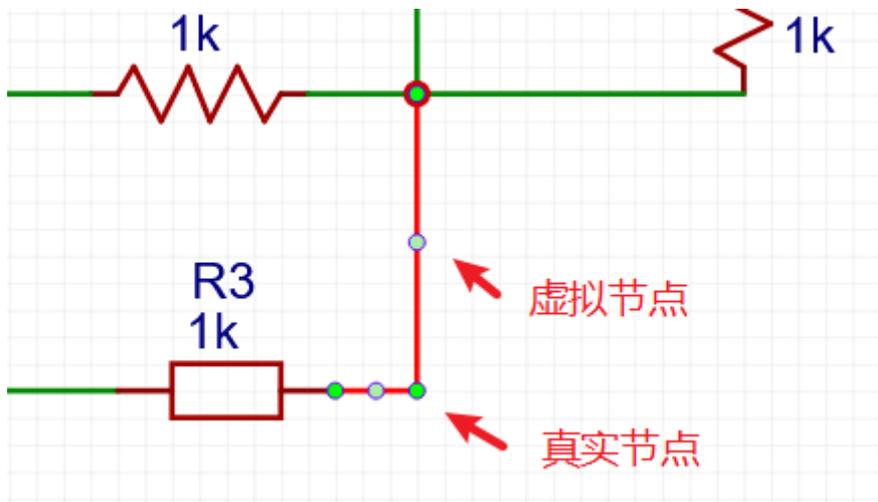


当你需要连接并排的电阻或电容时，可以直接从左往右走线，线段会自动连接并移除多余走线。



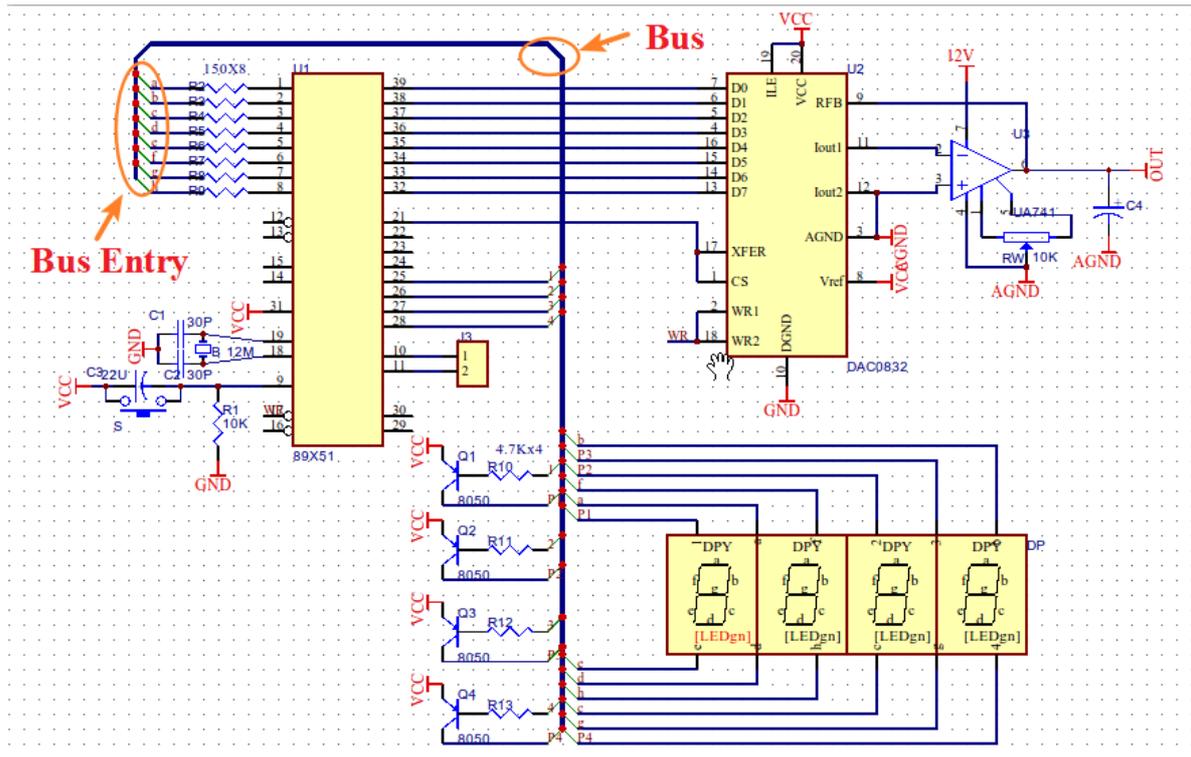
导线节点

点击导线的时候，可以看见导线上的节点，其中白色的是虚拟节点，红色的是真实节点，拖动虚拟节点可以生成真实节点，右键删除线段的时候是删除真实节点之间的线段。



总线

当你绘制的原理图需要很多网络的时候，对每个网络都进行画线将非常困难和耗费时间，此时你可以使用“总线”功能。总线必须和总线分支共同使用。



总线目前在嘉立创EDA只做视图识别，比如信号束的走向，未应用到PCB上。

总线分支

绘制了总线之后，需要在总线放置总线分支，并连接所需的网络连线或者放置网络标签。如上图所示。

网络标签

网络标签 可以用来标识导线网络名，或者标识两个导线间的连接关系。使用快捷键“N”可以快速放置网络标签。

只支持输入英文字母和英文字符，不支持中文，也不支持换行。

当你点击它，可以在右边的属性面板修改它的属性，或者鼠标左键双击该网络标签与导线的连接处，弹出属性对话框来修改它的属性。



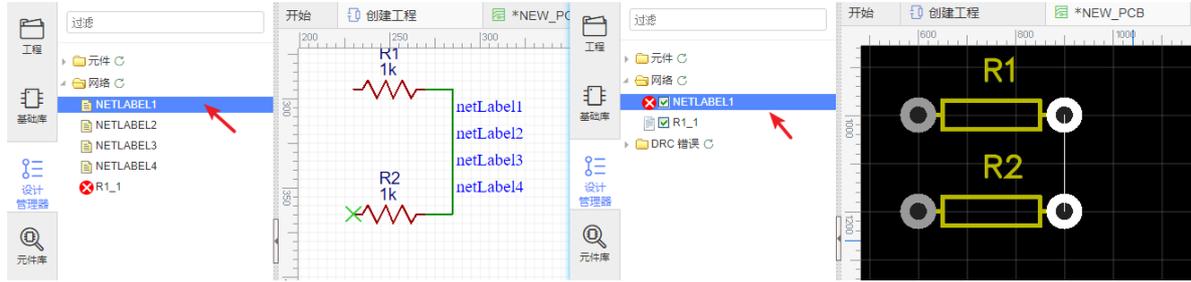
如果只想更改它的名字，直接双击即可修改。编辑器会记住你上次使用的网络标签名称，并在下一次继续使用该名称，若你修改的网络名称以数字结尾，那么下次放置时网络标签的名称将自动加1。如你放置了VCC1，那么下一个为VCC2。

嘉立创EDA的网络标签支持跨图页连接。

多网络标签

嘉立创EDA原理图中已经允许多个不同网络名称同时存在同一条导线上。

当你进行电路仿真、转换为PCB时，仅选择第一放置的网络标签作为网络名，如下图的NETLABEL1。



在原理图设计管理器点击其中一个网络标签时，均会高亮其所在的网络导线。



在左下角也会有相应的提示：

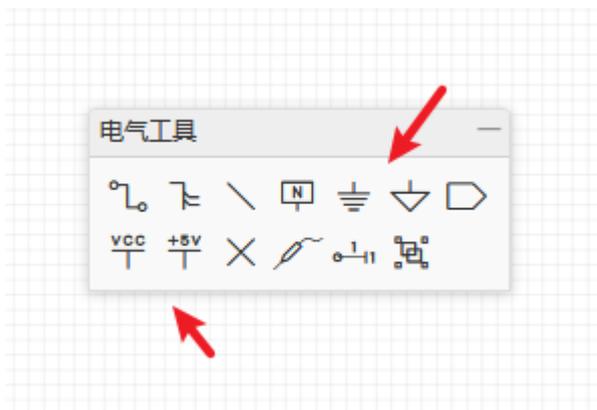


注意：

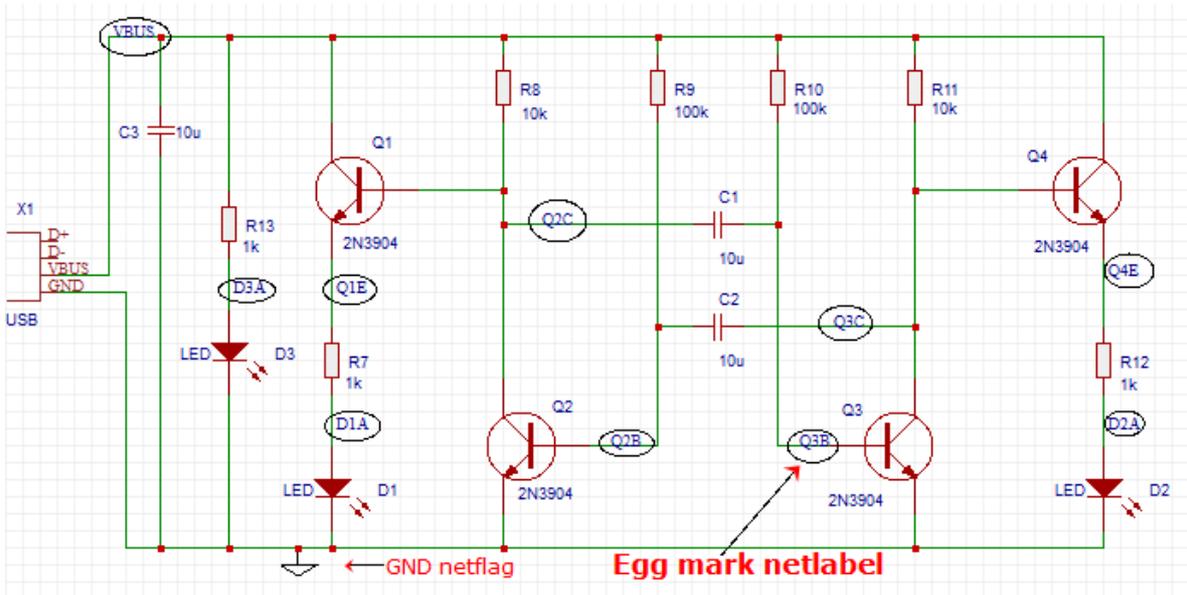
- 网络标签/网络标志符/网络端口/电压探针均只支持英文字母与符号与阿拉伯数字，不支持中文等。
- 如果你在导线1放置了网络标签A、B、C，在导线2放置了名称为A的网络标签，那么导线1和导线2会是属于同一个网络。
- 如果你的原理图放了一个P1，P1有两个引脚，当它连接导线后可能会产生网络名为P1_1和P1_2；此时你若在其他没有连接P1的导线放了一个网络标签名称为P1_1，那么这个自动生成的P1_1会自动变更为P1_1(1)，以便与P1_1区分。

标识符

标识符的作用与“网络标签”相似，使用快捷键 **Ctrl+G** 放置 **GND**，使用 **Ctrl+Q** 放置 **VCC**，并且你可以修改它们的名字。



下图使用网络标签(Q3B等)和GND标识符。

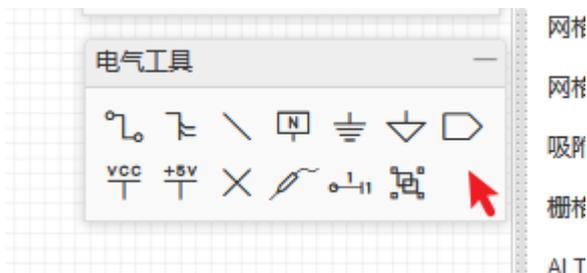


电气工具栏为你提供了：数字地GND标识符、模拟地GND标识符、电源标识符VCC和+5V以方便使用。

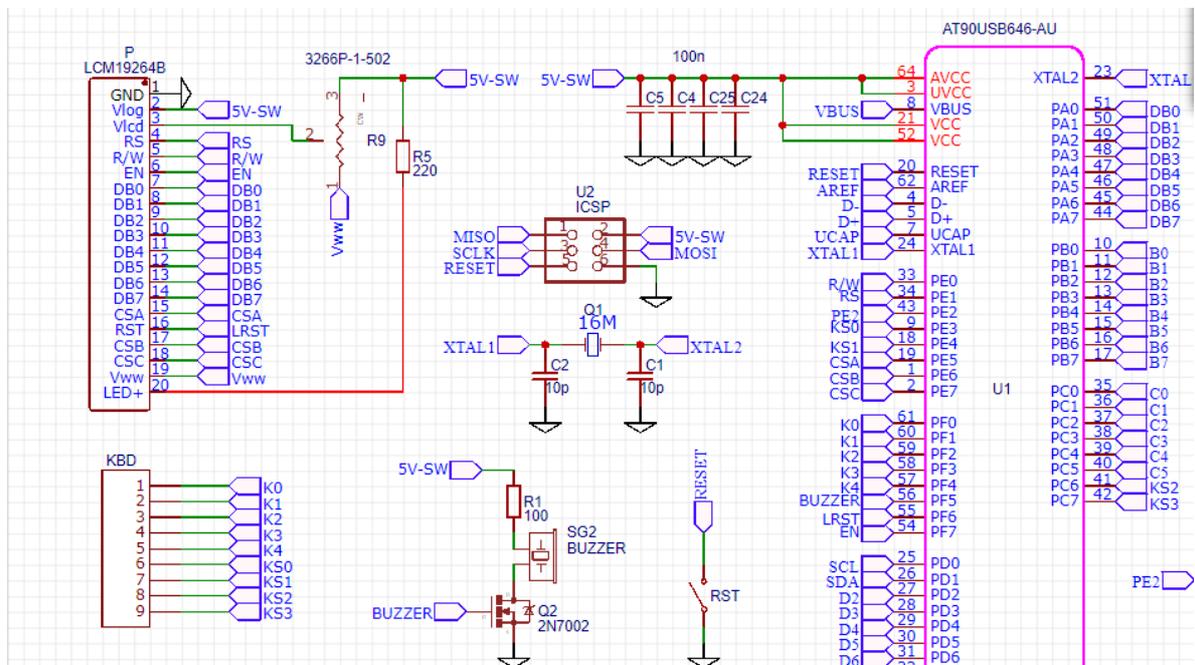
嘉立创EDA的网络标识符支持跨图页连接。

网络端口

当你需要绘制很多条不连接的导线，或者多页原理图时，可以使用“网络端口”功能；在同一原理图下时，使用网络端口与网络标签功能一致。



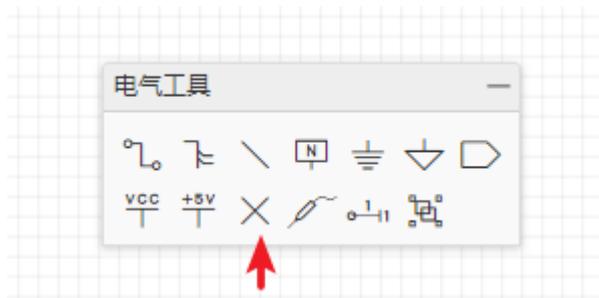
使用网络端口可以使原理图变得清晰简洁，没有过多的导线，只需给每个端口设置一个网络名称。



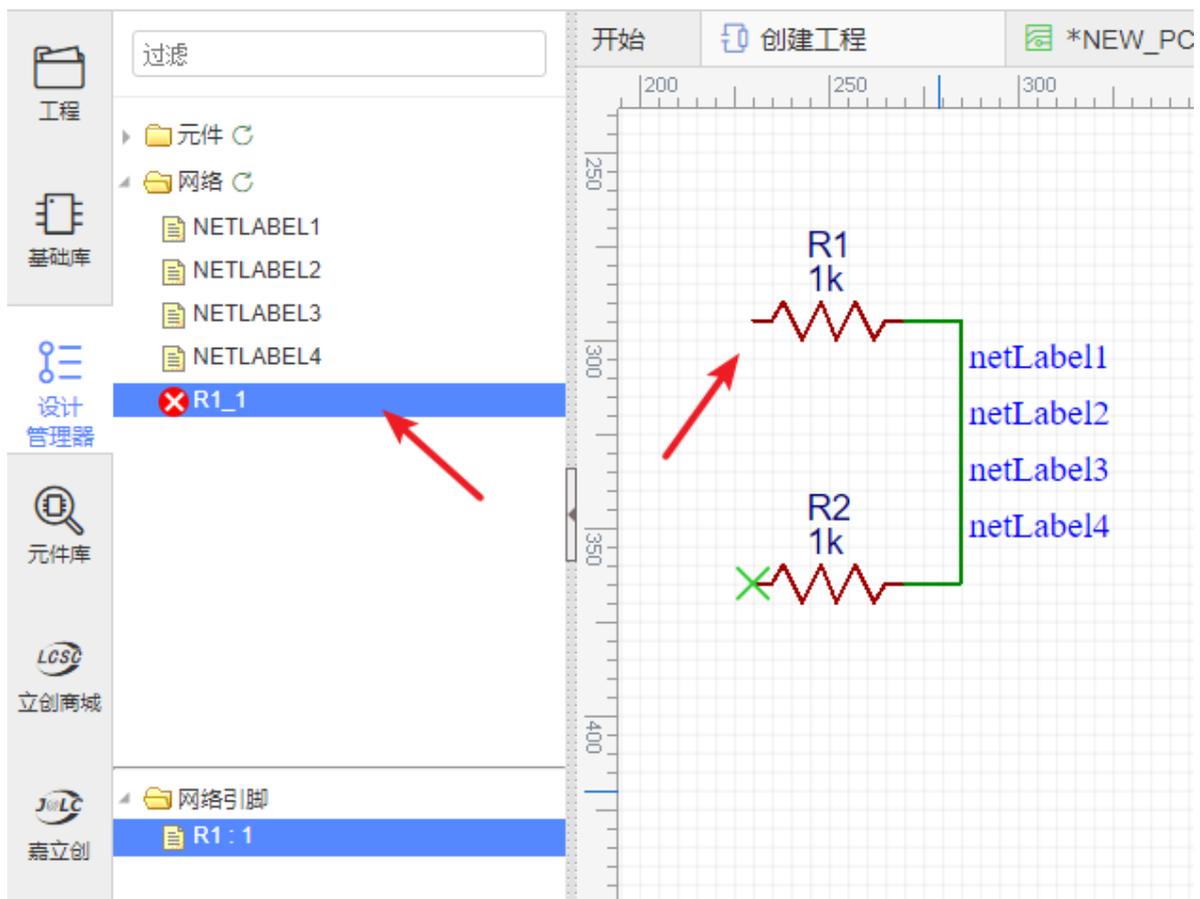
嘉立创EDA的网络端口支持跨图页连接。目前的网络端口功能与网络标签基本一致，可以认为是不同样式而已。

非连接标志

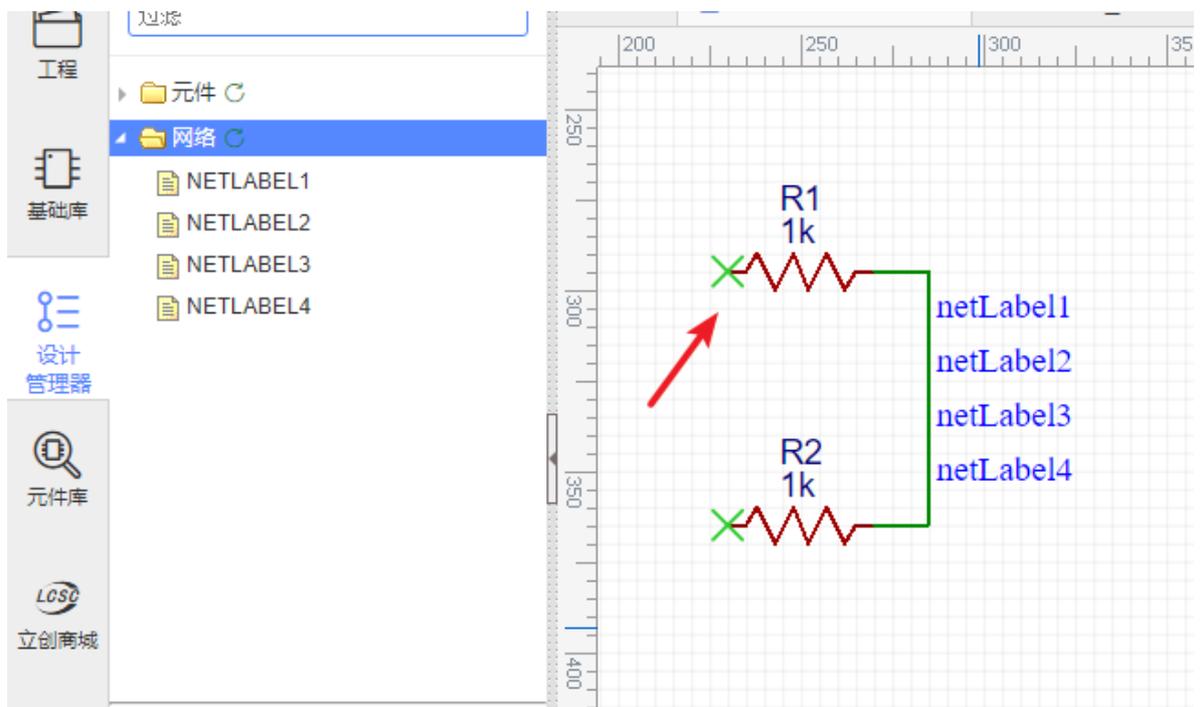
非连接标志用于原理图上元器件不使用或需要悬空的引脚，避免出现引脚没有进行网络连接而在设计管理器内报错。



如下图，如 R1_1 脚不添加非连接标志，在设计管理器中会出现错误标志。



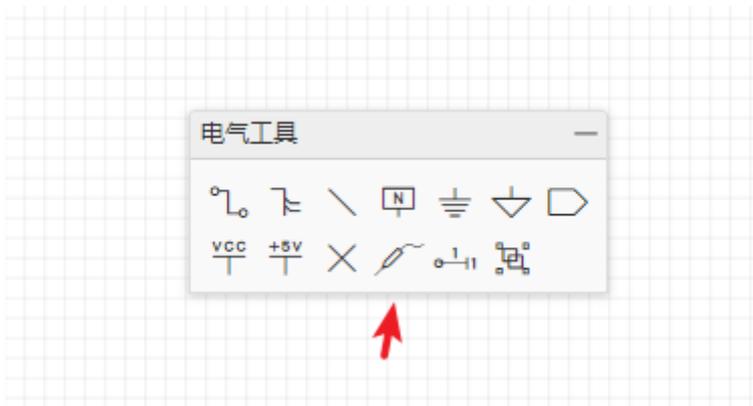
在添加非连接标志后，错误消失。



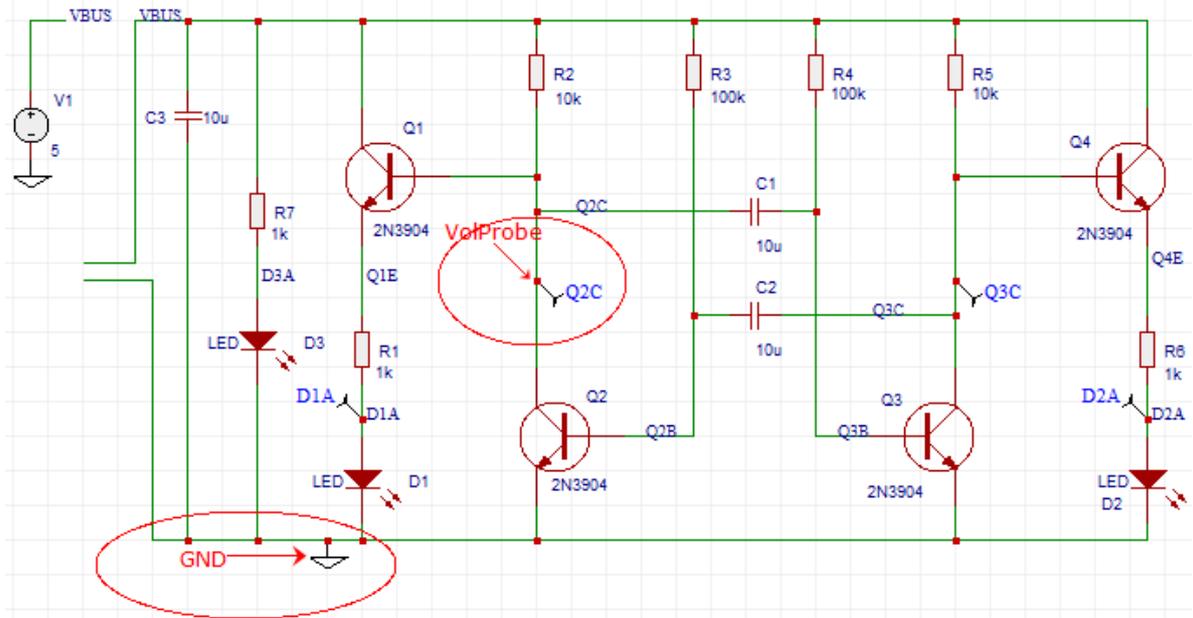
注意：非链接标志最好只放在引脚上，如果引脚上连接了导线，也放置在导线末端，导线请不要再放置网络标签，否则设计管理器网络列表会报错。

电压探针

电压探针是在电路图仿真时使用，用于侦测电路电压参数，与实物万用量测电压时功能一致。



仿真运行后，产生的波形就是根据放置的电压探针进行采样生成。



更多关于仿真的内容请查阅 **仿真** 章节。

引脚

当你在原理图或符号库文档新建一个带电气特性的原理图符号时，你必须为它放置管脚(引脚)，否则它将无法通过导线连接。使用默认快捷键“P”可以快速放置管脚。



更多信息请查阅：符号库文件 - 引脚 章节。

组合与解散

在电气工具栏的组合/解散标识符。



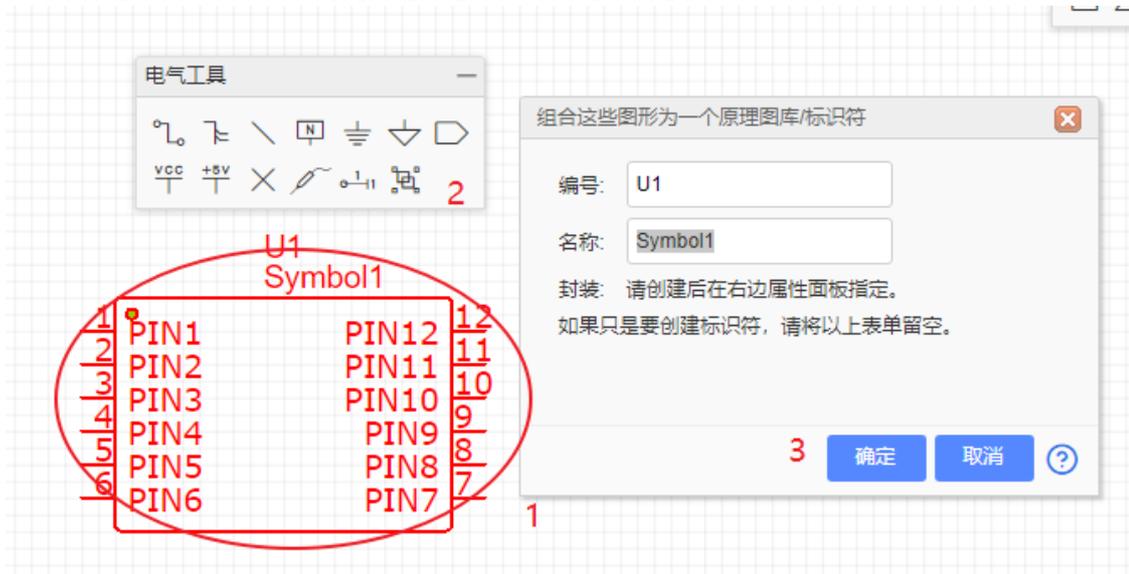
它与“符号库向导”相似，可以帮助你快速的创建符号库符号；也可以解散符号库符号，以便进行修改。

组合

在原理图下，使用它可以很容易地画出如下图U2的样式符号。

使用方法：

- 1.如下图的元件，当画完长方形，放置了管脚，并对管脚全部重新命名。
- 2.此时全选全部图元，再点击组合/解散按钮会弹出一个符号命名窗口。
- 3.此时你可以输入你所组合的元件的编号，名称，封装信息。



- 4.当你点击“确认”后该元件符号已经创建完成。你可以继续进行原理图设计，其与在元件库放置的元器件功能一致。

解散

与组合刚好相反，它可以打散元件符号，以便就地按需修改，无需通过修改元件库文件。

注意：

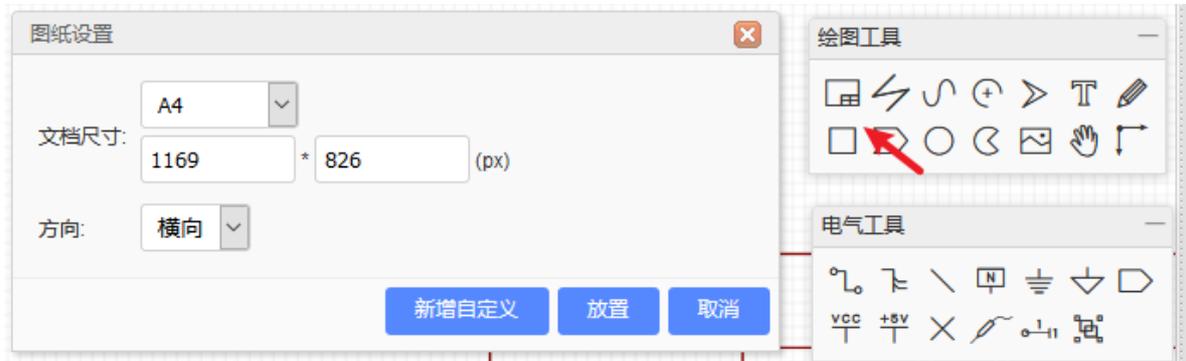
- 你在这里创建的元件符号不会保存在你个人的库文件中。若你想保存在个人库中，请新建符号库文件。
- 解散后的符号将不再和服务器的符号关联，无法通过右键更新。

绘图工具

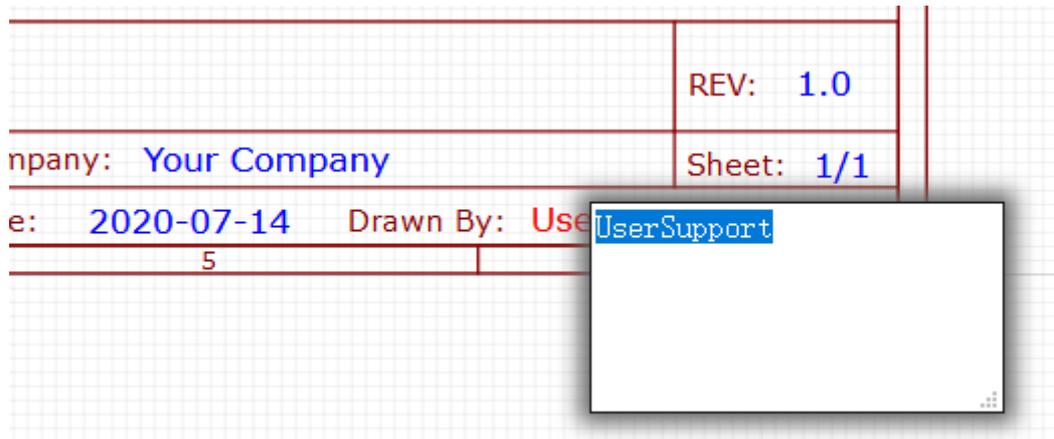
文档设置

嘉立创EDA默认给新建的原理图设置了A4大小的表格图纸。你可以很方便地修改图纸大小。

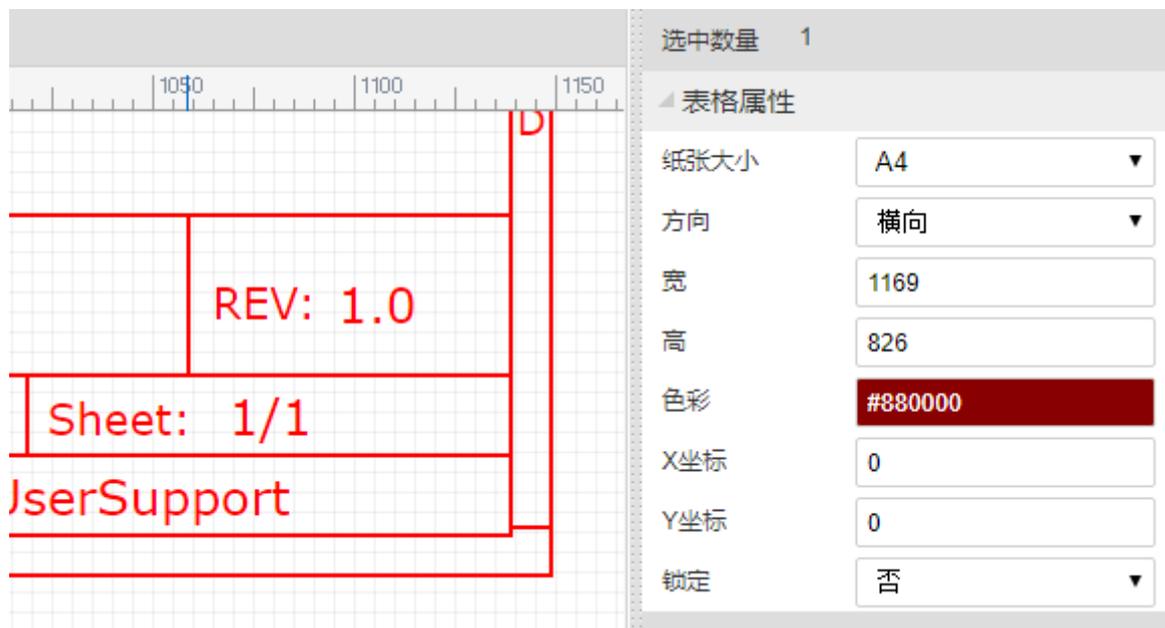
可以通过“绘图工具”的“文档设置”进行修改。



在图纸右下角还可以通过双击修改作者，日期，名称等信息。



当点击图纸右下角本体时，可以在右边属性面板或者左键双击图纸右下角打开属性面板进行修改大小、颜色等相关信息。



自定义图纸

嘉立创EDA支持自定义公司所需要的原理图图纸图框，目前自定义的图纸需要手动放置，还不支持新建原理图的时候自动引用自定义图纸。

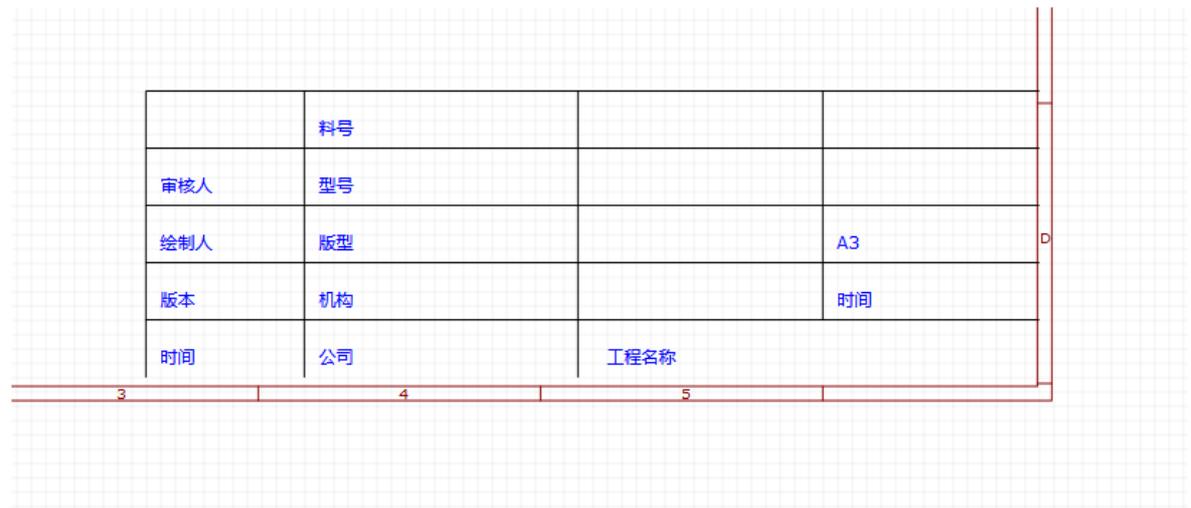
创建方法：

- 1、在绘图工具，点击图纸设置图标



- 2、点击“新增自定义”按钮

- 3、会打开新的一个原理图符号库编辑界面，点击右下角的线条，进行编辑所需要的图纸表头。



4、点击边界可以修改图纸大小

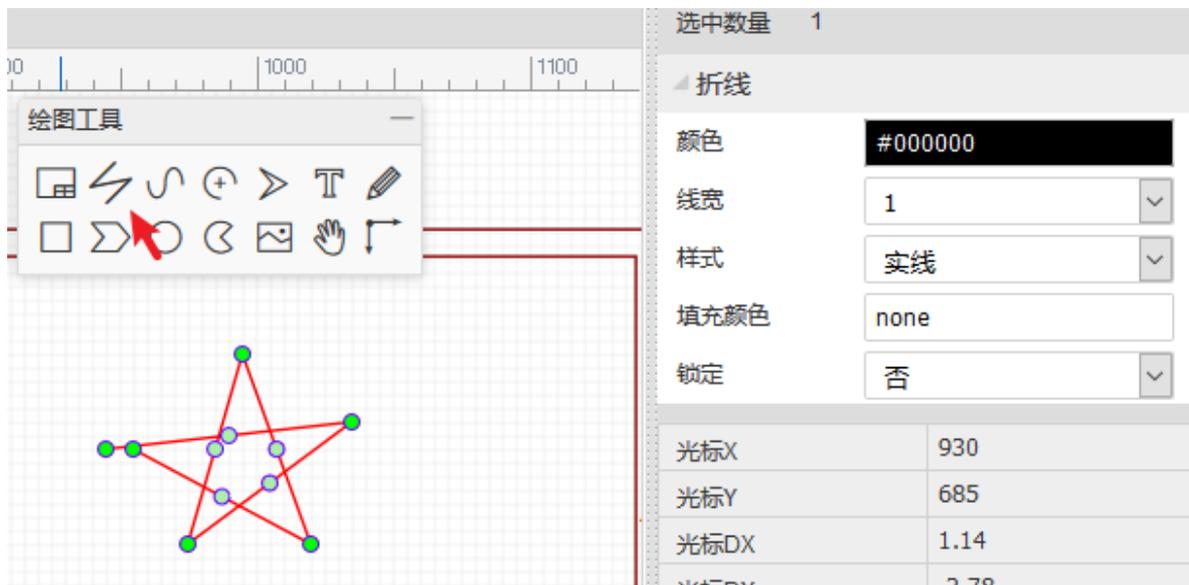


5、保存后，将保存的个人库或者团队库中，下次新建原理图，从库里面调出放置，与放置器件一致。

下次创建原理图页的时候，可以进行放置这个库进行绘图。不支持新建图页默认使用自定义的图纸符号。

线条

在原理图中，你可以绘制任意方向的线条。修改线条样式，颜色，填充颜色等。



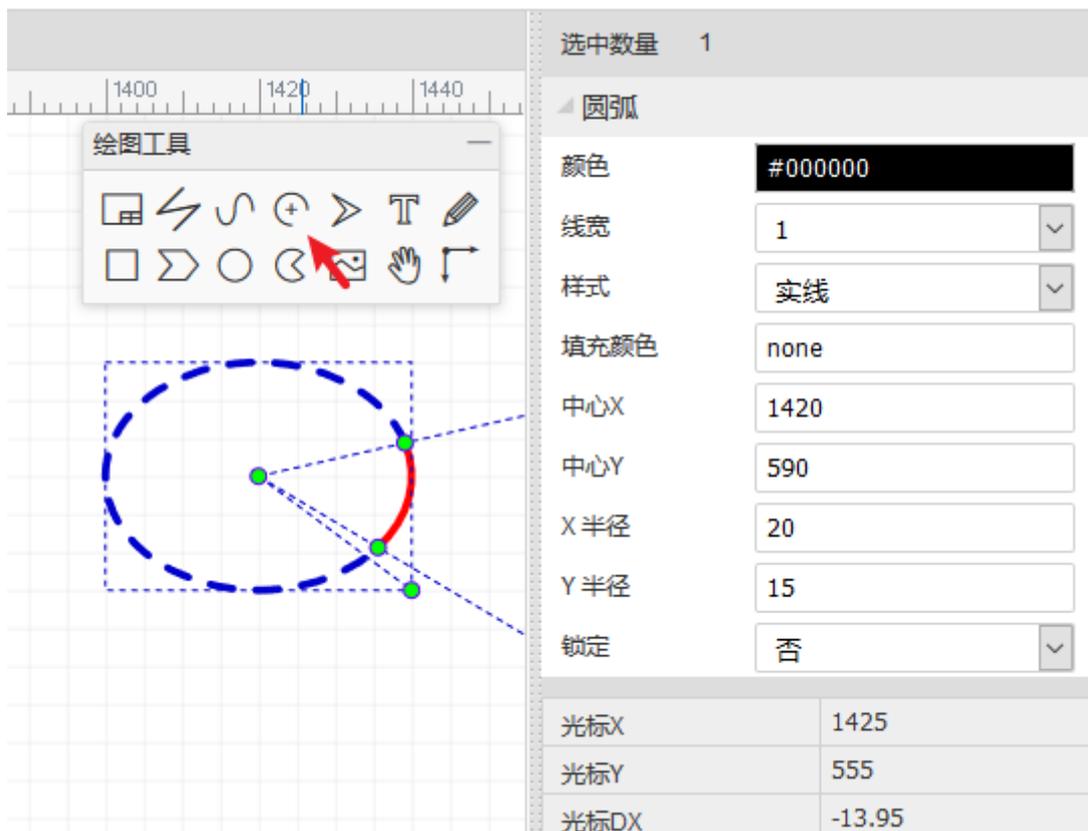
贝塞尔曲线

使用贝塞尔曲线，你可以画出很酷的图片。



圆弧

支持绘制不同形状的圆弧。



箭头

箭头一般在文本前做标识用。

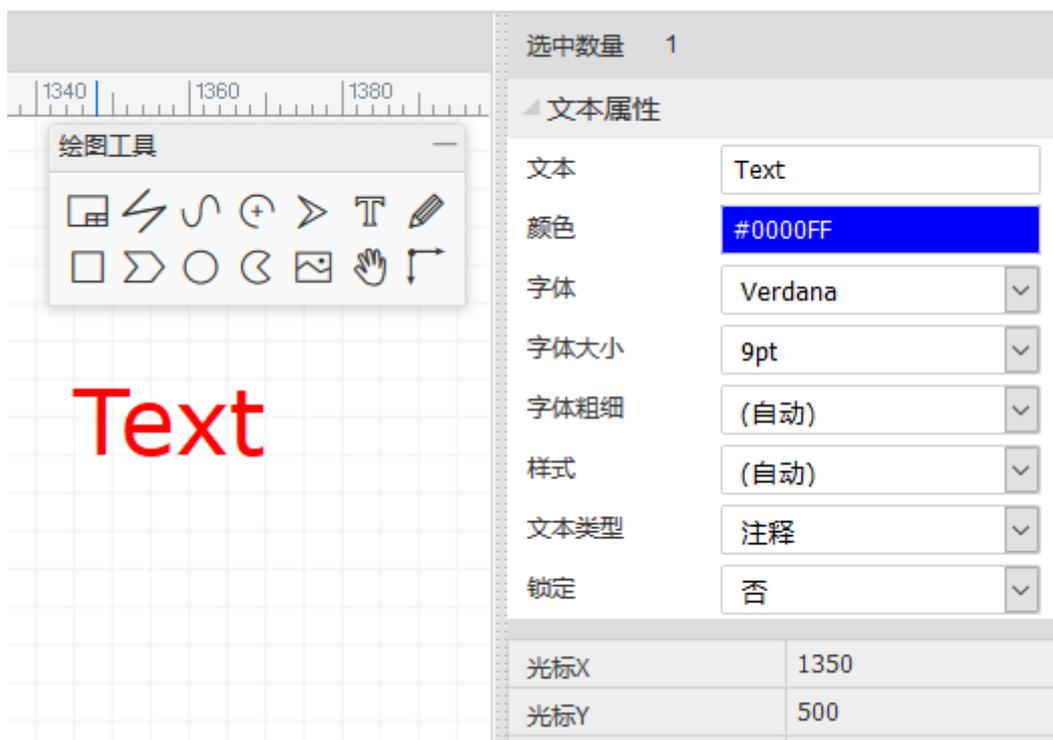


文本

文本属性提供多种参数供你设置。

- **文本**：你可以修改为你想要的文本。新建时默认为Text。
- **颜色**：可自定义字体颜色。
- **字体**：提供12字体选择。
- **字体大小**：最大支持72号字体大小。
- **字体粗细**：提供13种粗细选择。
- **样式**：包含自动、正常、斜体。
- **文本类型**：是属于备注文本还是Spice仿真描述。

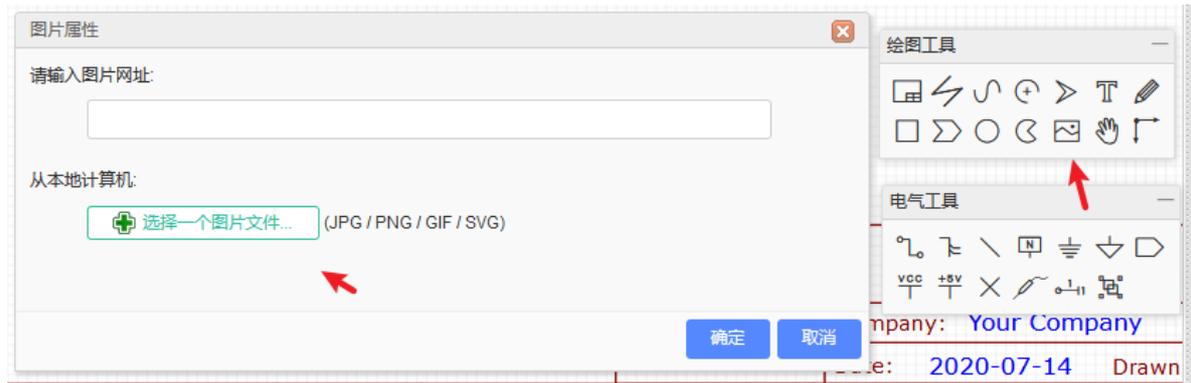
在同一原理图内，编辑器会记住上一个文本的属性参数，在放置时自动套用上次的属性。



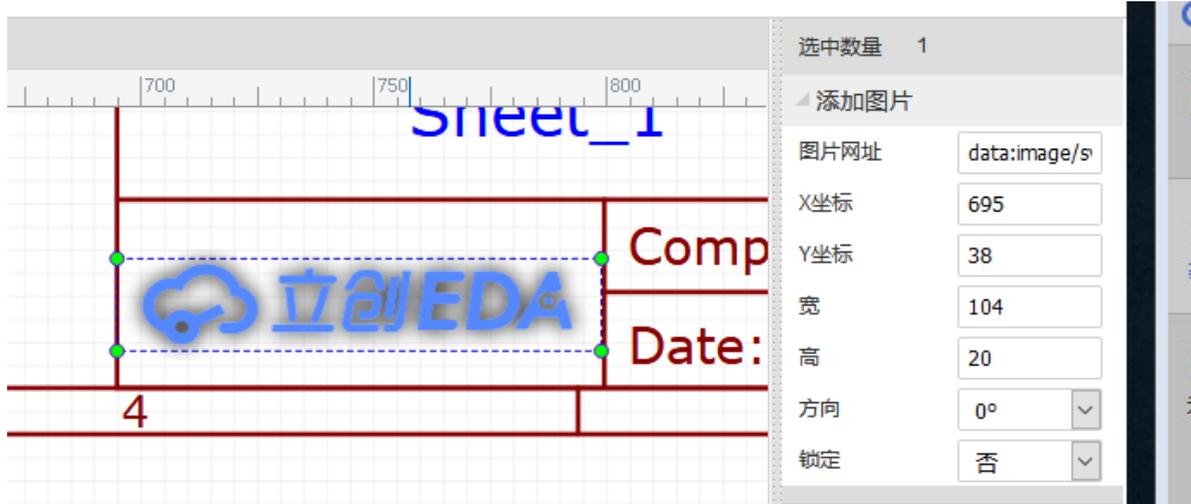
图片

在原理图页面点击 **图片** 功能会弹出图片窗口。

可以通过超链接插入图片，也可以从本地上传。插入的超链接必须是以图片格式后缀名 (.PNG, .JPG, .SVG)结尾



点击这个图片在右边属性面板可以编辑它的属性，或者鼠标右键 > 属性，修改图片。



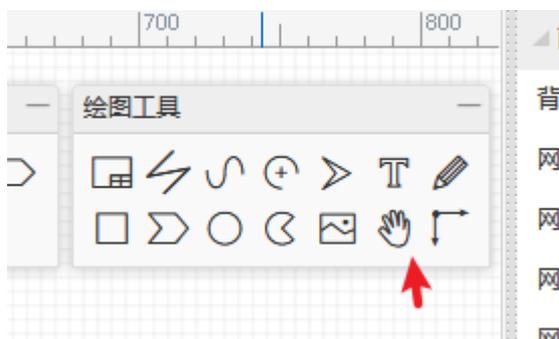
在原理图页面点击 **图片** 功能会弹出图片窗口。

注意：

- 目前嘉立创EDA不能为你上传的图片创建图库，若使用超链接上传图片请使用有效图床。

拖移

拖移是整体移动，并且断开连接。快捷键“D”。



画布原点

嘉立创EDA画布的默认原点是在左上角，你可以随意定义画布原点。

其它方式设置可通过 **放置 > 画布原点**。



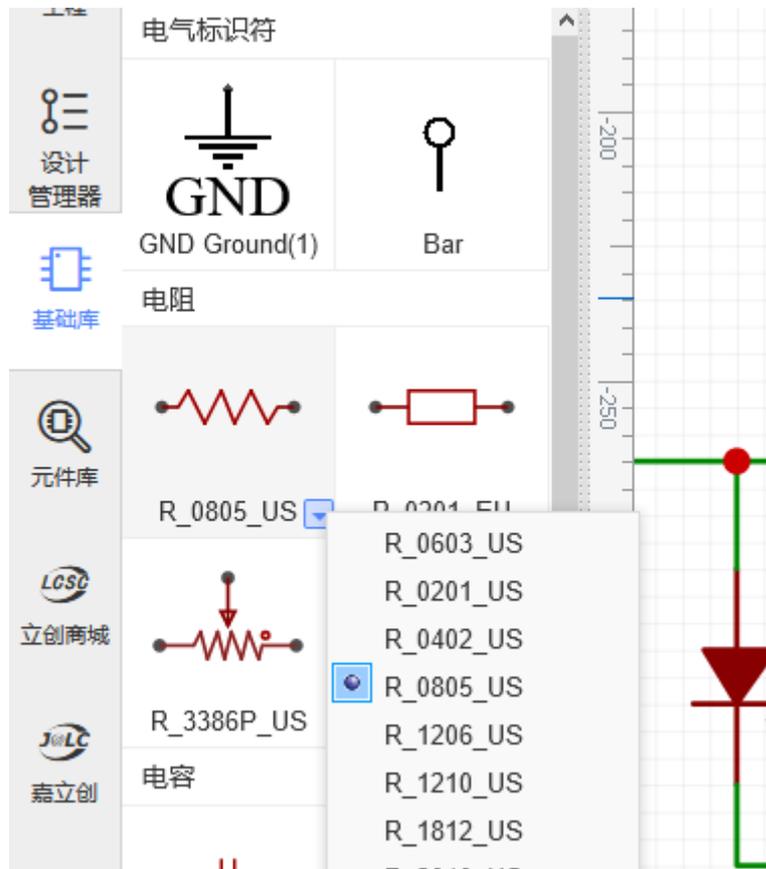
元件库

常用库

常用库

其包含了一些常用的基础元件。常用库不支持自定义。

标准模式下的常用库不能仿真，如需仿真请在仿真模式下使用仿真实用库进行仿真。



常用库有一些零件样式包含美式和欧式，你可以随意选择你喜欢的样式。

点击零件右下角可以选择它相应的封装和参数，编辑器会记住你选择的参数以便下次应用。

使用筛选器可快速找到想要的零件，比如输入 0603 可快速显示出电阻。



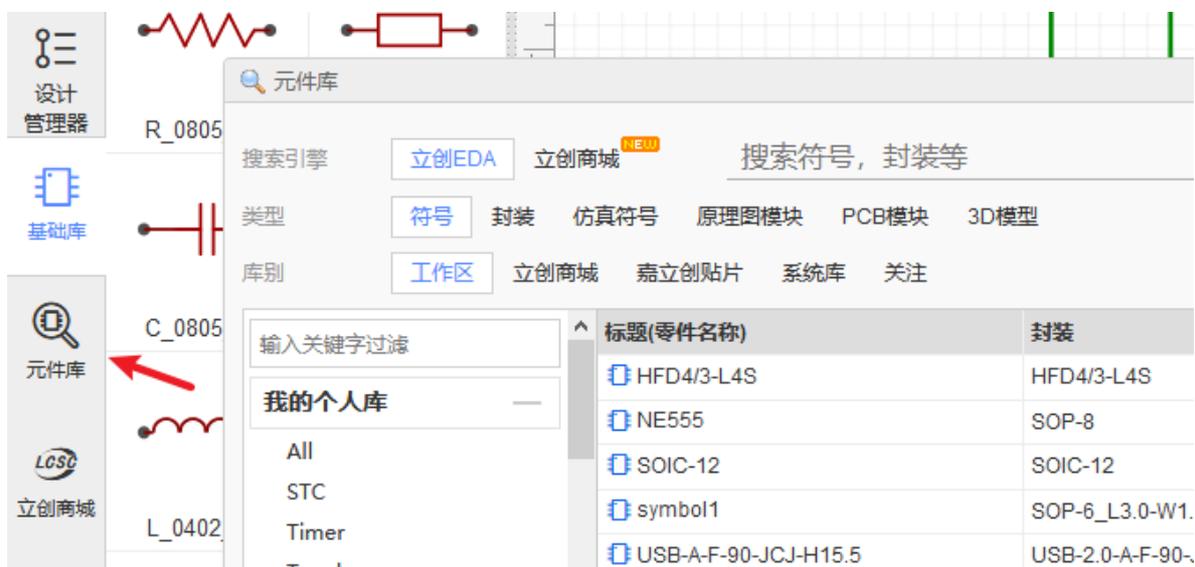
单击零件后移动鼠标至画布即可放置，无需拖动。嘉立创EDA不支持拖动放置器件。

元件库

元件库

或者使用快捷键“SHIFT + F”调出。

会打开元件库搜索框，输入零件名称后搜索即可。



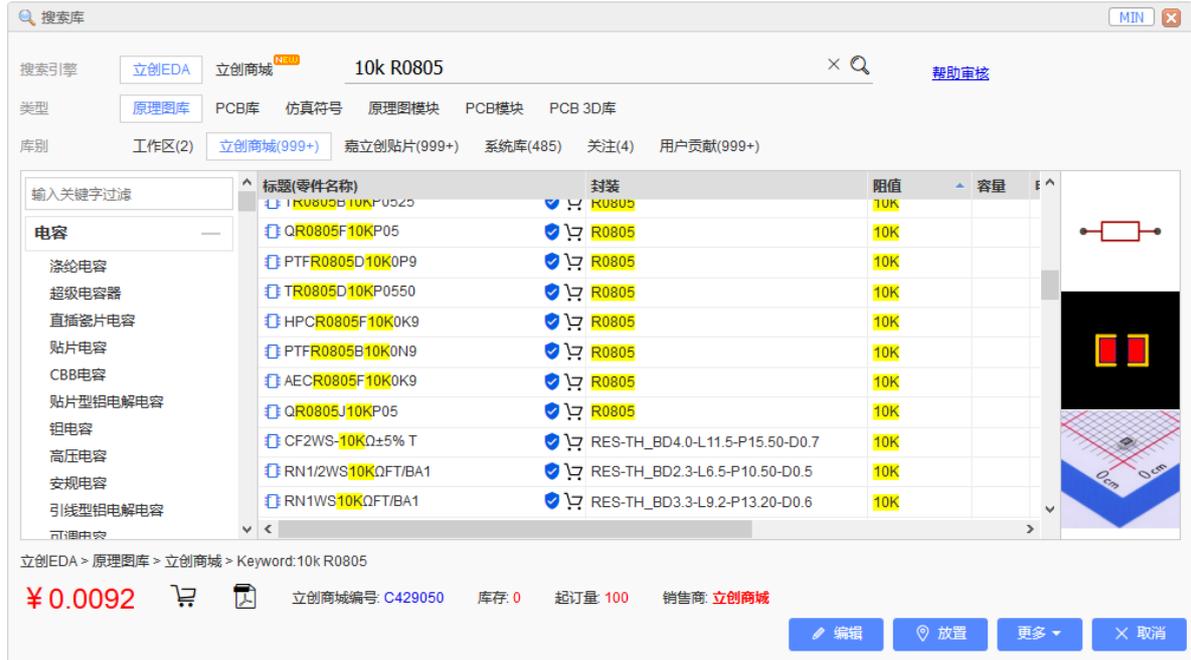
在搜索结果里可以选择你想要的类别，然后单击选择你所需的零件，再点击搜索框下方的“放置”即可放在画布中。你也可以直接移动鼠标至画布也可以进行放置。

搜索引擎

提供两个搜索引擎，

- 1、嘉立创EDA引擎

则直接搜索库的信息，包括库的标题，封装名，分类标签，描述，部分电阻电容类的阻值容值等。只能搜索简单的信息。比如电阻可以搜索：10k R0805，即可得出阻值为 1K 的，封装为 R0805 的符号（只对立创商城库别有效）。



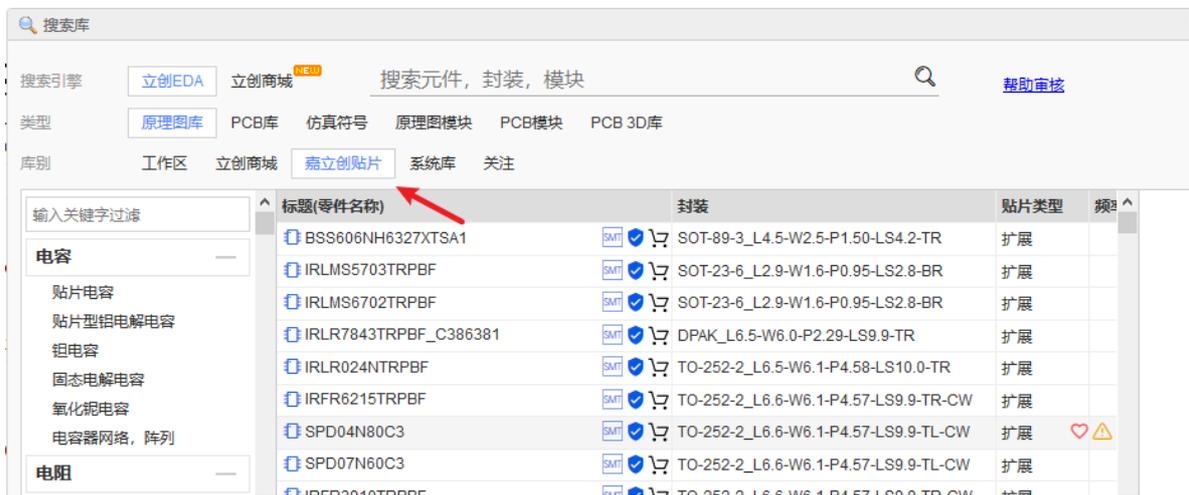
2、立创商城引擎

则提供了强大的商品信息搜索，包括参数选型等。



嘉立创贴片

为了方便用户选择嘉立创EDA可帮忙贴片的零件，嘉立创EDA单独建立了一个“嘉立创贴片”库，该库是“立创商城”库的子集。贴片工序由嘉立创完成。



放置：一些经常使用的零件，无需收藏，直接点击放置即可放在画布中。在库列表的时候，直接双击库也可以放置到画布中。

编辑：这里可以编辑你自己的库文件；或者修改其它用户贡献的，系统库的库文件以适应你的需求，保存后会成你个人的库文件。

更多：你可以对一些非个人库文件进行收藏和克隆，可以对自己的库文件进行修改(标题，描述，标签)，删除，添加子库等操作。



右键：对库列表进行右键，可以进行更多操作。



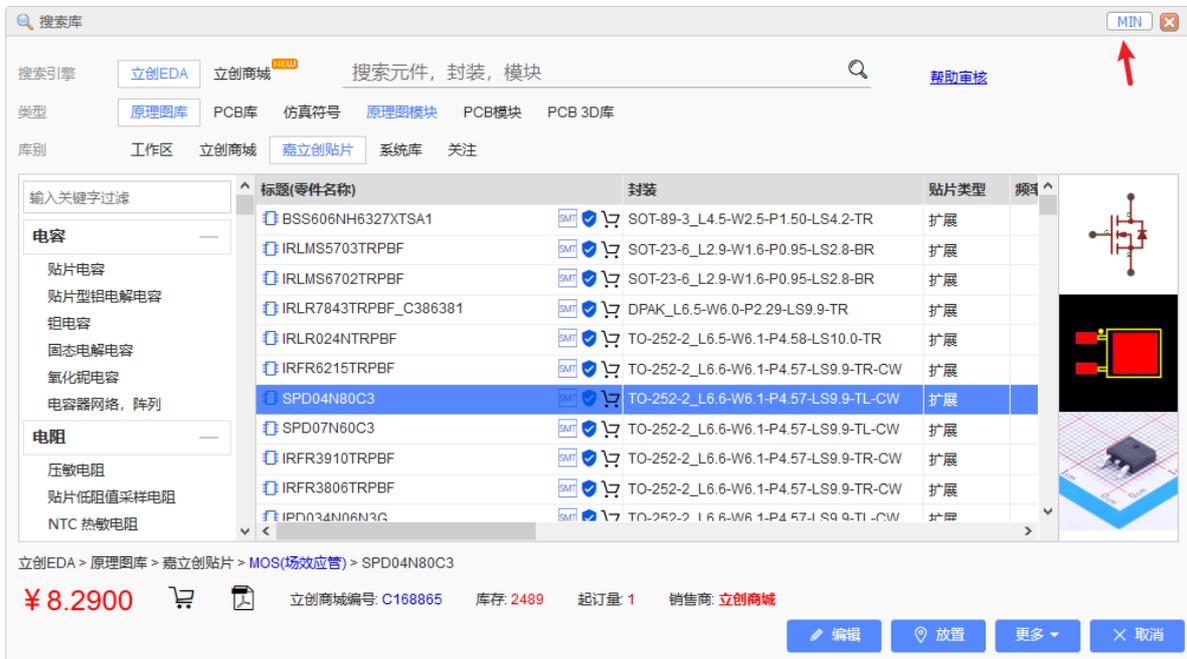
注意:

- 系统库的库文件嘉立创EDA会努力确保正确,但仍可能存在错误,如果你发现系统库和立创商城的元件或封装存在错误,还请联系我们进行修复。QQ800821856。故建议你进行PCB打样或批量生产前,请仔细检查你使用的封装,特别是使用了用户贡献库的封装!
- 嘉立创EDA支持多页原理图,选中的零件只能放置在当前打开的文档中。
- 你无法放置符号到PCB,同样,你也无法放置PCB封装到原理图中。
- 在v6.4.20.8开始,编辑器启用了原理图和封装库的历史版本机制。当符号或封装库有保存时,每次保存会产生一个新的历史记录,当放置库在画布时,会使用当时最新的库历史版本。比如MAX232原理图库和封装SOP-8,当MAX232原理图库绑定了SOP-8后,放在原理图转为PCB,此时PCB的SOP-8使用的版本是当时放置在原理图的那个历史版本,若你编辑了源封装SOP-8,原理图转PCB或更新PCB,仍会使用原来那个封装版本;如果你需要转PCB时使用新更新后的封装,则需要原理图的设计菜单-更新库文件,更新掉对应的元件。这个设计可以保证当时使用的版本不被后续的封装修改所影响,确保一直使用都是当时的放置版本。如果是在v6.4.20.8之前绘制的原理图,转PCB或更新PCB的时候还是会直接取最新版本的封装,因为旧文件放置器件没有记录当时的历史版本。该机制暂不支持在私有部署版本

模式切换

元件库对话框支持两种展示模式,方便画图。

- 1、放大模式。默认模式。



2、精简模式。

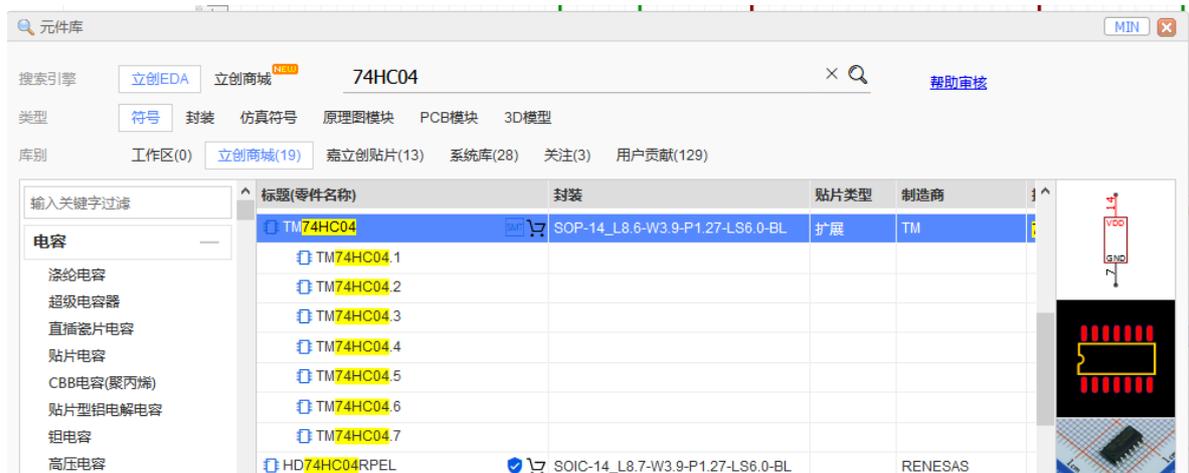
在精简模式下，可以连续对器件进行放置。



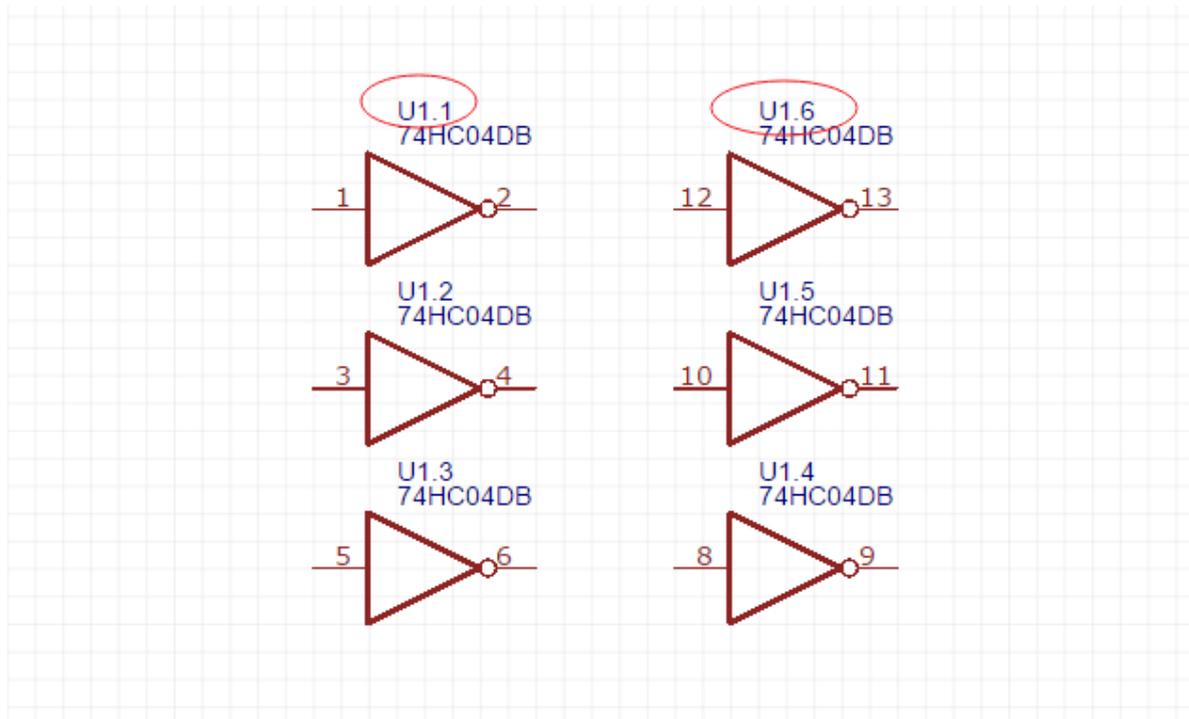
放置元件子库

当一个元件存在太多引脚时，把它全部画在一个库文件中将会非常耗费空间，所以可以通过创建子库来进行多模块组合该元件。

如搜索 TM74HC04。如下图所示，该零件存在 7 个子库。



需要依次放置它的子库，每个子库放置一次，在原理图时，如下图所示。



注意：

- 如果点击父库后，进行放置，在原理图会连续继续放置剩余子库，比如 U1.1, U1.2, U1.3。
- 如果你只放置第一个子库，并放置多次，编号会从U1.1, U2.1, U3.1开始。
- 暂不支持连续放置的时候，自动切换到其他子库。

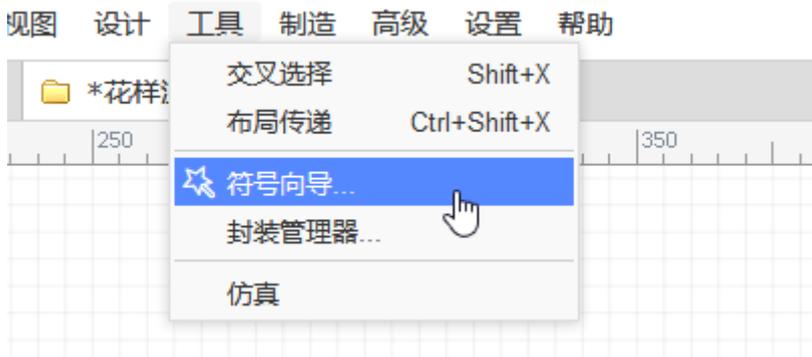
更多关于元件子库的信息请查看 [符号文件：创建元件子库](#)

符号向导

嘉立创EDA提供一个可快速创建符号符号的向导工具。

该工具可以在原理图和符号编辑界面中使用。当在原理图中时，创建的符号不会保存在个人库中，仅在当前的原理图有效。

在工具栏点击打开，如果是在符号文档中可以在“**顶部菜单 - 工具 - 符号向导**”打开。



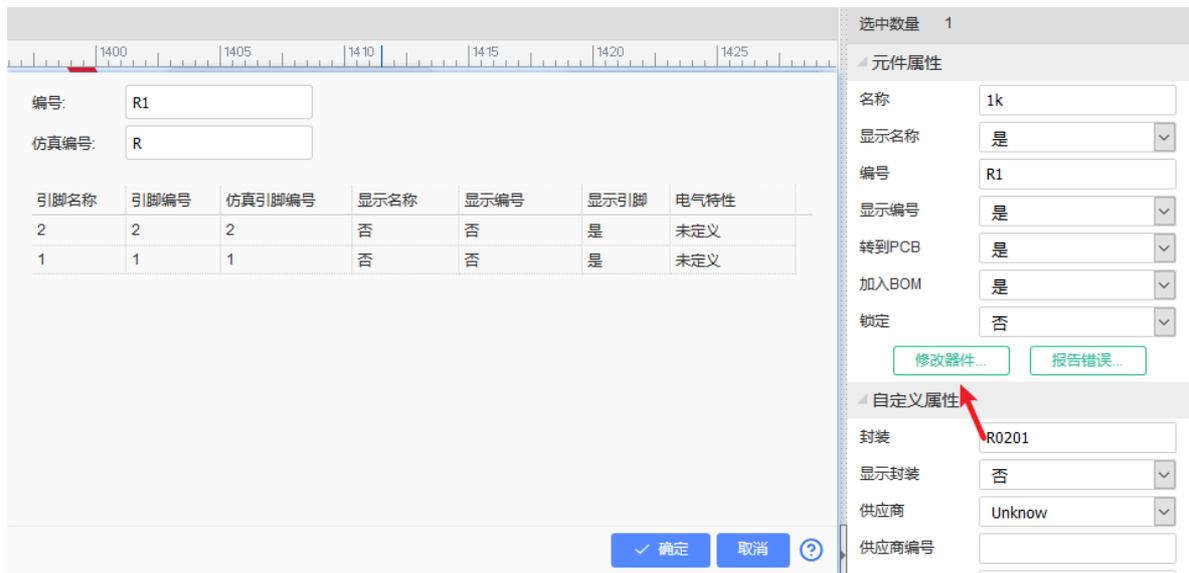
高级功能请查阅：[符号向导](#)

元件属性

元件属性

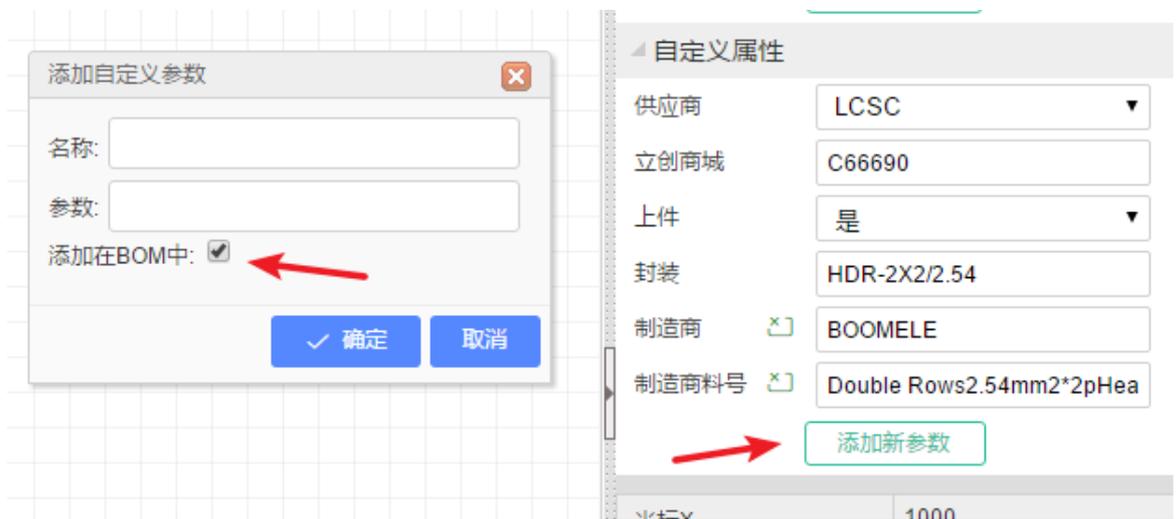
选中一个零件之后，可以在右边属性面板查看或修改它的属性参数。

1、**元件属性**：你可以修改元件的名字和编号，并设置它们是否可见。还可以修改器件信息。请不要用中文设置编号，在PCB中封装编号不支持中文。



2、**自定义属性**：在这里你可以修改元件的供应商，供应商编号，制造商，制造商编号，封装等。

3、**添加自定义参数**：当你选中一个零件，可以它新增参数，若你勾选了“**In BOM**”，那么该项参数会在BOM表中体现。



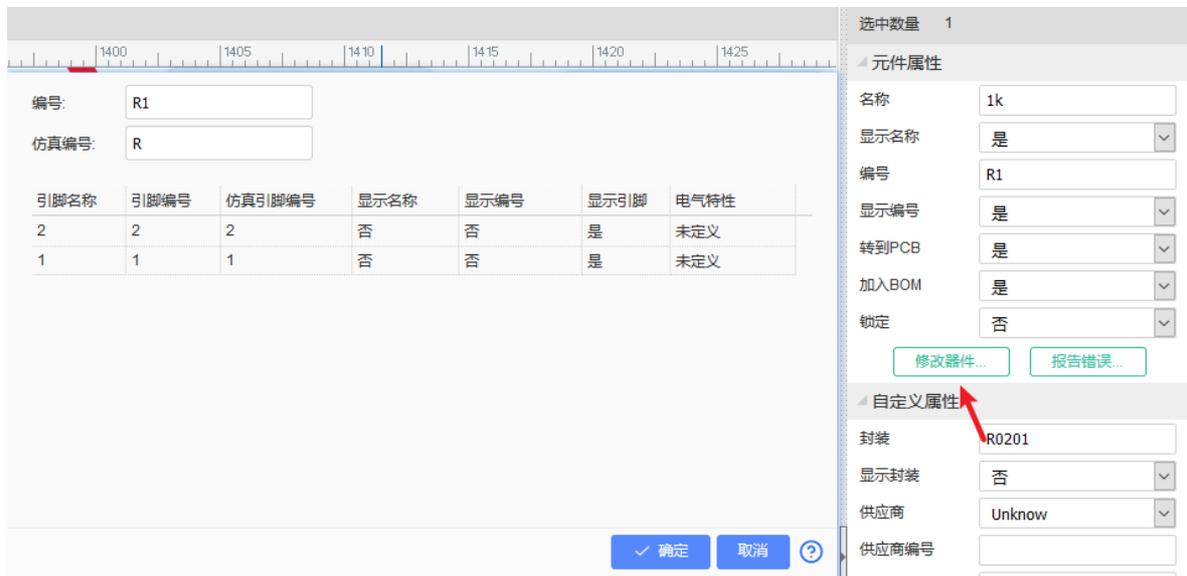
4、如果不需要元件在BOM或者转为PCB，可以在属性里面把“加入BOM”和“转为PCB”设置为否。当把转为PCB设置为否时，该器件符号将不会在封装管理器里面显示。

元件引脚信息修改

当你需要修改一个元件引脚信息，你需要选中它，

- 可以在右边属性面板的“修改器件”对元件的引脚信息进行修改。
- 或者在 **鼠标右键元件 > 修改器件** 打开。
- 或者使用快捷键“i”（字母 i）。

你可以修改元件的编号，仿真编号，引脚名称和编号等信息。



注意：

- 元件隐藏的引脚后，在原理图将生成一个同引脚名称的网络名，方便自动产生连接。

引脚编号与仿真引脚编号

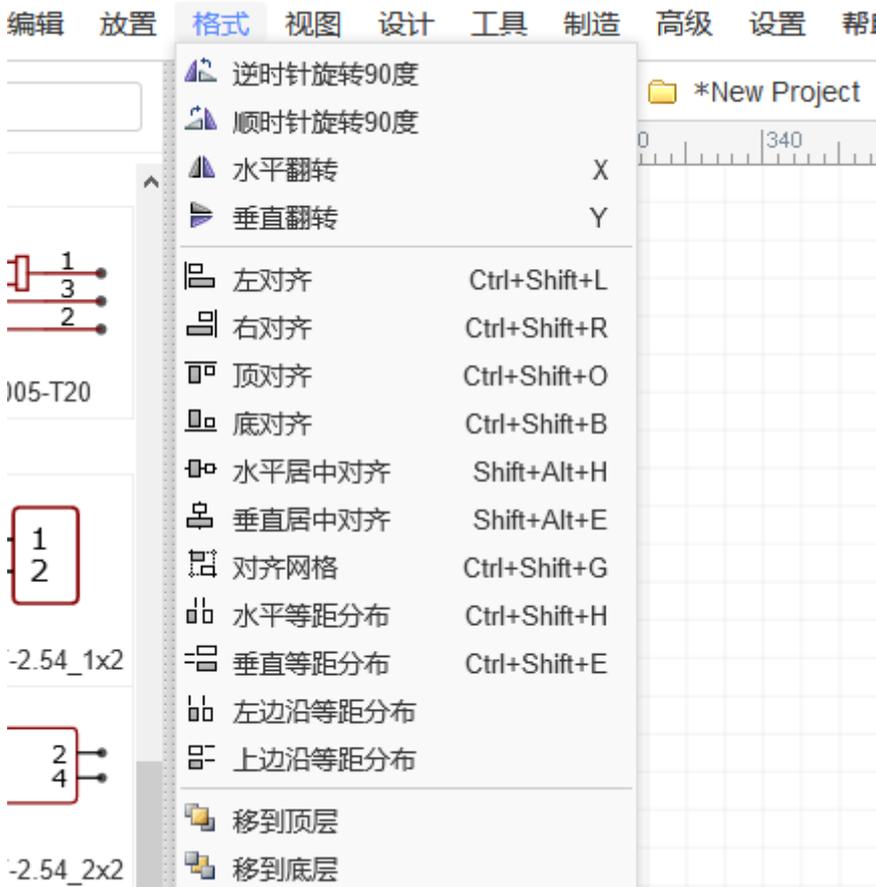
- 引脚编号：这些编号是元件所需对应封装中真实的引脚数字。它们是必需存在的，可使原理图中的器件符号的引脚可以映射到PCB中的占用空间的物理引脚上。换句话说，原理图中显示的连接最终通过PCB上的铜线连接来体现。正常来说，引脚编号和封装的焊盘编号必须一一对应。
- 仿真引脚编号：这些编号是将原理图符号上的引脚映射到Spice仿真或子电路中对应功能的编号。

更多信息请查看：[仿真 - 符号库符号前缀和引脚编号](#)

元件调整

你可以通过以下方式对元件位置进行调整：

- 选中元件后用鼠标拖曳移动元件位置；或是快捷键 D 拖动器件。
- 选中元件后用键盘的方向键移动；
- 选中元件后按空格键旋转元件。不支持 45° 旋转。
- 按 `Ctrl` 选中多个元件后使用格式工具调整位置。



鼠标拖动器件时，器件的导线连接关系会跟随拖动；使用快捷键 D 拖动器件，或者方向键移动器件则导线不进行跟随。

元件编号

编号起始

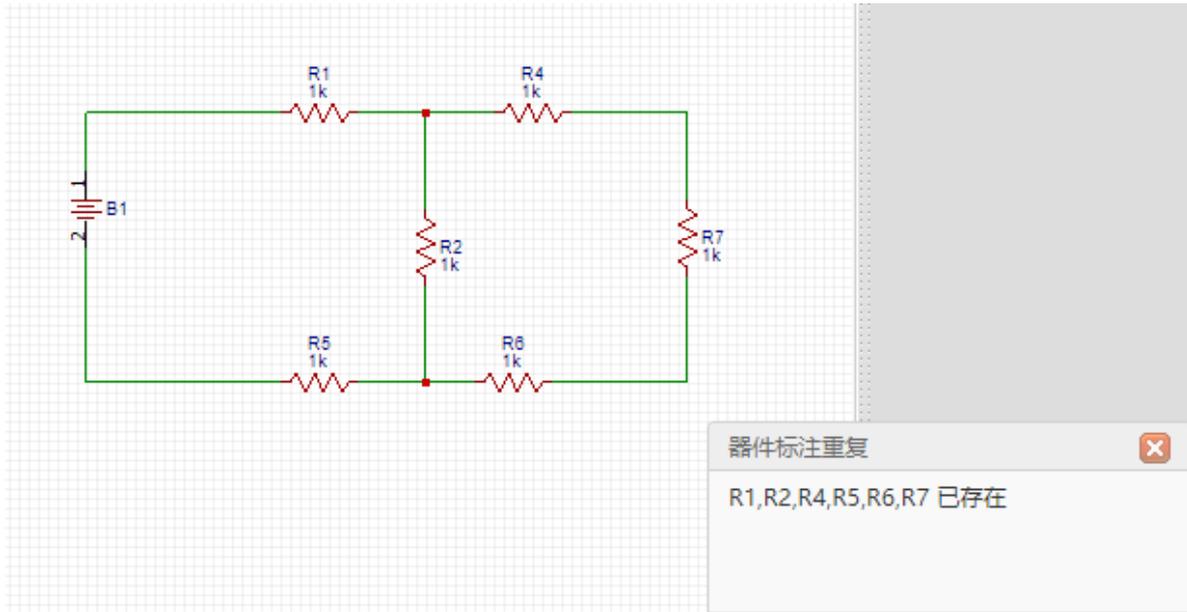
嘉立创EDA的原理图的元件编号是全局的，即使你创建了多页原理图也可以保持编号连续性。当你放置元件在原理图时，编辑器会帮你自动增序编号，不需你进行手动编号。当然你也可以进行手动修改指定。

双击编号，或者点击它，在右边属性面板修改。

编号冲突

若你的原理图和工程下存在两个相同元件编号，当你进行电路仿真、打开设计管理器、转换到PCB过程中，会提示编号冲突，因为在正常情况下原理图和工程中不允许存在两个相同编号的零件。

如下图，因为存在两个 R4 所以在仿真的时候出现报错，这时你需要将其中一个编号修改为原理图中不存在的编号。



如果你在同一工程下复制一个原理图做备份，在转换为PCB时会提示编号冲突，那是因为嘉立创EDA在工程下的原理图均视为属于同一个工程，在转换PCB时是将工程下的所有原理图合并后转在同一个PCB。所以你需要将备份文档放置在另外一个工程下。

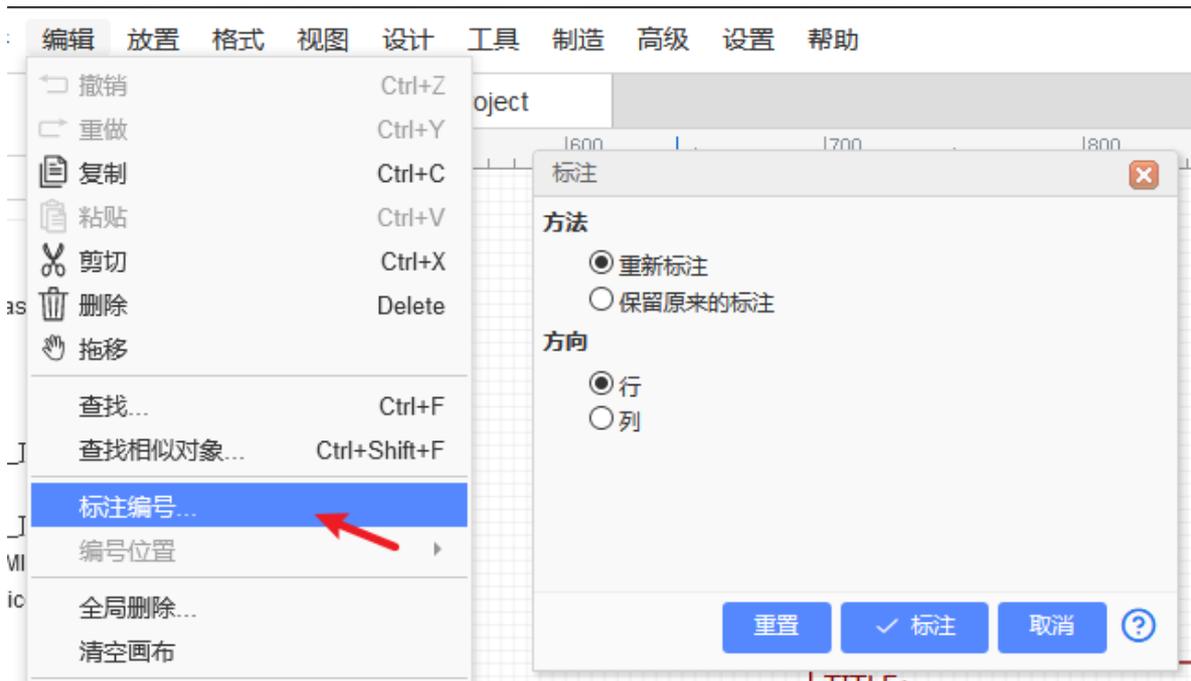


嘉立创EDA的多part器件(也称为子库, subpart), 在原理图是通过编号组合而成, 组成规则: 字母+数字+英文点+数字。比如 U1.1, U1.2, U1.3 这个三个子库组成一个完整的器件 U1, 因为需要编号上面的点来进行识别, 所以编号不能出现两个或以上的点, 比如 U1.1.1。

编号标注

当你创建了一个拥有较多数量元件的原理图时，很可能会出现编号重复，缺失等问题。如果你不想一个个去检查修改，你可以使用“标注”功能进行全局修改。

可以在 **顶部菜单 > 编辑 > 标注** 打开。



方法：

- **重新标注：**对全部零件编号进行重新标注，包括已经存在的编号。
- **保留原来的标注：**只对新增的还没有分配编号的零件进行标注，原来存在编号的零件不做变更。

方向：

- **行：**从顶部第一行开始，从左到右开始编号。
- **列：**从左边第一列开始，从上到下开始编号。

标注： 点击后进行标注操作。

重置： 如果你想将全部零件编号的数字都改成“？”，你可以点击它，效果如 R1 变成 R?，U1 变成 U? 等。

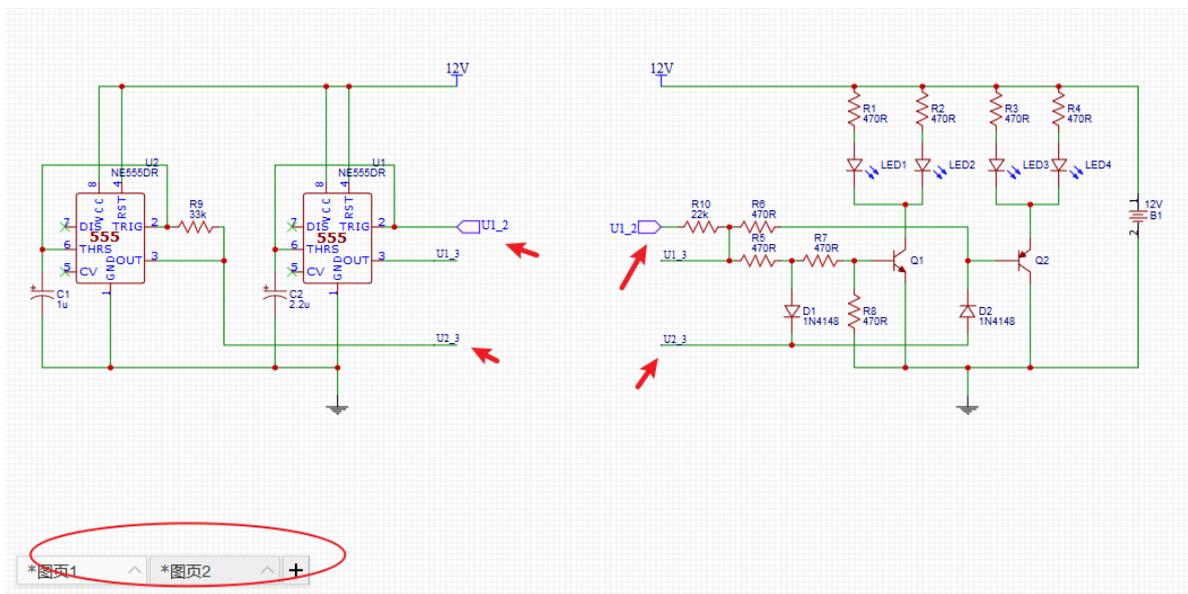
注意：

- 当你点了标注按钮后，重置按钮并不能恢复你原来的标注。
- 如果你标注后不满意可以使用撤销功能快捷键(CTRL+Z)恢复。但如果你标注保存并关闭文件后，再打开文件将不能恢复原来的标注状态。

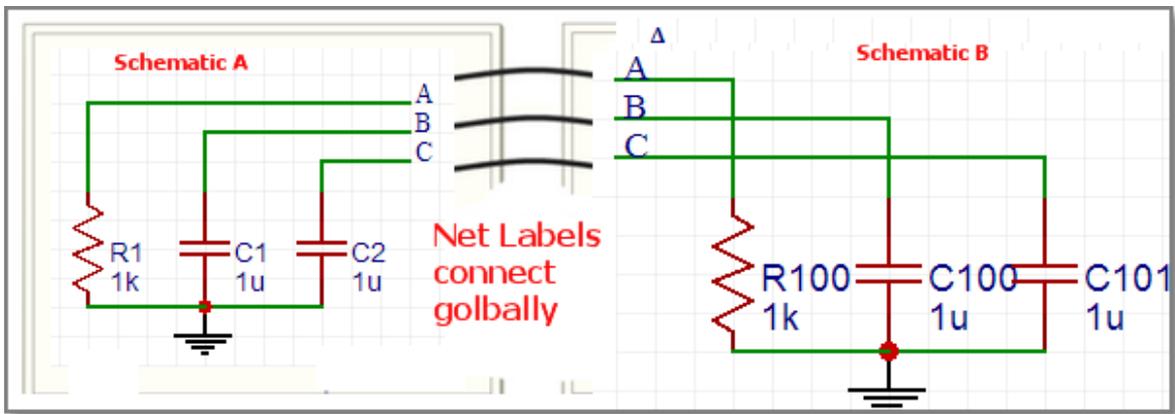
多页原理图

嘉立创EDA一个工程内只支持存在一份原理图，支持多个图页并支持全局网络，创建了多页原理图后将它们通过相同名称的网络标签和网络端口连接起来。目前在嘉立创EDA网络端口和网络标签的作用基本一致，全局有效。

嘉立创EDA暂不支持层次化设计，不支持每页原理图单独转PCB。



比如你在原理图A页和B页均放置了网络标签A、B、C，那么编辑器会自动将网络连接起来。



如果你需要调整原理图页的排序，可以通过左下角的悬浮按钮菜单修改：



注意：

- 请让工程内的元件编号保持唯一，否则会出现前文所说的编号冲突。

提示：

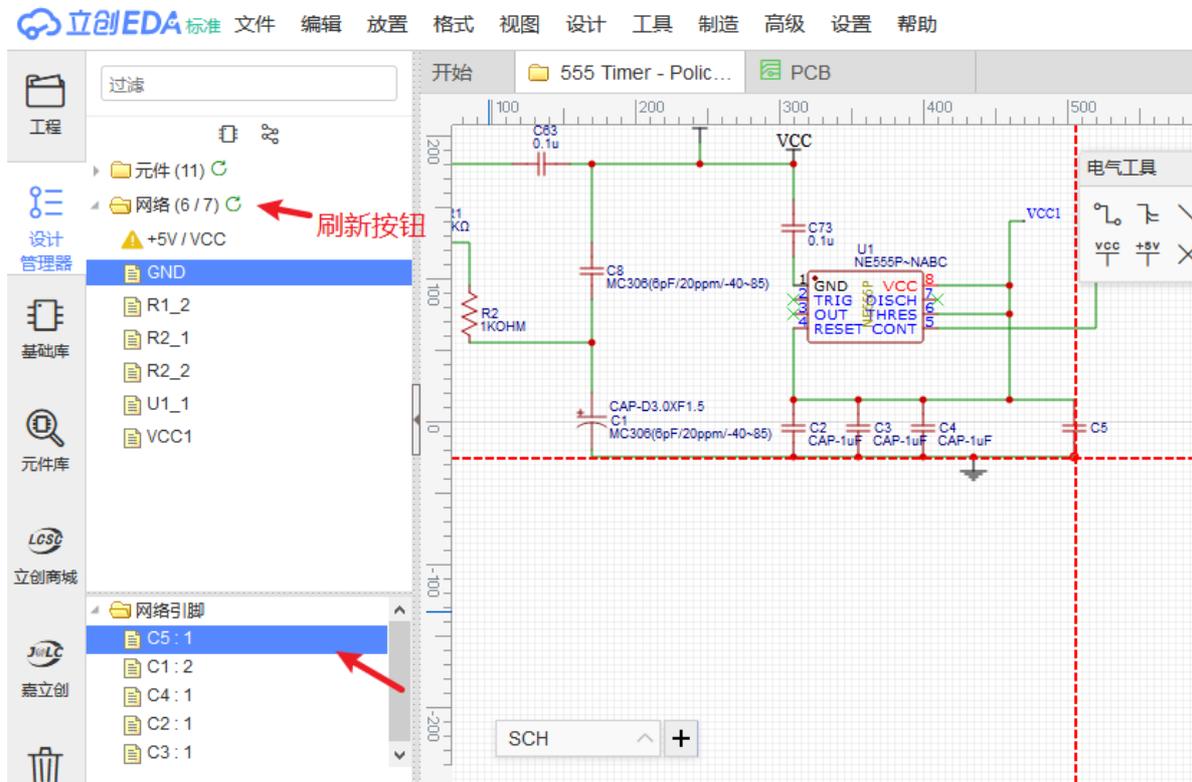
每个原理图的元件编号默认从1开始。如R1, C1, U1 等，你可以使用上一节的标注功能进行重新标注编号。

设计管理器

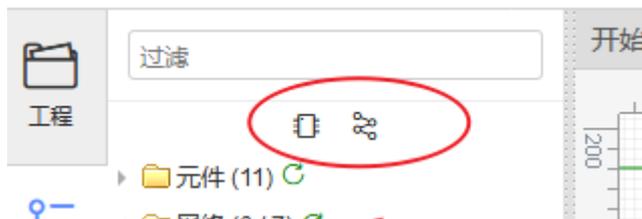
视频教程：[嘉立创EDA使用教程 设计管理器 | 哔哩哔哩](#)

当原理图太大，和比较复杂时，很容易出现连接错误，这时可以使用设计管理器来进行查找错误。

使用快捷键“CTRL + D”或者在左边导航面板直接点击“设计管理器”打开。



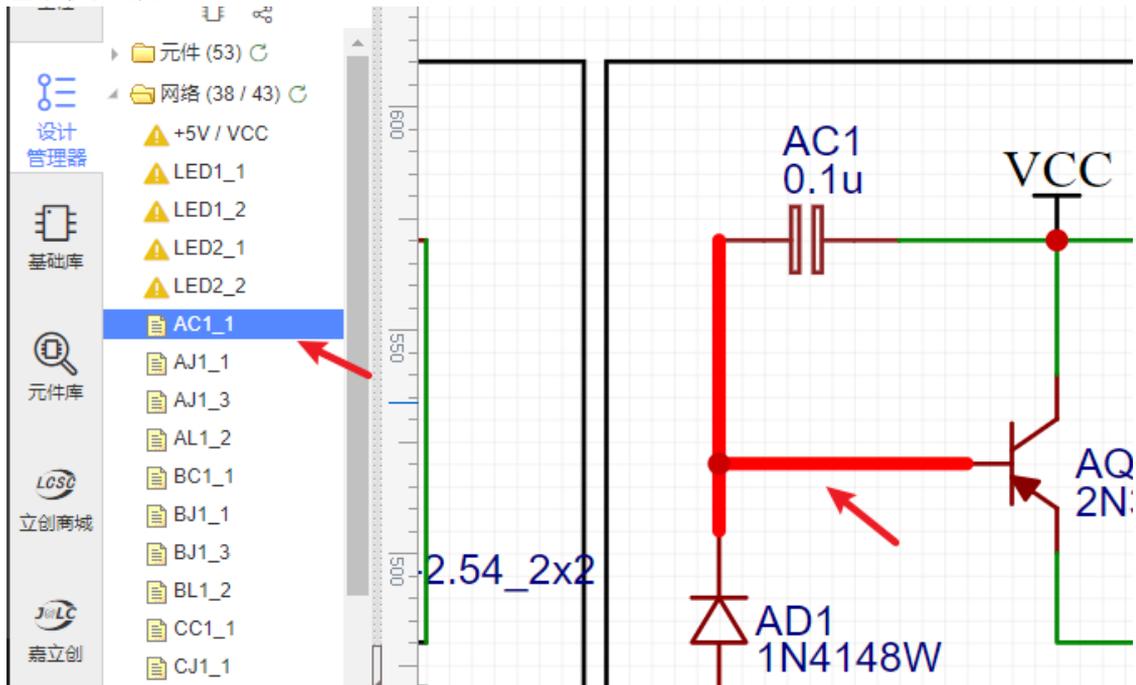
你可以点击调整图标快速调整到对应位置。



说明：

- **筛选器**：方便地查找元件编号，封装名称，网络名，管脚名。
- **元件**：选中一个零件后会在画布中高亮该零件，选中下方的“元件引脚”的管脚时，画布会出现提示线注明是哪个管脚。

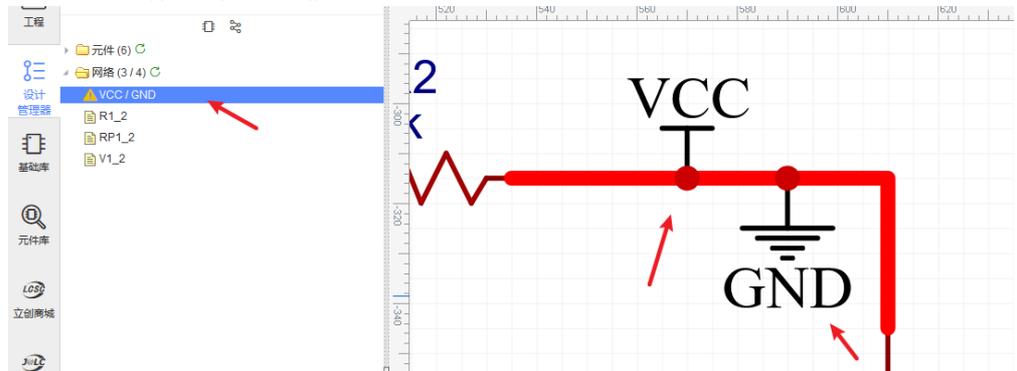
- **网络**：这里列出所有网络，每个网络至少连接两个引脚，否则这里会提示错误标志，如果不需要连线的引脚，请放置非连接标识。点击网络会在画布上面高亮对应的导线，高亮后导线会变粗，点击画布取消高亮。



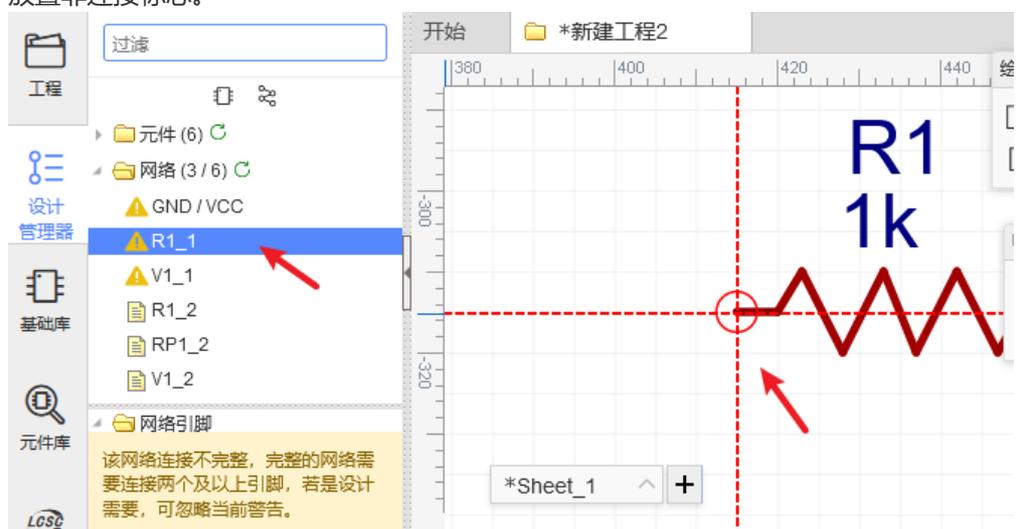
点击网络后，左下角会提示对应的提示信息。

- **网络警告**：提示感叹号图标。这种一般出现在：

- 多个网络标签放在同一条导线上，请确保是否属于正常设计需要，或者是误连接导致短路。点击网络的时候进行排查。

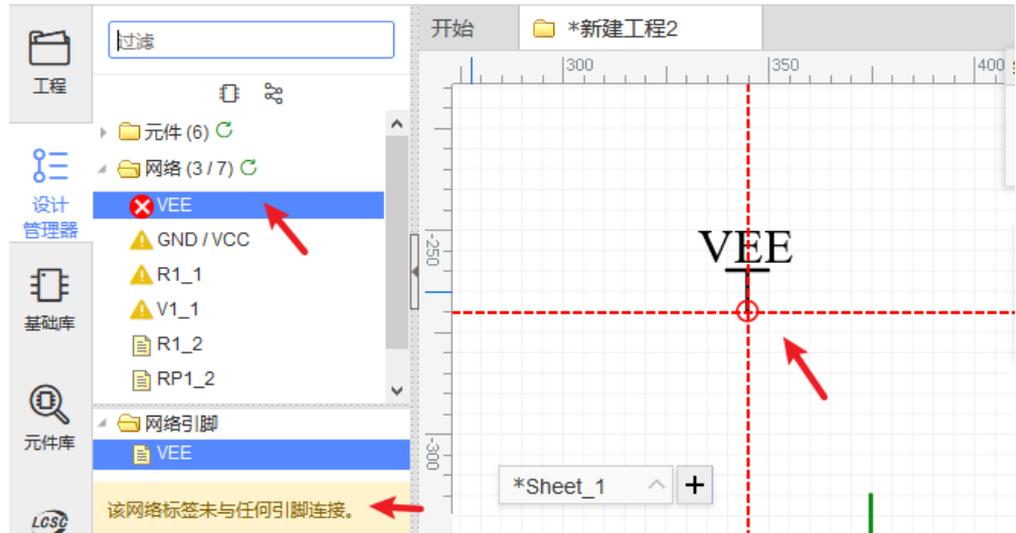


- 器件引脚悬空没有放网络标签、非连接标志或者未连接导线、元件隐藏的引脚没有连接到其他引脚。一个网络需要连接两个导线引脚以上才算完整网络，故需要修改连接或者放置非连接标志。



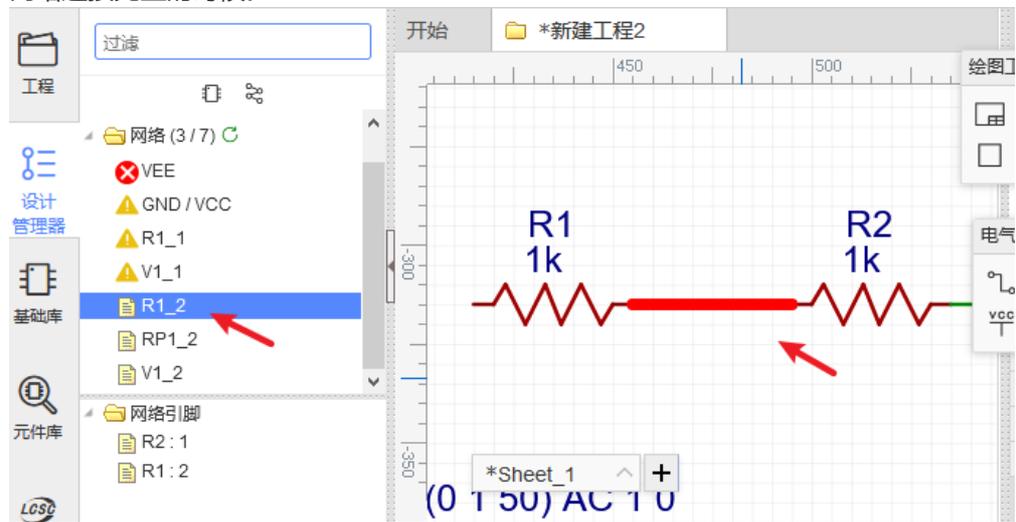
- **网络错误**：提示红色错误图标。

- 当网络标签出现未连接的时候。



- 网络正常：提示文本小图标。

- 网络连接完整的时候。



- **网络引脚/元件引脚：**这里列出网络连接到的引脚或元器件的所有引脚。点击它时会出现定位线定位元件引脚的位置。

注意：

- 若工程下原理图存在多页时，设计管理器会自动关联整个原理图的元件与网络信息。
- 设计管理器的文件夹不会自动刷新数据，你必须手动点击刷新图标进行刷新。

封装管理器

视频教程

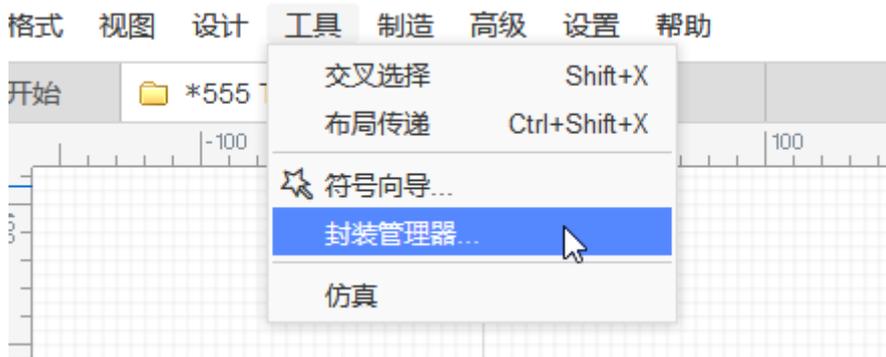
[嘉立创EDA使用教程 封装管理器 | 哔哩哔哩](#)

封装管理器

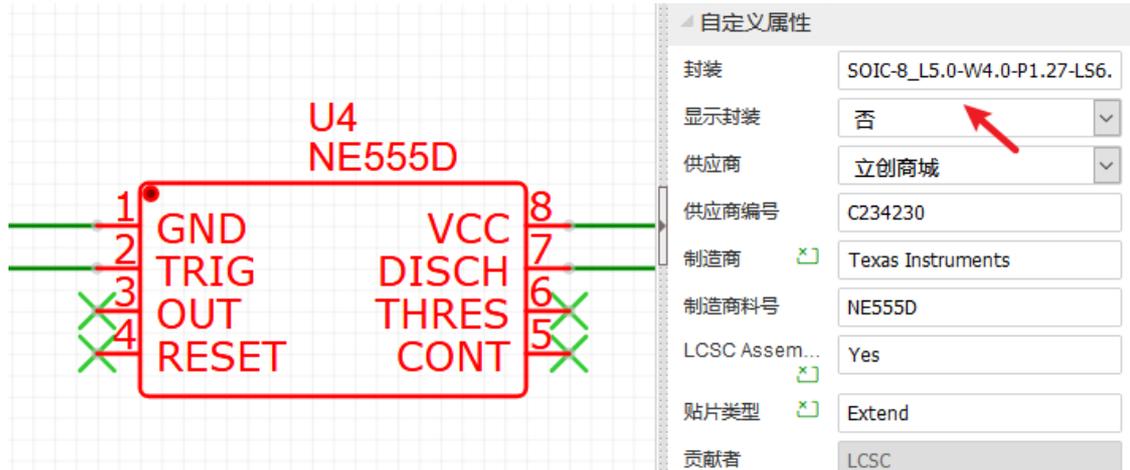
如果你想批量修改封装，想知道零件引脚对应封装哪个焊盘，你可以使用封装管理器。

有两种方式打开封装管理器：

- 顶部菜单 - 工具 - 封装管理器。



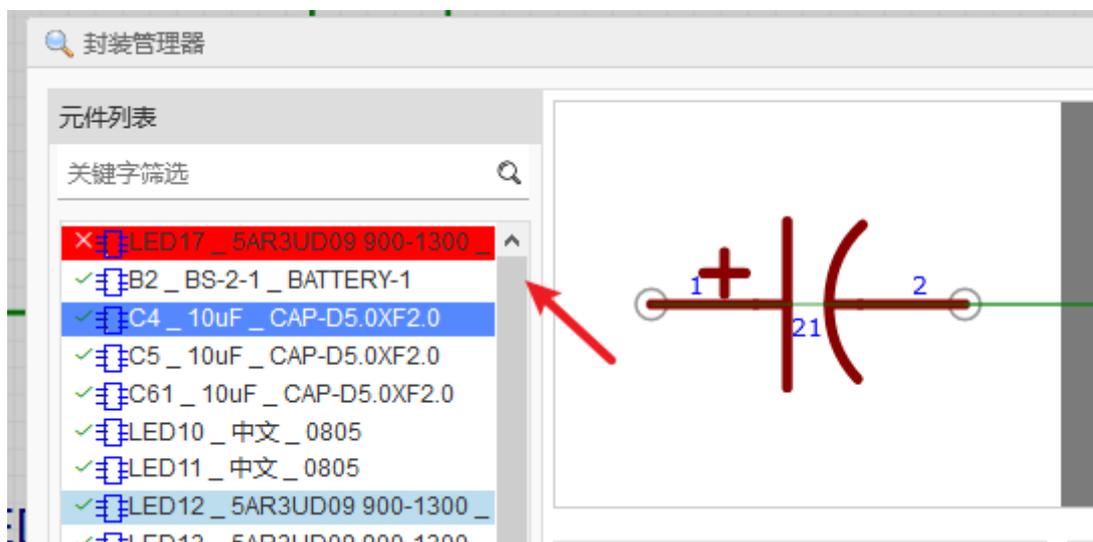
- 选中你想要的零件后，在右边属性面板处点击封装输入框，即可弹出封装管理器。



1、打开封装管理器后，它会自动检查你零件的封装是否存在，是否正确。

- 如果零件没有指定封装，
- 或封装不在个人库和系统库中，
- 或零件引脚编号与封装焊盘编号无法正常对应时，

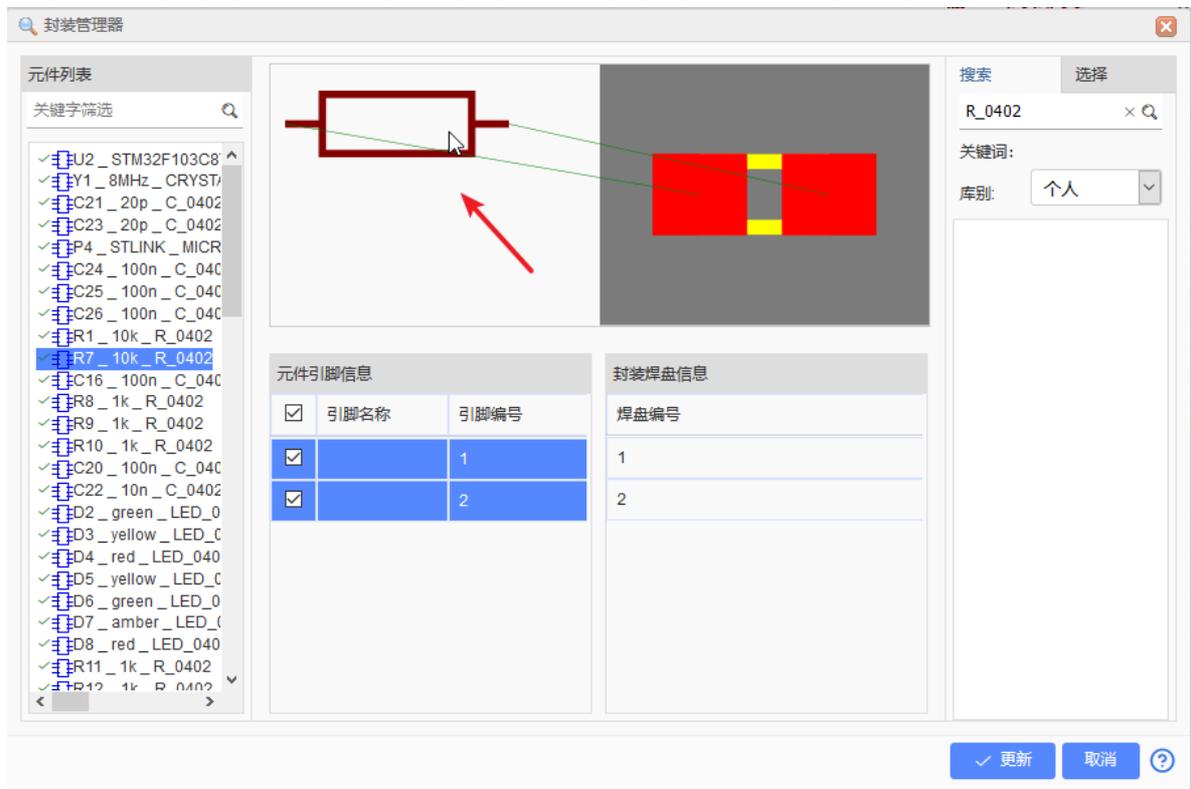
封装管理器会在零件名前出现错误图标，并使零件名标红。



例如：

- 你的零件U1有两个引脚，编号分别是1、2，名称分别是VCC和GND；但是你用的封装的焊盘编号是A、B，所以左边列表会报错标红，要修正错误要么你将1、2改成A、B，要么将封装的焊盘编号A、B改成1、2；要么更换封装。
- 如果元件的引脚数为8，但是你指定的封装焊盘数为6，且元件引脚没有全部与封装焊盘匹配，此时也会报红。

2、在零件和封装的预览窗口，你可以用鼠标点击拖动，滚轮放大缩小预览图。



注意：

- 如果你的原理图使用了数量较多的不同名称的封装，封装管理器在检测封装焊盘编号与元件引脚编号的对应关系时，会与服务器进行封装数据查找和对比，这将花费一定时间，请耐心等待。
- 如果你的原理图存在多页时，打开封装管理器时会加载所有元件与网络。
- 当把元件的属性“转为PCB”设置为否时，该器件符号将不会在封装管理器里面显示。

更新封装

如果你想更新封装，比如下图的Q1，从 **TO-92** 更新至 **TO220**。

操作步骤：

- 在封装管理器搜索框输入 **TO220**，然后搜索；
- 选择搜索结果中的 **TO220** 封装；
- 在预览窗口中检查是否正确；
- 选中需要更新的零件，然后点击“更新”按钮。

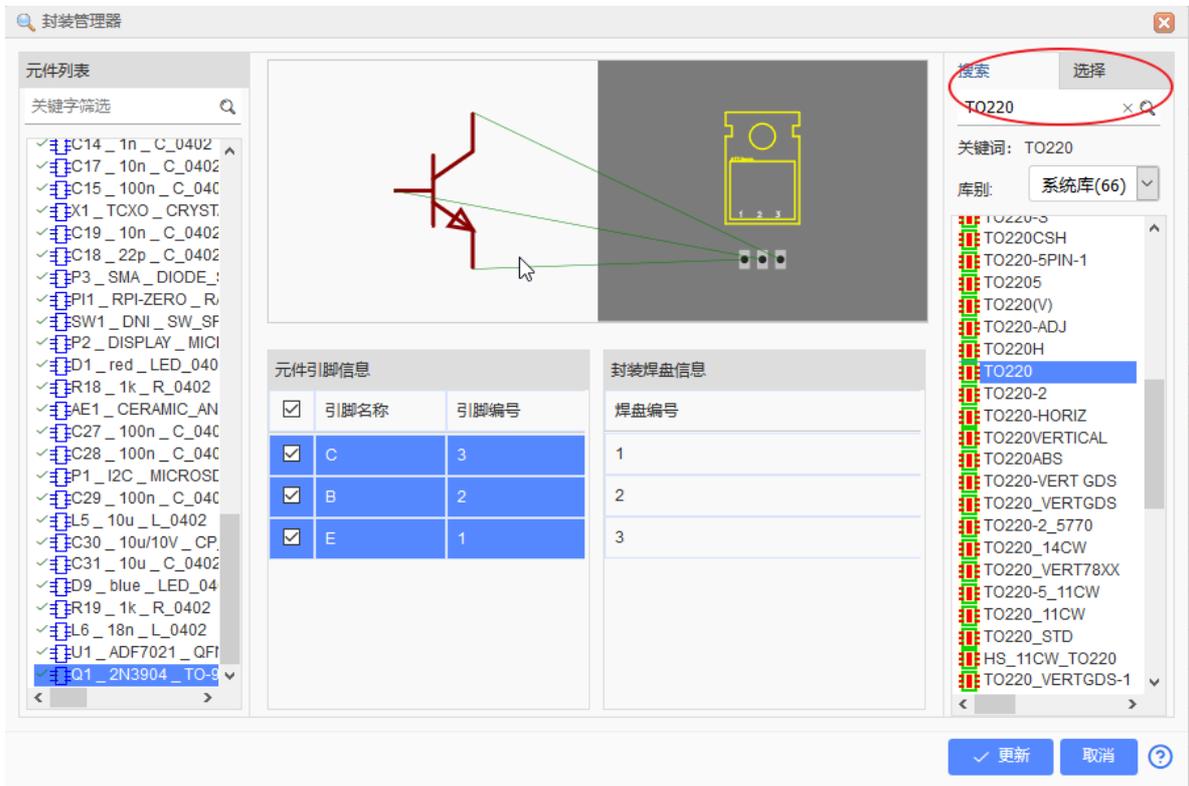
然后所选的零件封装已经更新为 **TO220**。

如果你想选择自己的封装，可以在右上角点击“选择”，然后点击二级下拉选择对应分类进行选择。

当你原理图其中有一个元件含多个子库时，在封装管理器选择任意一个子库会同时将剩余的子库也选中，更新封装会同时进行更新。

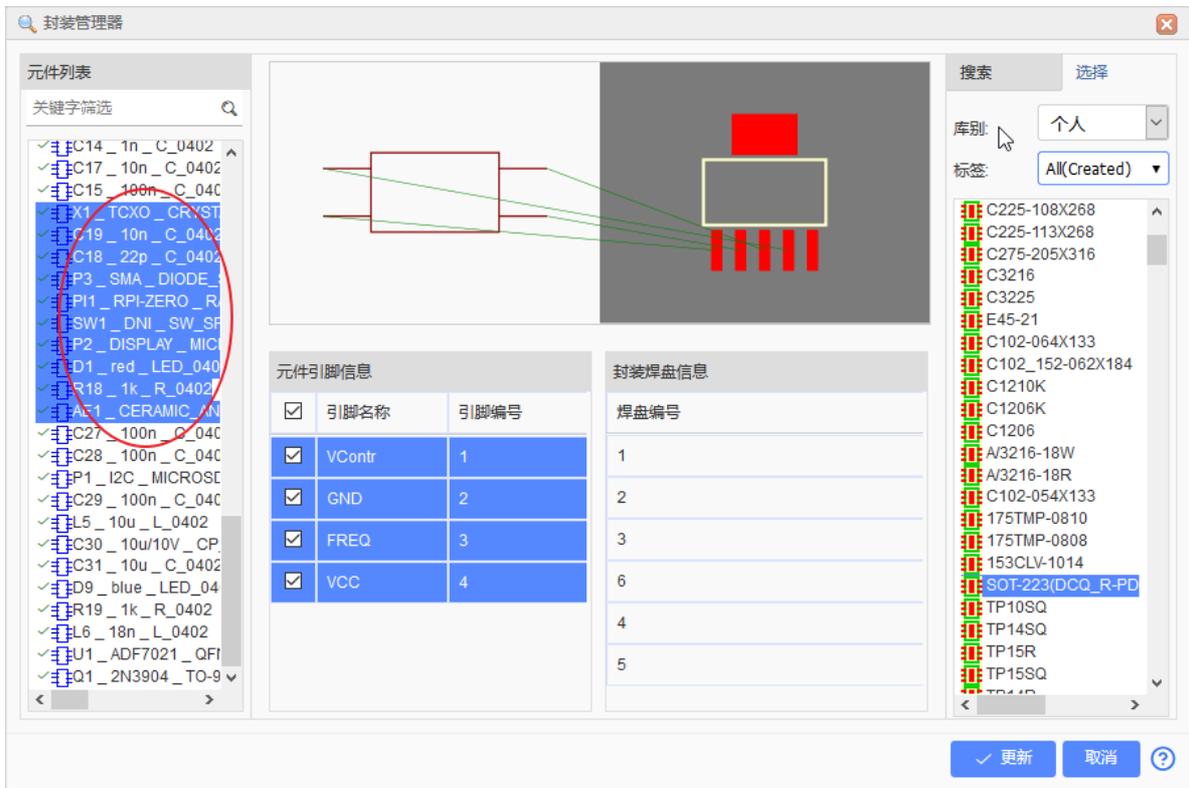
注意：

- 因为嘉立创EDA指定封装的时候会将封装的唯一ID记录在符号及原理图里面，请务必使用封装管理器更新而不是直接在封装输入框填入封装名称，否则封装管理器会报错，并且无法转PCB。



批量更新封装

如果你想批量修改封装，可以在筛选框筛选了需要批量修改的封装名称，然后按住“CTRL”键，通过鼠标逐一选择所有需要修改的零件，也可以按“SHIFT”批量选择，请谨慎使用SHIFT避免将其他零件的封装也更换掉。



元件引脚信息

你还可以在封装管理器里修改零件的引脚信息，包括引脚编号和引脚名称。点击可以进行修改，修改后点更新即可写入原理图中。

封装焊盘信息

此处显示所选择的封装的焊盘编号，不允许修改。

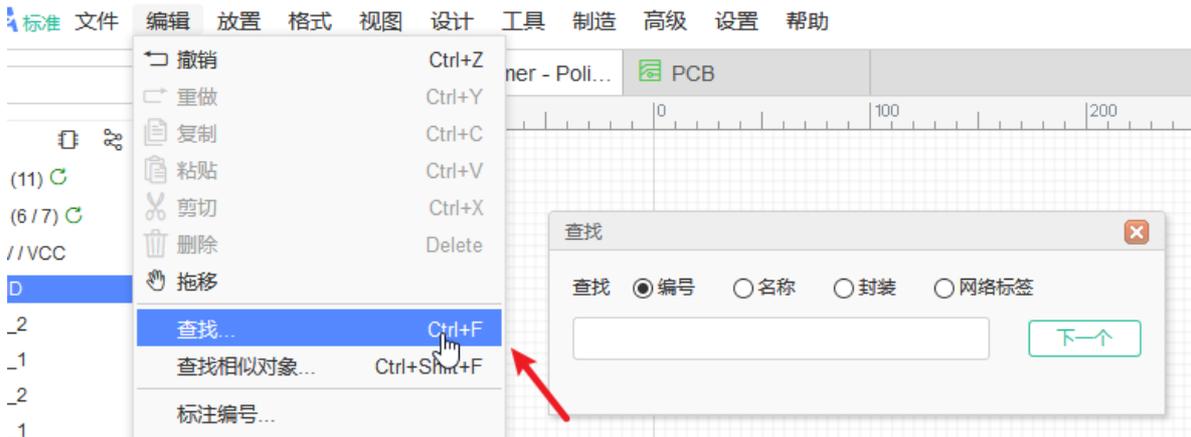
焊盘编号数目必须大于等于元件的引脚编号数目，并且需要编号一致，否则封装管理器会报错。

如果需要修改焊盘编号，需要在“元件库”搜索到该封装，然后进行编辑保存，再到封装管理器再次查找指定。

查找相似对象

原理图中查找元件

在原理图中查找元件，可以通过：**顶部菜单 - 编辑 - 查找** 或者使用默认快捷键：“CTRL + F”。



目前该功能只能查找元件编号，无法查找文本，网络名称等。点击确认后会将零件高亮至画布中央。

注意：

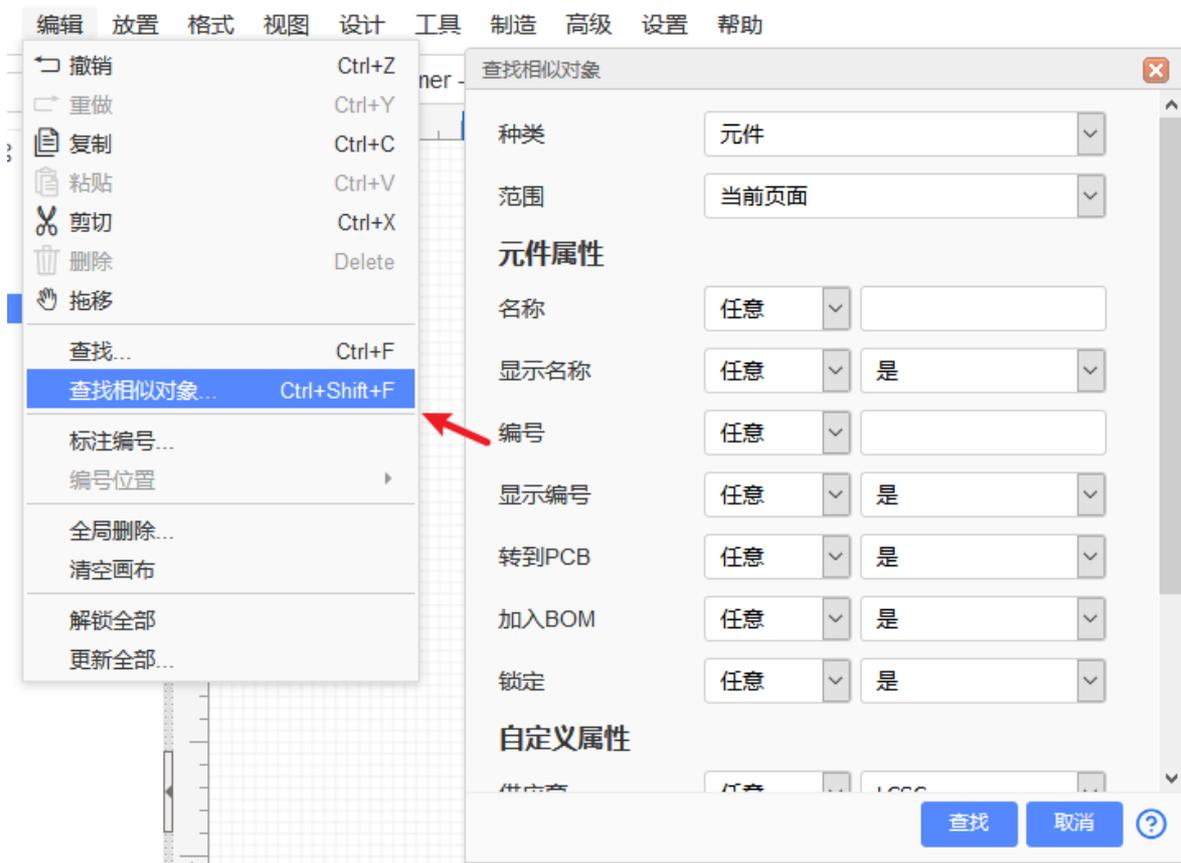
- 你需要点击“确认”或者按回车键才会进行搜索。

如果需要搜索网络，可以使用设计管理器进行搜索，快捷键“CTRL + D”。

查找相似对象

嘉立创EDA支持查找相似对象，可以很方便地进行相同种类的元素查找，和批量修改批量替换属性。

入口：**顶部菜单 - 编辑 - 查找相似对象**；或者：**画布 - 右键菜单 - 查找相似对象**。

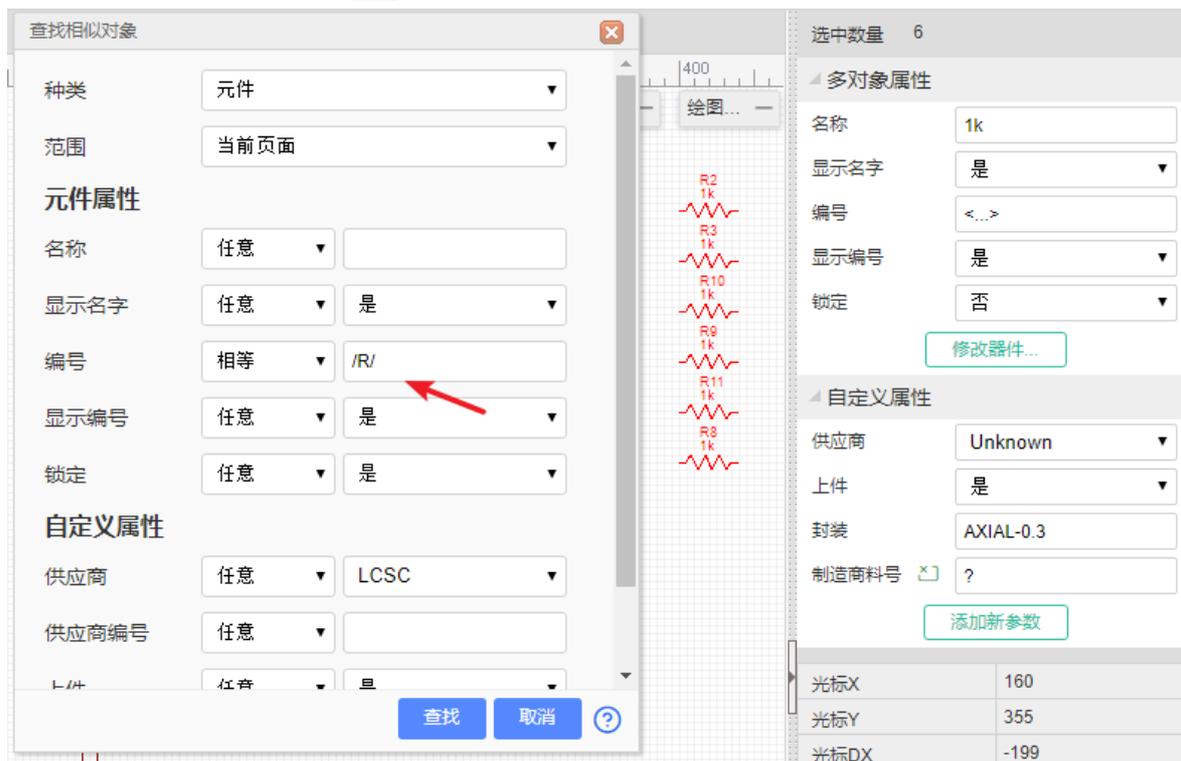


种类： 选择你需要批量查找的元素类型。

范围： 在当前原理图页查找还是在全部原理图页查找。该选项仅在原理图存在。

查找条件： 任意：该属性不做为查找条件；相等：仅找出和该属性一致的；不等：找出和该属性不一致的

输入框支持js的正则表达查询： /包含的文字/，如你需要找出所有编号为R开头的电阻R1， R2， R3：你可以直接在编号输入框填入 /R/， 条件选择相等， 然后进行查找。



点击查找后，所有符合的元素都会被选中，在右边属性面板会显示它们的属性，相同属性不同属性值的会用<...>显示，你可以直接修改参数，并会应用到全部选中的对象。

属性面板的批量属性修改暂不支持部分文本替换，修改将会全部修改。

查找相似对话框仅支持显示部分元件自定义属性。

生成PCB

原理图转PCB

当你完成了原理图绘制，想要转换为PCB，你可以点击“顶部菜单 > 设计 > 原理图转PCB”



注意：

- 在你进行转换PCB之前，请先在 [设计管理器](#) 和 [封装管理器](#) 检查是否存在错误。

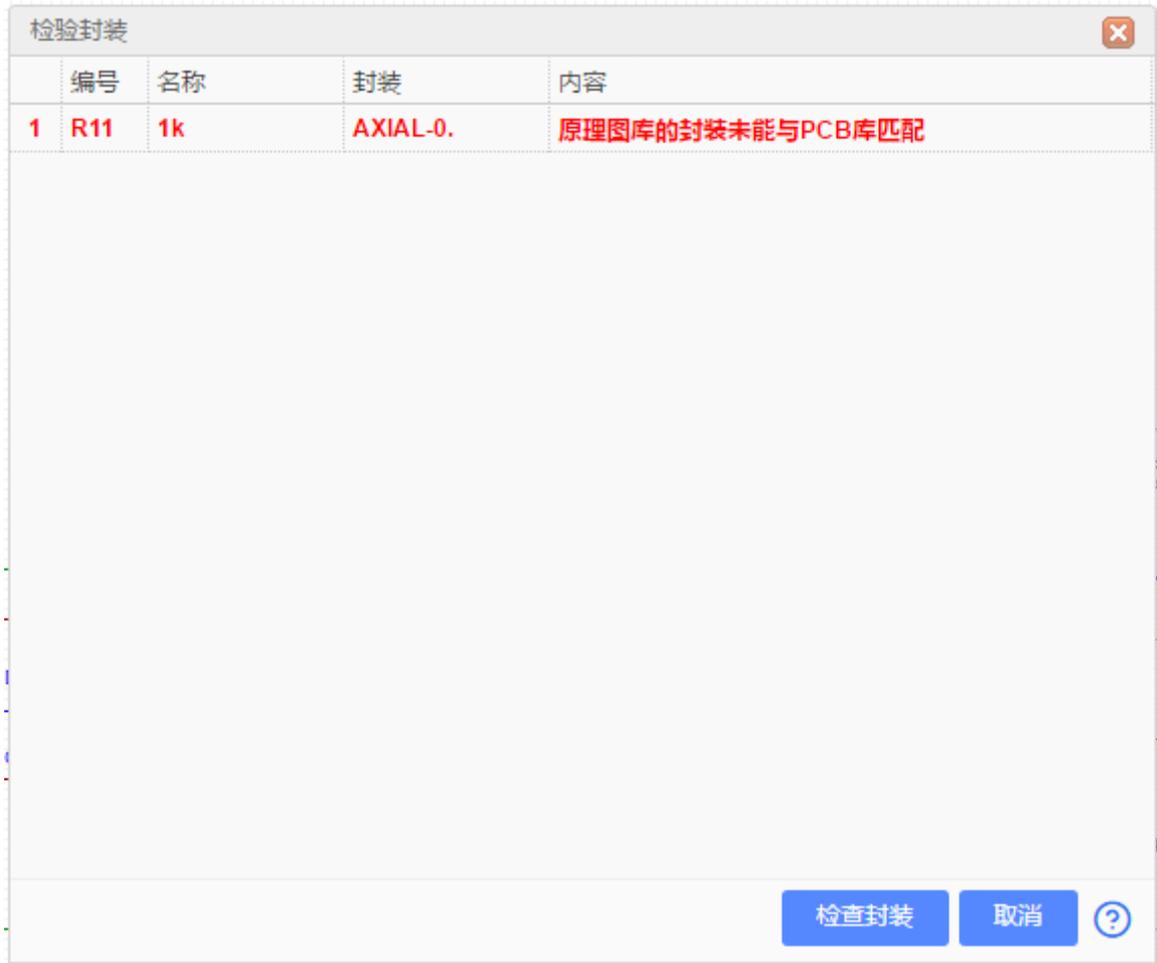
校验封装

点击“原理图转PCB”后，如果编辑器检测到元件与封装的对应信息异常时，会弹出错误对话框，并且转换动作不会继续进行。你需要在封装管理器修正错误。

因为嘉立创EDA指定封装的时候会将封装的唯一ID记录在符号库及原理图里面，所以报错信息对应的情况有：

- 有指定后的封装名，但是指定的封装库标题被创建者修改了的
- 有封装名，但是未通过封装管理器指定过封装的
- 符号库引脚编号名称与指定的封装焊盘编号名称不一致的
- 符号库引脚编号数量大于指定的封装焊盘数量的
- 封装为空未指定封装的

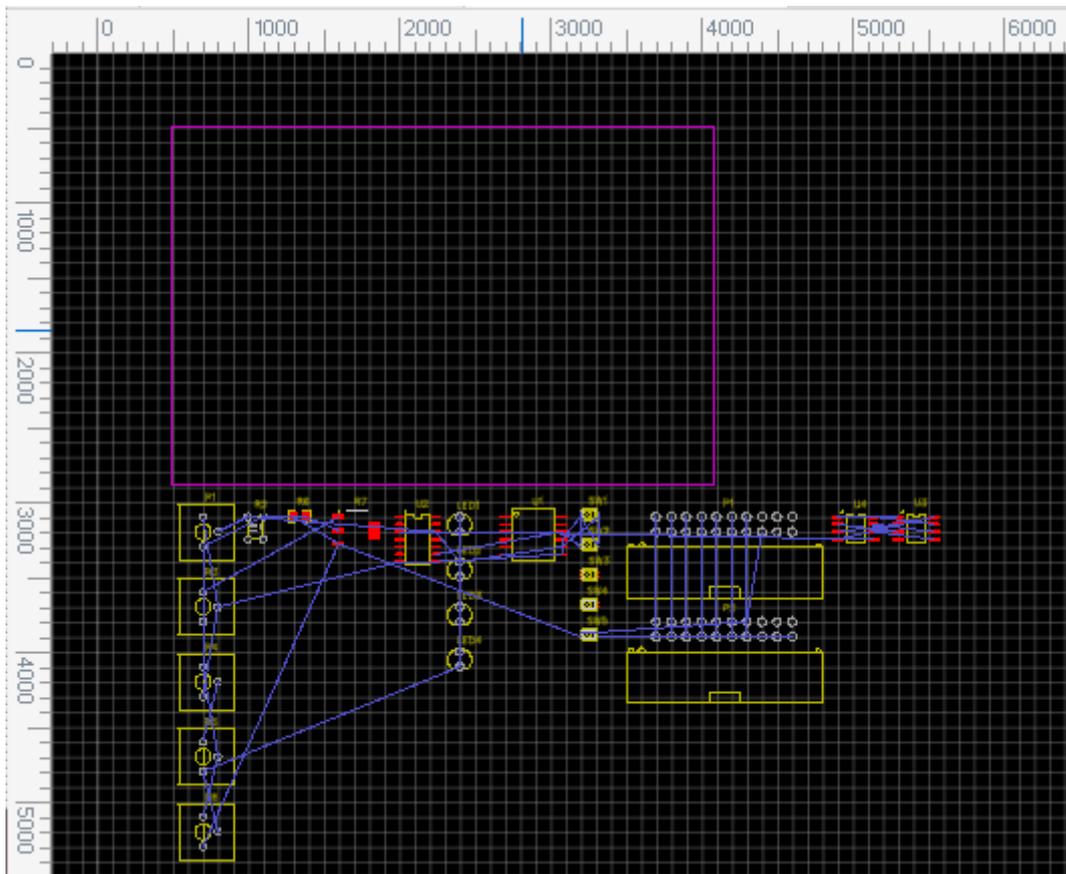
点击下图对话框的列表会打开封装管理器，你逐一修改引脚/更新封装后，保存后再重新转PCB即可。



相关信息可以查阅[封装管理器](#)章节。

生成PCB

转换成功后会如下图所示，自动生成一个PCB边框，并将PCB封装按照顺序排列成一排，蓝色的飞线表示两个焊盘之间需要进行布线连接，属于同一网络。



更新PCB

当你已经完成转PCB动作，但是又再次修改了原理图，这时你无需转一个新的PCB，只需点击“更新PCB”即可将变更更新至现有已保存的PCB文件。

你也可以在PCB中直接导入变更**：顶部菜单 - 设计 - 导入修改信息。



注意：

- 因为原理图网络名是计算后生成，当你修改了原理图后部分网络如果出现变更，那么更新至PCB后，原网络已经布好的走线会保持不变。
- 更新焊盘网络并把焊盘相关的导线会跟随焊盘的网络更新，可能会出现导线网络变化的情况，你需要手动将导线旧的网络名改为新的网络名！
- 大部分原理图更新网络后都可以更新到PCB，比如修改了器件编号，修改了网络标签等。但如果原理图有增删器件，PCB的导线网络需要手动修改，可以通过：点击导线-右键菜单-选择连接-右边属性修改网络。
- PCB导入变更后，有些变更你将无法撤销！

交叉选择

这个功能是用来跳转原理图符号和PCB封装之间的对应位置。

入口：顶部菜单 - 工具 - 交叉选择

使用方法：

- 打开原理图或者PCB
- 在原理图选中一个零件后，
- 点击“交叉选择”或者使用快捷键“SHIFT + X”，即可切换至PCB并高亮选中的零件的封装。



- 支持点击器件，点击导线，然后进行交叉选中PCB的器件和导线网络。
- 也可以直接在原理图选中一个器件后，直接切换到PCB时，自动选中对应的封装。
- 在PCB时可以点击焊盘，然后交叉选中到原理图的器件引脚。

在 v6.4 开始，支持多窗口交叉选中，在同一个浏览器或者客户端下，新建窗口分别打开编辑器，再分别打开工程下的原理图和PCB即可。

注意：

- 在使用该功能前，你的PCB需要确保是已经保存过的，新建的PCB不支持这个功能。
- 在使用该功能前，你若尚未打开PCB，编辑器会自动为你打开。
- 如果你工程内含有多个PCB，且尚未打开PCB，则编辑器会自动打开第一个。

布局传递

当你的原理图使用了大量元件的时候，转为PCB后会有很多相同的封装均放置在同一列，非常不方便选取需要的封装信息。为此，嘉立创EDA提供了“布局传递”功能。

入口：顶部菜单 > 工具 > 布局传递

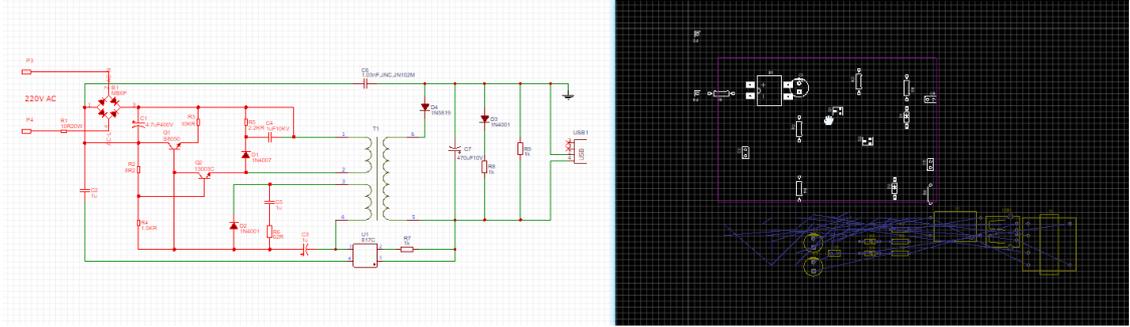
布局传递是将原理图中的零件位置布局相对应地传递至PCB的封装位置布局。



使用方法：

- 先将原理图转为PCB并保存PCB至当前工程下。

- 用鼠标区域选择原理图的零件，点击“布局传递”，快捷键“CTRL + SHIFT + X”。
- 编辑器会切换至PCB，并将封装悬浮等待鼠标左击放置在画布上。
- 放置后鼠标仍为手掌拖动状态，点击封装即可进行细节调整。



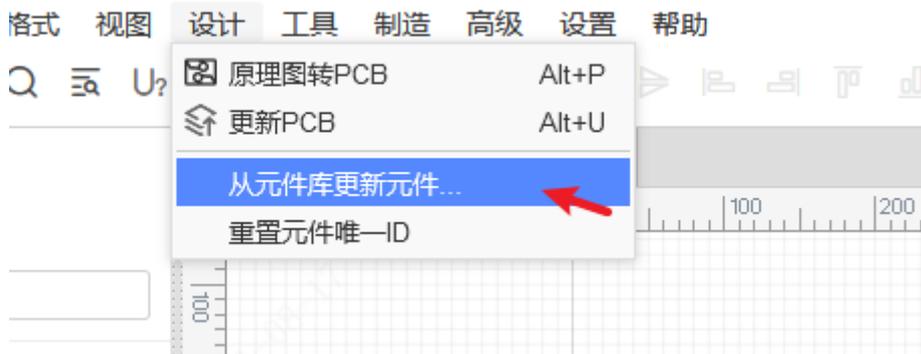
注意：

- 在使用该功能前，你先打开PCB。
- 如果你工程内含有多个PCB，则对当前打开的PCB生效。

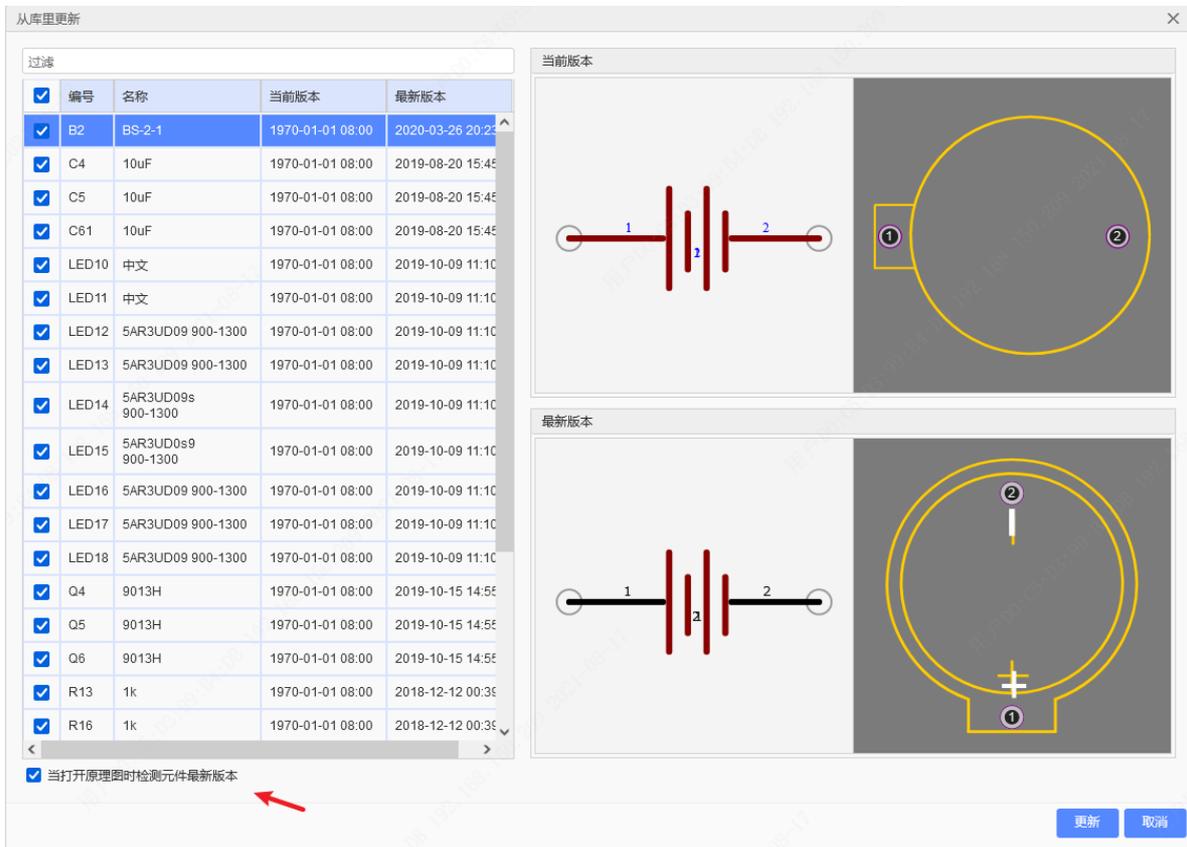
从元件库更新元件

当你在元件库更新了符号库和封装库后，已经放在原理图里面的符号库可以通过该功能进行更新。

入口：顶部菜单 - 设计 - 从元件库更新元件



点击后弹窗列出可更新的元件，并且可以进行预览当前和库里面最新的符号进行对比。



底部可以设置是否在打开原理图时自动检测元件是否存在新版本， 如果不需要可以取消勾选。

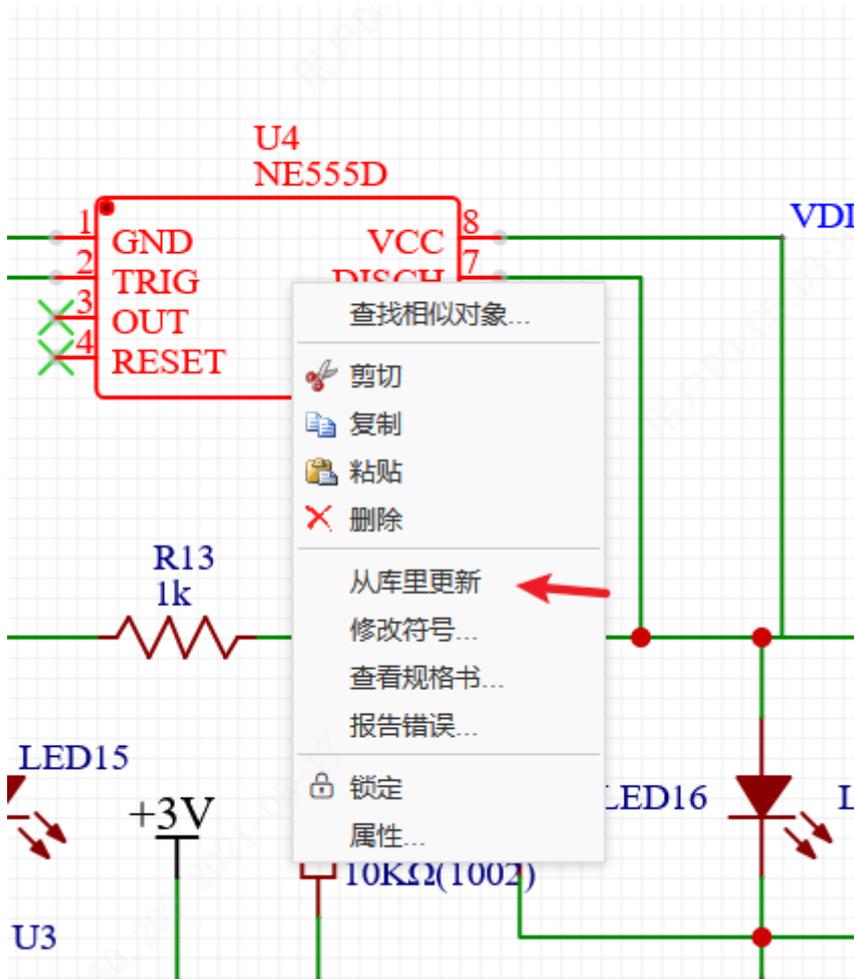
在更新元件前， 请务必仔细检测符号库的图形， 引脚编号， 绑定的封装等， 避免更新后有太大出入。

PCB 在设计菜单也有该功能， 可以对PCB的封装进行更新。

注意：

从 v6.4.20.7 开始， 原理图放置的元件会保留当时的符号和封装的对应关系， 所以你在 PCB 导入更新的时候仍然会使用旧的封装进行更新， 如果你需要使用新的封装， 需要先进行元件更新。

如果你希望单个更新元件， 可以在画布中， 选中元件， 右键更新。



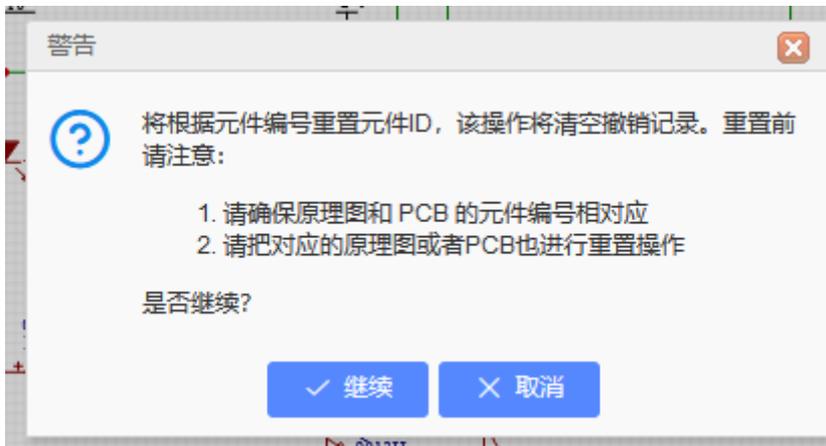
重置元件ID

这个功能是用来重新设置元件的ID。

在旧v6.4.7之前的嘉立创EDA，使用元件编号来进行原理图和 PCB 元件对应，这个方式会导致原理图修改元件编号后，导入更新到 PCB 会出现删旧放新的情况，影响到元件原有的布局，从v6.4.7开始，使用元件ID进行匹配关联，所以旧文件或者导入的第三方EDA文件，可以使用该功能进行重置元件ID，使两边ID匹配。

入口：顶部菜单 - 设计 - 重置元件ID





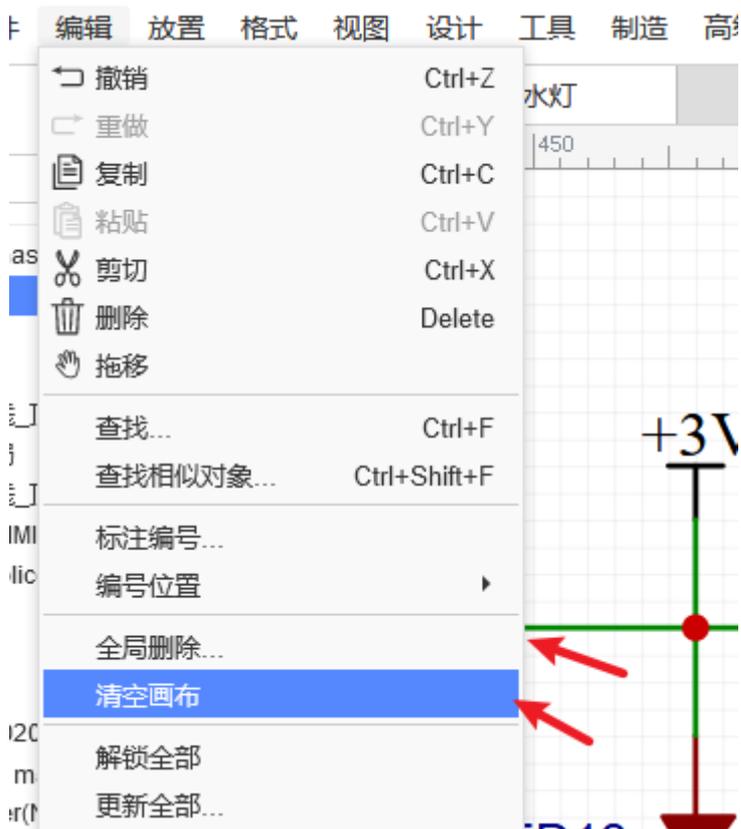
注意:

- 1、需要确保原理图和PCB的元件编号必须是匹配的。重置ID根据元件编号进行重置。
- 2、需要对原理图和 PCB 均进行重置元件 ID, 才可以使两边的元件 ID 一一匹配。
- 3、对于原理图有子库的, 需要把PCB的对应子库的元件编号先修改为 U1.1 或其他子库编号再重置ID, 否则这个元件仍然会被删旧放新。后续版本将解决该问题。

全局删除

如果你觉得你的原理图和PCB太乱, 需要批量删除时, 你可以:

- **顶部菜单 - 编辑 - 清空画布**, 或者CTRL + A全选后, 按Delete键删除。
- 删除文件并创建一个新的。
- 使用 **全局删除** 功能。

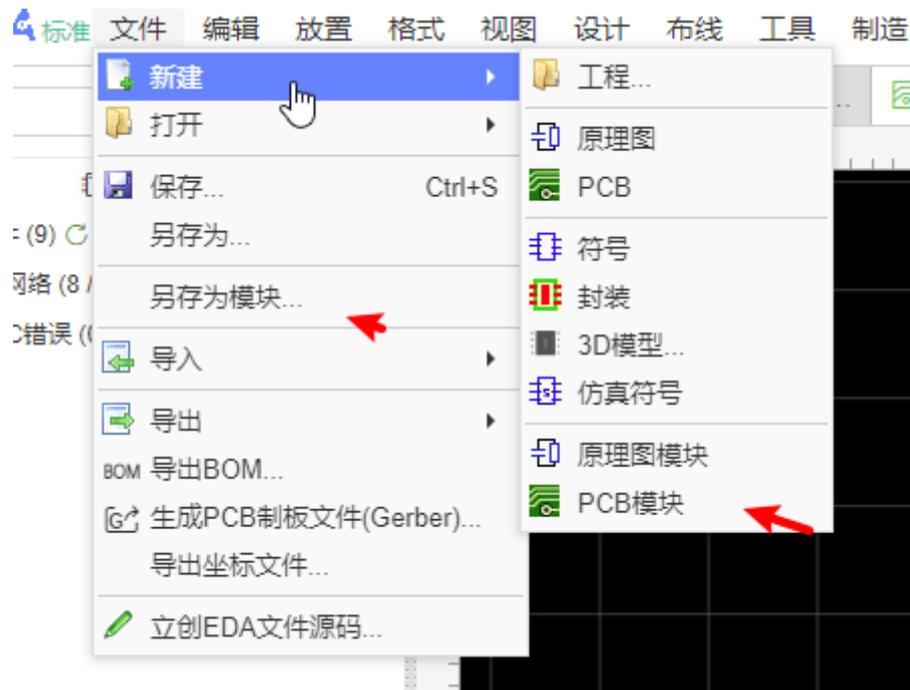


原理图模块

嘉立创EDA支持PCB模块功能，与原理图模块相似，以利于PCB模块的复用，避免重复设计。

创建方式

“打开原理图或PCB - 顶部菜单 - 文件 - 另存为模块” 或者 顶部菜单 - 新建 - PCB模块。



原理图PCB模块保存在 **元件库 > 原理图/PCB模块 > 工作区** 中，下次使用在这里直接放置即可。



使用方法

从 v6.4.2 开始，原理图模块和PCB模块，支持分别放置，并且导入更新后PCB的模块布局保持不变。

使用方法：

- 0、绘制原理图模块和PCB模块，并确保他们的器件编号是一一对应，封装也是对应的。模块的器件编号不能出现问号和编号重复的现象，比如 U?
- 1、打开同一个工程下的需要放置的原理图/PCB
- 2、打开元件库对话框，选择 PCB 模块库

3、选择保存的 原理图/PCB 模块，点击放置

4、弹出“放置模块”对话框



- **请输入标识字母:** 仅支持大写的英文字母，最多输入五个字母。该字母会应用到模块的符号/封装编号上。比如模块的器件 U3，标识字母 K，放置在画布器件的编号变为 KU3。

点确定后，进入放置模式，每次放置后会继续弹窗输入标识字母。**请确保每次输入的标识字母是唯一的。**

5、当原理图模块和PCB模块均分别放置后，并且保证输入的标识字母，它们此时可以对应上器件ID，在PCB导入更新后，将保持PCB布局不变，并且会更新PCB里面的导线网络，完成模块的放置和关联。

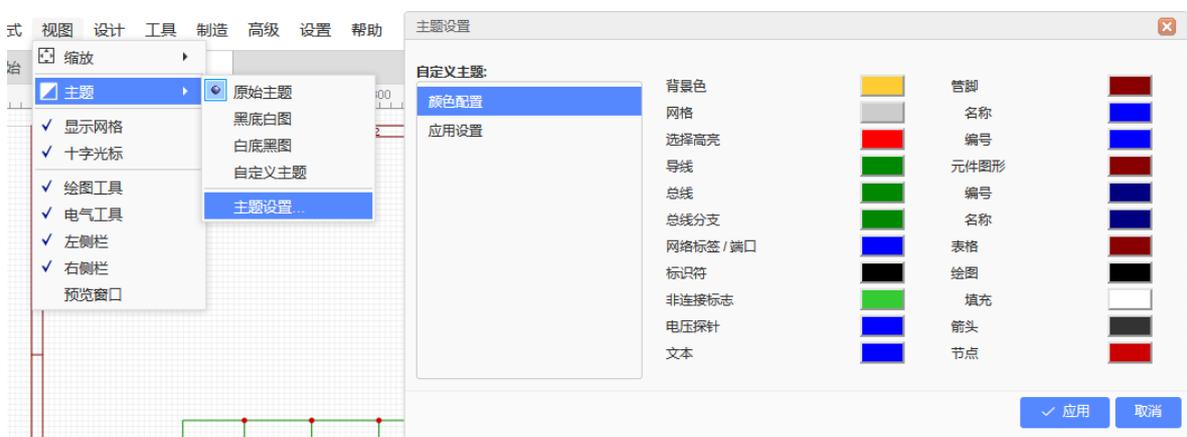
注意:

- 模块由单独的器件与导线等组成，与符号库指定封装不同，它不能绑定另外一个模块。比如PCB模块放置在PCB后，已经拆散无法与原理图模块对应，只有独立的符号与封装之间对应，所以需要确保放置的模块输入相同的标识字母。

原理图主题

嘉立创EDA支持原理图主题功能，可以很方便设置自己想要的主题，并应用在每次元件放置和原理图绘制中。

入口：**顶部菜单 - 视图 - 主题**



原始主题: 默认新建原理图时的主题，仅对新放置的符号库有效。原始主题是设置嘉立创EDA使用的默认颜色，点击后是对当前画布进行应用默认设置的颜色，如果需要回到画布的最初的颜色只能通过前进后退撤回。

黑底白图: 黑色背景，元素均为白色。

白底黑图：白色背景，元素均为黑色。

自定义主题：当点击"我的主题"，并应用后，原理图主题将会切换到自定义主题，该主题允许独立修改。

我的主题：自定义的主题，该设置会存储在浏览器本地，也可以手动同步到服务器。当点击应用后，会将我的主题应用至当前原理图。下次再打开原理图，原理图的主题将是自定义主题。

我的主题设置：可以设置我的主题的应用场景：1.新建原理图时，2.打开已有原理图时。

原理图主题在个人偏好设置里面默认允许同步到服务器。



BOM表导出

嘉立创EDA支持单独PCB导出BOM表(物料清单)，以便于你购买所需的零件。

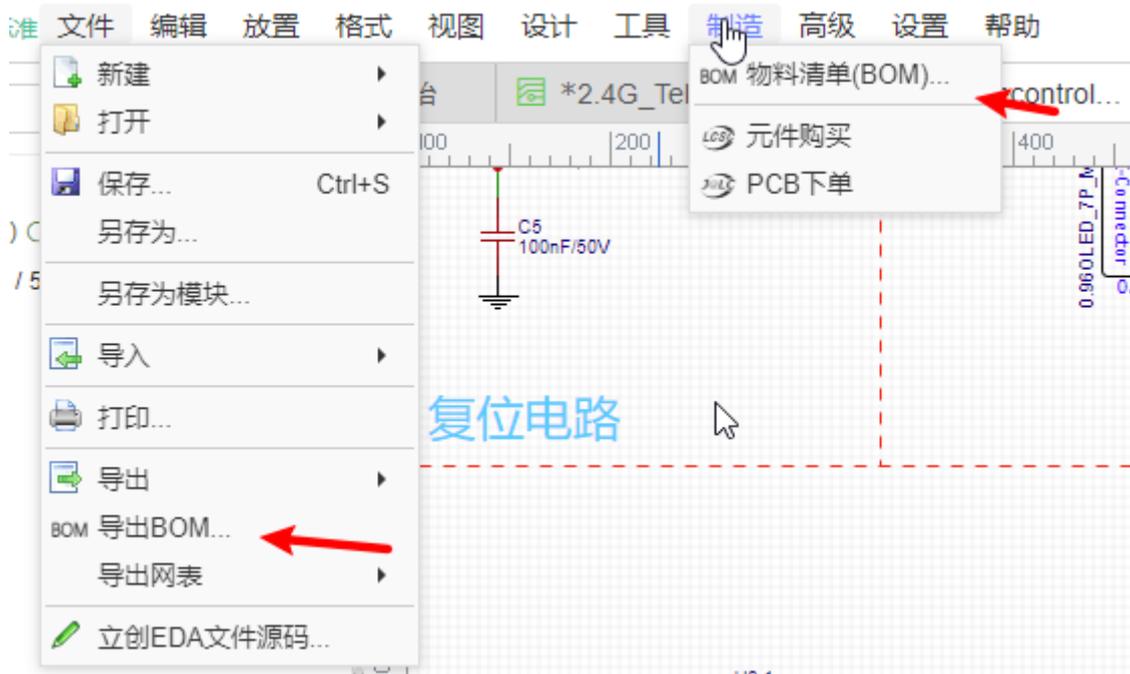
需要注意：

1、在v6.4.17版本之前，当工程内有原理图，导出的BOM信息来自于原理图的符号，给器件分配的立创商品编号也是写入原理图的符号中。当工程内只有PCB时，导出的BOM信息来自PCB内的封装，给器件分配的立创商品编号也是写入PCB的封装中。

2、在v6.4.17版本及之后，原理图的BOM和PCB的BOM已经独立导出，在BOM对话框分配的元件编号也是独立写入对应的文件中。导出 BOM 时请区分要导出的是哪个文件的 BOM。

BOM导出可以通过：

顶部菜单 - 制造 - 物料清单，或者 **顶部菜单 - 文件 - 导出BOM**

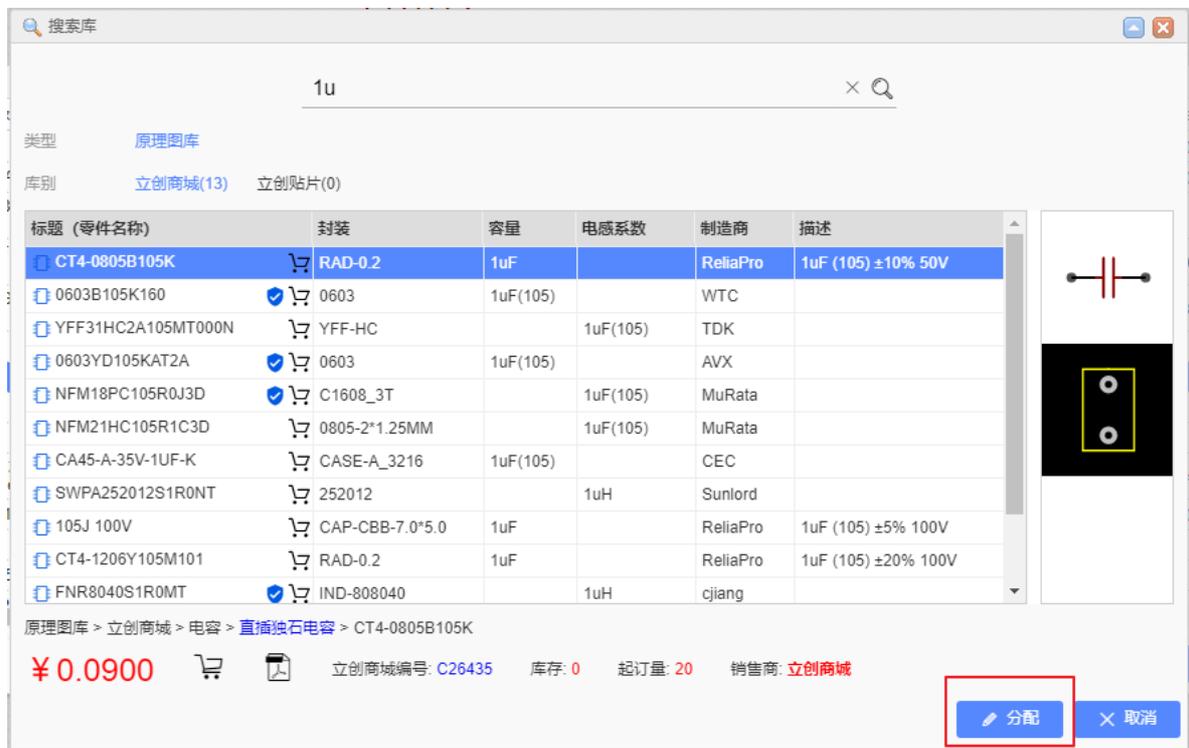


点击后会弹出一个导出对话框，

导出前，你还可以为零件指定立创商城的零件编号，以利于在立创商城上方便购买元件，下单时直接上传BOM表即可：



点击分配图标后会打开元件库搜索框，在这里找到你想要的零件后然后点击“分配”完成编号指定，分配的编号将出现在BOM中。



在这个对话框里，直接点击“导出BOM”按钮即可下载CSV格式的BOM表。目前BOM与立创商城打通，将实现一键加入购物车功能，届时将大大方便用户采购元件。

BOM打开后如图：

ID	Name	Designator	Footprint	Quantity	Manufacturer	Manufacturer	Supplier	Supplier Pa	LCSC Assembly
1	HDR-M-2.54	KJ1,AJ1,BJ1	HDR-M-2.54	8			LCSC	C66690	
2	NE555P*NA U1		DIP-8	1	NE555P	TI	LCSC	C46749	
3	MC306(6pF,C1		CAP-D3.0XF	1	HV010M05C	CapXon	LCSC	C59954	
4	0.1u	C63,C73	C1210K	2					
5	MC306(6pF,C8		C1210	1					
6	19-217/GHC LED1,LED2		LED0603-R-	2	19-217/GHC	EVERLIGHT	LCSC	C72043	Yes
7	1N4148W	KD1,AD1,BE	SOD-123FL	8	1N4148W	Tak Cheong	LCSC	C129216	
8	CAP-1uF	C2	C0805	1	RVT2A1R0N	HONOR	LCSC	C87863	
9	CAP-1uF	C4	RAD-0.1	1	?				
10	CAP-1uF	C5	R0805	1	?				
11	HDR-IDC-2.54	P1	IDC-TH_6P-	1	2X3 2.54mn	BOOMELE	LCSC	C11214	
12	0.1u	KC1,AC1,BC	C1210	8					
13	1KOHM	R2	R0805	1	?				
14	1KΩ	R1	AXIAL-0.3	1	?				
15	2N3906(TO	KQ1,AQ1,B	TO-92-3_L4	8	2N3906	CJ	LCSC	C9809	
16	1m	KL1,AL1,BL1	L0402	8					

支持导出价格，价格列是取当前立创商城的第一阶梯单价。

注意：

- 为了支持多语言，嘉立创EDA的BOM和坐标文件(CSV文件)均采用UNICODE编码，以制表符为CSV分隔符，如果你上传BOM至元件商城(如立创商城)无法使用，或者发送坐标文件至PCB制造商(如深圳嘉立创)无法使用，请自行转换CSV文件编码与分隔符。
- 推荐的转换方式：使用Excel或WPS另存为新的CSV文件。以Excel为例，用Excel打开CSV文件后，依次点击或选择：另存为——其它格式——CSV(逗号分隔)(* .csv)。也可以使用任何文本编辑器(如Windows记事本)打开该CSV文件，另存为ANSI或UTF-8编码格式。如有必要，还需替换所有制表符为英文逗号。

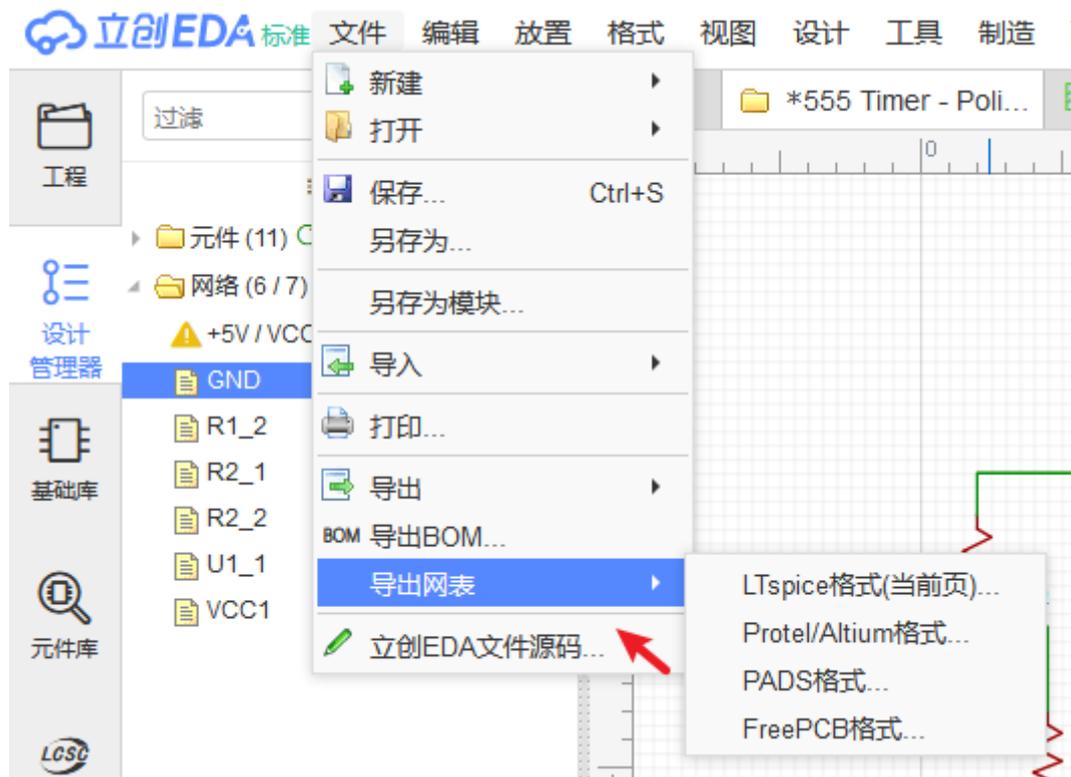
更多信息请查看 **导出** 章节。

导出网表

嘉立创EDA支持导出多种EDA使用的网表文件格式。可导出单一文档网表也可导出整个工程的网表。

支持的格式有：Spice仿真格式，Protel/Altium格式，Pads格式，FreePCB格式。

打开通过：**顶部菜单 > 文件 > 导出网络**



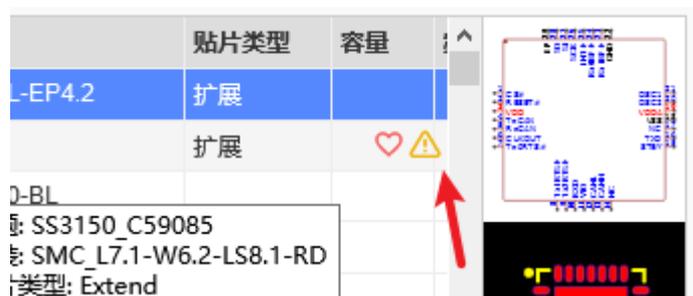
更多信息请查看 **导出** 章节。

报告错误

嘉立创EDA官方库数量庞大，并且有专人绘制和维护，但是嘉立创EDA收录了开源的库和官方绘制的库不能避免存在错误的情况，所以当你遇到系统有错误的时候，请及时告知官方技术支持，我们会尽快修复。

报告错误库的方式有3种：

- 1、直接在“元件库”点击有问题的库，然后右键选择报告错误。或者点击报告错误小图标。



2、放置系统库在原理图中后，点击该元件，点击右边属性面板的“报告错误”按钮。



3、直接告知元件名称给官方技术支持。

<https://docs.lceda.cn/cn/FAQ/Contact-Us/index.html>

PCB画布设置

新建PCB编辑器有两种方式。

- 前面章节中通过原理图转为PCB。
- 在“顶部菜单 - 文件 - 新建 - PCB”新建打开。

正常来说，在绘制PCB前，需要先设置PCB板子边框和设计规则。边框和设计规则请查阅后面章节。

画布属性

PCB画布属性和原理图画布属性大部分一致。点击PCB空白处在右边面板可以修改画布的尺寸单位，网格等。目前支持mm, inch, mil三种单位，精度至小数点后三位。



PCB中大部分对象，在选中它后，基本都可以在右边属性面板查看和修改它的属性。

其他

- **线宽**：这里设置默认布线线宽。
- **拐角**：设置默认布线的拐角方向。有：45°，90°，圆弧，任意角度。
- **覆铜区**：这里可设置铺铜区域是否可见。选择否之后铺铜将消失，仅保留铺铜的边框。生成Gerber时，必须先将其设为可见。

PCB工具

PCB工具提供很多功能以满足你绘制PCB的需求。

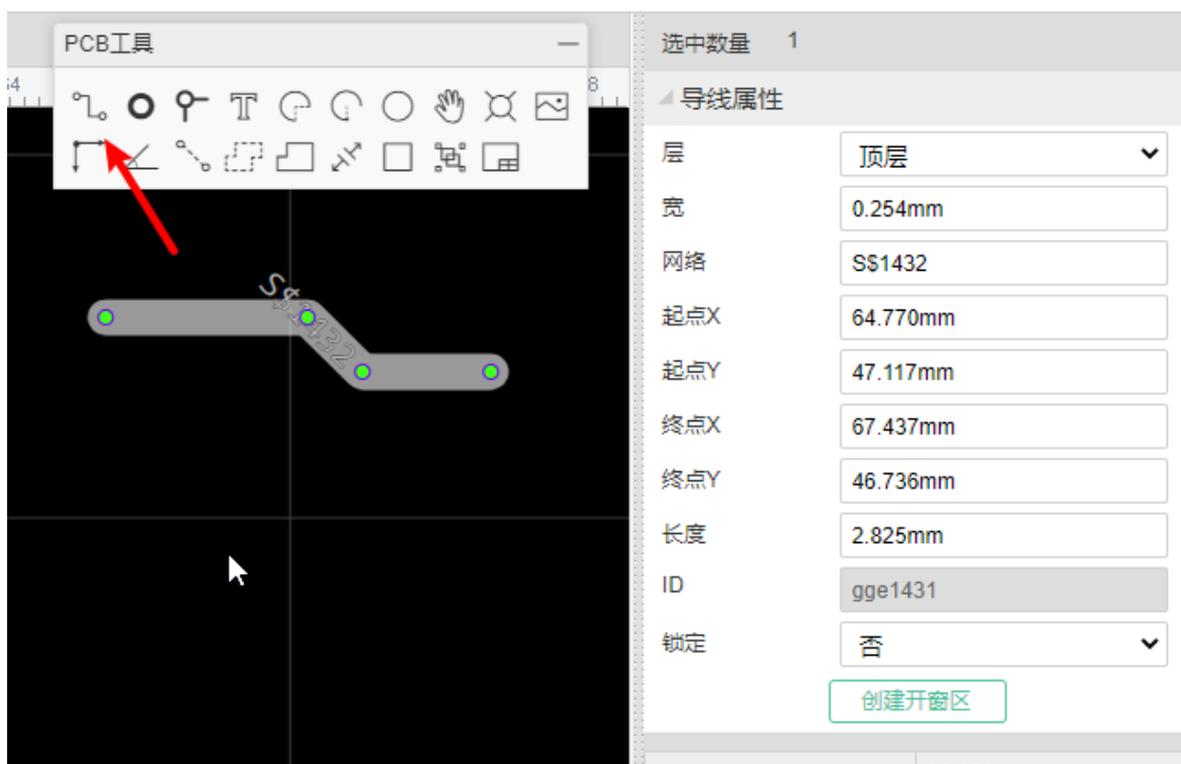
有导线，焊盘，过孔，文本，圆弧，圆，拖动，通孔，图片，画布原点，量角器，连接焊盘，覆铜，实心填充，尺寸，矩形，组合/解散。



导线

在原理图中使用快捷键“W”绘制导线，在PCB绘制导线的快捷键也是“W”。

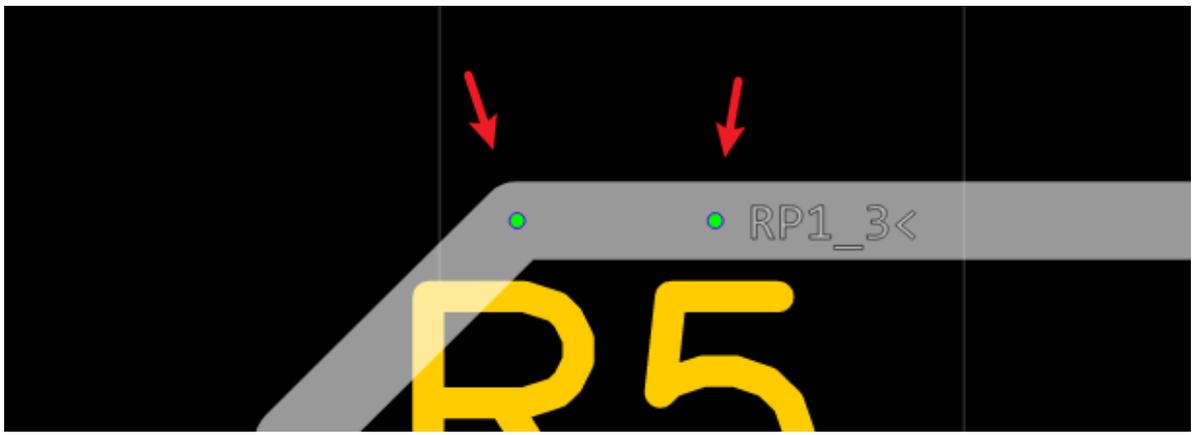
信号层的导线是在PCB设计中进行电气连接的图元。嘉立创EDA的导线可以绘制在丝印层，机械层等非信号层。



当你选中一条导线时，可以在右边属性面板修改它对应的属性。

如果你想给导线进行开窗，加锡，你可以点击导线，在右边属性面板点击“**创建开窗区**”即可。

选中导线时，你会发现导线有对应的节点，你可以拖动或者右键删除它。



支持多段接触的导线多选后右键转为“连续线条”和“闭合的实心填充”，可以很方便把多段导线合并为闭合对象。

更多关于布线和布线技巧的信息请查看：[PCB: 布线](#)

焊盘

放置焊盘的快捷键是“P”。

当你选中一个焊盘时，可以在右边属性面板修改它对应的属性，或者鼠标左键双击，弹出属性对话框来修改它的属性。

焊盘属性：

编号：若不是单独放置的焊盘，该编号会与符号库文件的引脚编号相对应。

形状：圆形，矩形，椭圆形和多边形。如下图所示，选择多边形可以通过“编辑坐标点”创建复杂的形状。



层：如果放置的焊盘是SMD类型或想它出现在单层，那么层请选择顶层或底层；若需要放置通孔类型焊盘，那么层请选择多层，焊盘将在顶层和底层出现，它会连接全部铜箔层包括内层。当是单层焊盘的时候不支持设置钻孔。

网络：如果PCB由原理图转来，此处会默认生成网络；若是单独放置的焊盘，此处为空。你可以无需为它设置网络，当走线连接到它时，将自动为它添加网络。网络会自动转为大写字母。

宽和高：当图形设置为圆时，宽和高会等值；当图形设置为多边形时，宽和高将不允许编辑。

旋转角度：你可以设置你想要的任意角度。

孔形状：多层焊盘属性。内孔形状。有圆形，槽形。普通的插件封装以及电容等都是圆形钻孔，但某些特殊元件的安装脚需要长方形、长圆形或其他类型的通孔。这些长方形、长圆形或者其他类型通孔都算作槽孔。当设置为槽孔的时候，生成Gerber时，是在对应的位置通过多个钻孔拼接组成，如果你的钻孔是圆的，请不要设置为槽形，避免在生产DFM检测的时候出现钻孔重叠报错。

孔直径：多层焊盘属性。内孔直径。这是通孔焊盘的钻孔直径，若是贴片类型焊盘请设置为0。

中心X和中心Y：修改这两处数值可以修改焊盘在画布中的位置。

金属化 该多层焊盘内壁是否金属化，金属化后的焊盘将连接所有的铜层。当使用焊盘制作一个内壁无铜的螺丝孔时，需选择否。

编辑坐标点：多边形焊盘属性。支持焊盘坐标点编辑。当需要绘制异形焊盘的时候可以通过编辑坐标点来实现。

助焊扩展：单层焊盘属性。该属性影响开钢网的焊盘上锡区域的大小。如果想设一个焊盘不在钢网开孔，则可以设置该值为负数，数值通常设置比焊盘对角线大即可。

阻焊扩展：该属性影响绿油在焊盘上区域开窗的大小。如果想设一个焊盘不在开窗（覆盖绿油），则可以设置该值为负数，数值通常设置比焊盘对角线大即可。

注意：

- 编辑坐标点仅在图形为多边形时有效；第一个坐标点在左下角，数值为X Y，单位跟随画布。
- 焊盘编号通过鼠标放置可以递增，如果通过粘贴复制放置编号将保持不变。

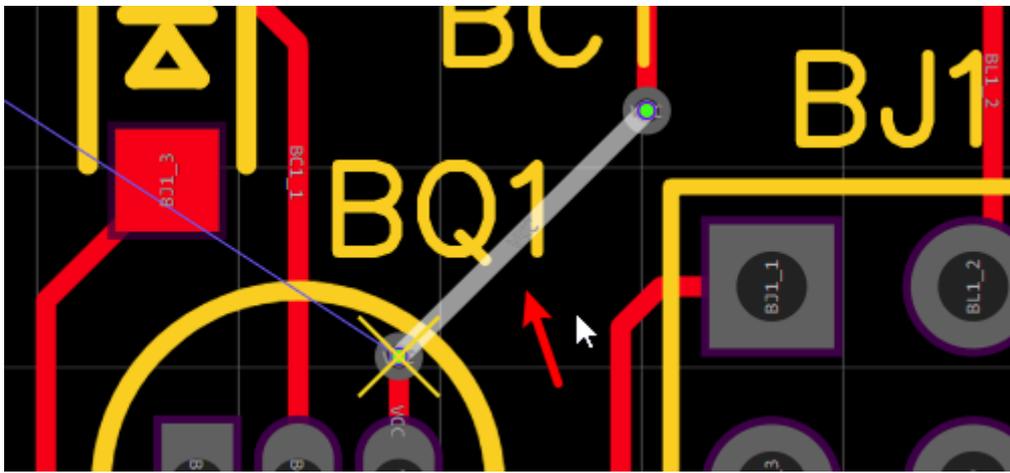
过孔

当你绘制一个双层板或多层板时你可以放置过孔，使顶层和底层导通。



使用技巧

- 1、在走线上放置两个过孔，然后就可以将两个过孔间的走线切换至其他层，或者移除。



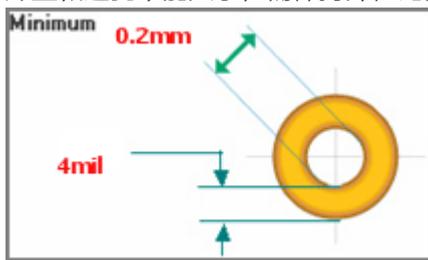
2、布线过程中，使用快捷键换层可以自动添加过孔。快捷键 **B T 1 2**

3、快捷键 **V** 添加过孔。

4、嘉立创EDA的过孔默认盖油，如果想改为开窗不盖油，可以点击属性面板的“**创建开窗区**”按钮，过孔将转换为多层焊盘，以实现开窗。

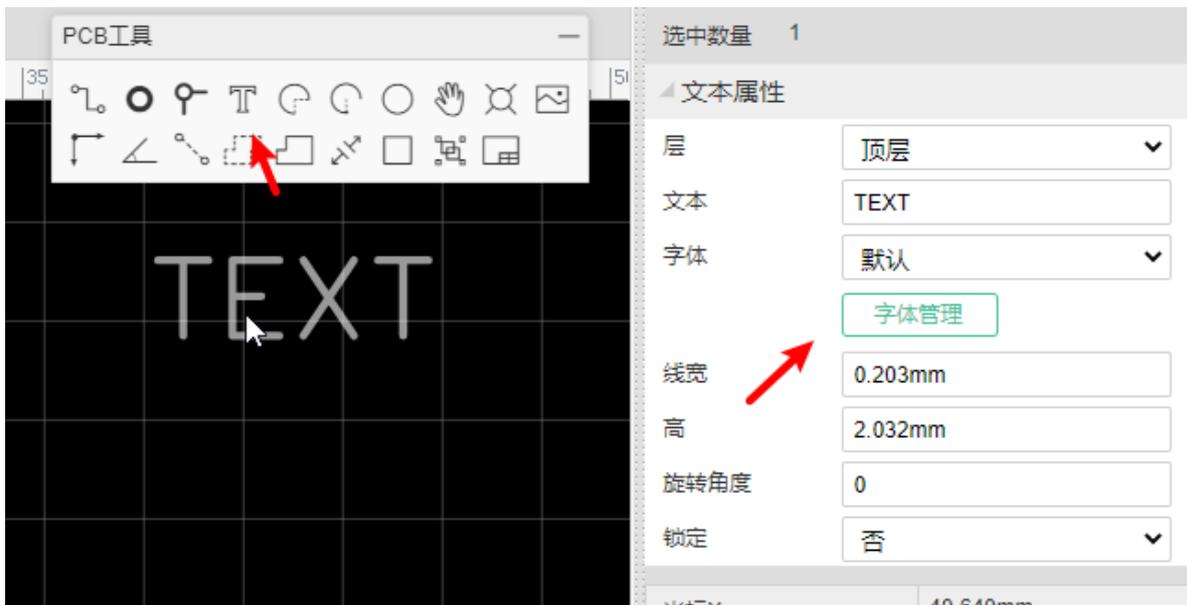
注意：

- 嘉立创EDA不支持内层填埋孔和盲孔，所有的过孔均可以在顶层和底层看见。
- 焊盘和过孔不能太小，需保持外径比内径 $\geq 4\text{mil}$ 。否则板厂做不出来。



文本

嘉立创EDA支持普通的英文字母文本，如果需要不同的字体需要自己加载字体。



嘉立创EDA自带谷歌字体，当你输入的字体不能被默认字体显示的时候会自动转为谷歌字体。你也可以手动加载字体在编辑器内。

<https://github.com/googlefonts/noto-cjk/blob/main/Sans/OTF/SimplifiedChinese/NotoSansCJKsc-DemiLight.otf>

<https://github.com/googlefonts/noto-cjk/blob/main/Serif/OTF/SimplifiedChinese/NotoSerifCJKsc-Medium.otf>

如果你需要输入汉字，或者需要不同的字体，你需要自行添加你电脑上的字体。

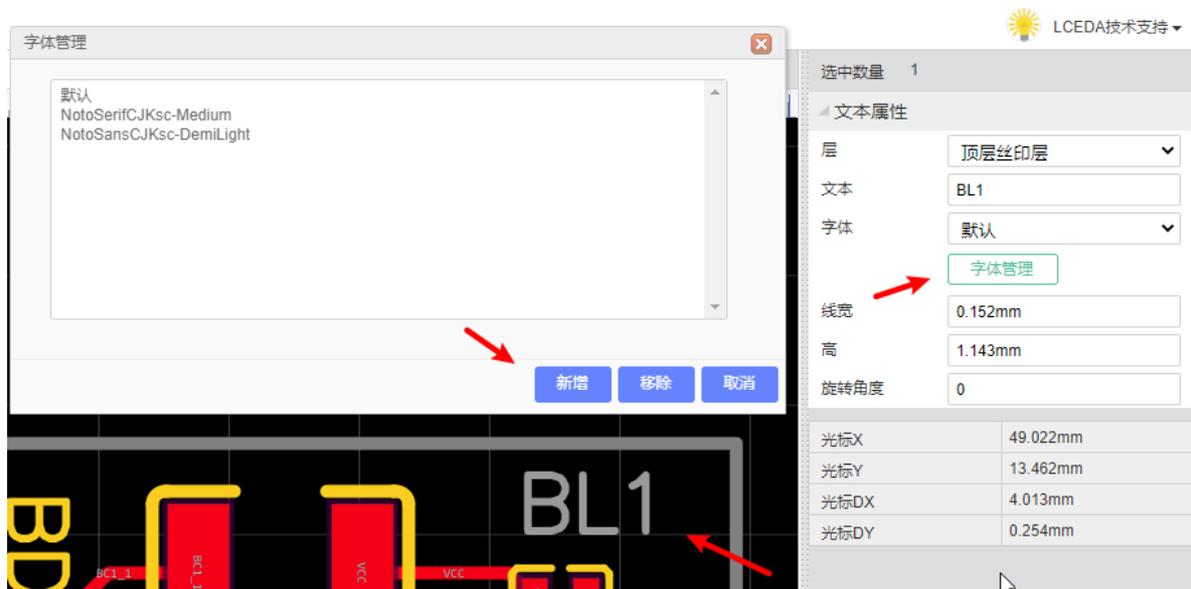
windows系统的字体在 C:\Windows\Fonts，你需要将字体复制到桌面然后在编辑器中加载。你也可以在网上下载一个字体使用。

免费字体可以在

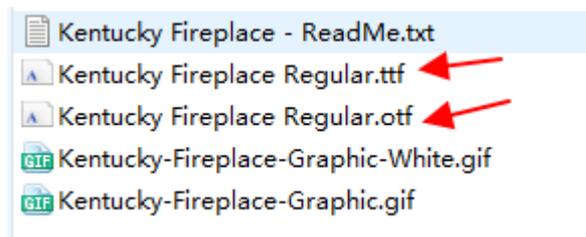
- [猫啃免费字体](#)
- [fontSpace](#)
- [谷歌noto字体](#)

添加方法

放置一个文本，并点击它，然后在右边属性面板字体处点击 **字体管理**，然后新增字体。



点击“添加字体”按钮，并在打开窗口选择你电脑本地的字体文件后确认即可添加完成。字体文件必须是 ttf 或者 otf 格式。

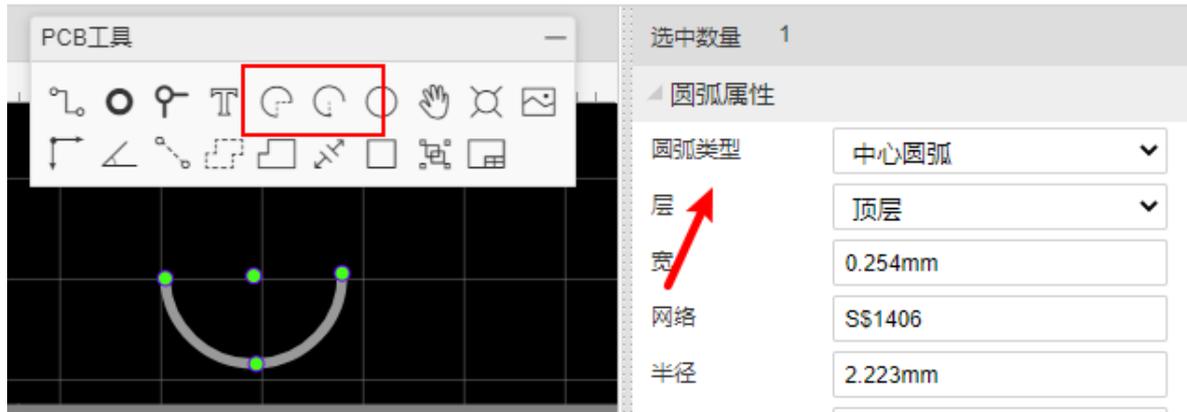


注意:

- 嘉立创EDA不会保存你的字体在服务器，所以每当你清理编辑器缓存后再打开，你必须重新添加字体。
- 如果你使用的是自添加的字体，字体属性中的宽度设置将无效，你只能修改字体的高度。
- 如果你PCB文字时添加了字体，然后导出的Alitum文件，你的Alitum软件也需要添加该字体，否则Altium打开时，字体会变问号。

圆弧

你可以使用圆弧工具画出不同大小的圆弧，创建布局酷炫的走线图案。可通过两个圆弧合并成一个圆。



嘉立创EDA提供了两种画圆弧的工具：

- 两点圆弧：先确定圆弧起点，然后确定终点及半径。
- 中心圆弧：先确定圆心，然后确定半径及起点，再确定末点。

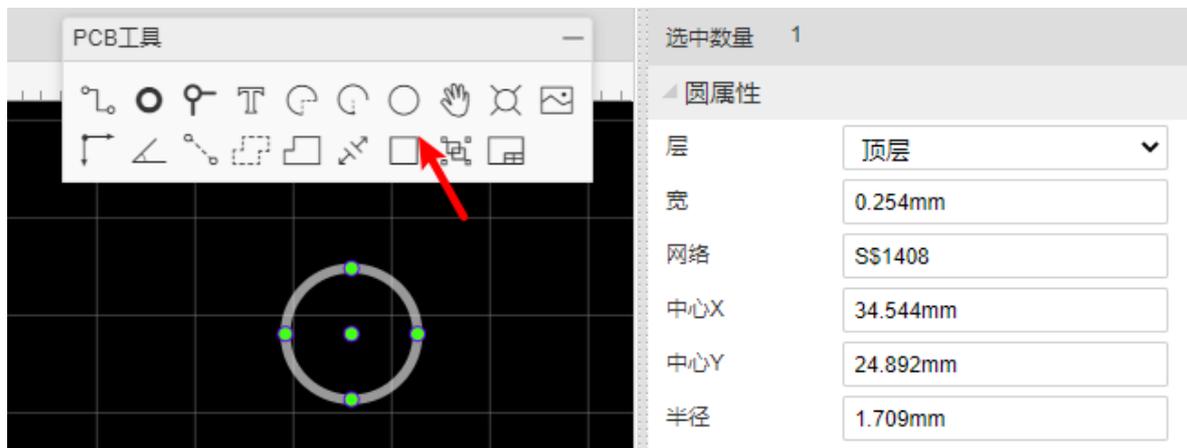
圆弧属性

点击圆弧后可在右边面板进行属性修改，或者鼠标左键双击，弹出属性对话框来修改它的属性。

- 圆弧类型：中心圆弧或两点圆弧。选择不同的圆弧有不同的属性和交互。

圆

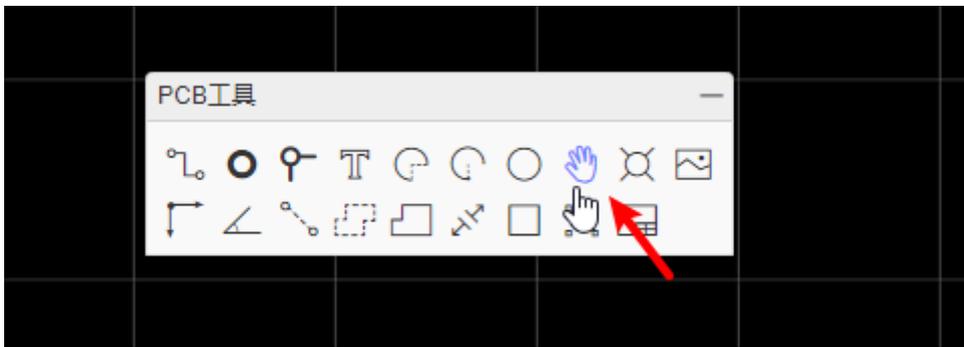
在PCB工具里面提供的圆工具所画的圆，只能支持在丝印层和文档层绘制，如果你想在顶层或底层绘制一个圆，你必须使用圆弧工具绘制。



圆只支持在非信号层和非边框层，如丝印层，文档层等。

移动

该功能与原理图工具的移动几乎一致。快捷键“D”。



当使用该工具移动封装时，连接的走线会与其他封装分离并跟随移动，表现与直接鼠标批量选择后移动一致。

其他关于封装移动的提示：

- 当单选一个封装时，用鼠标移动，走线会拉伸跟随，不会分离；
- 当单选一个封装时，用方向键移动，走线会与封装分离，仅移动封装。

通孔

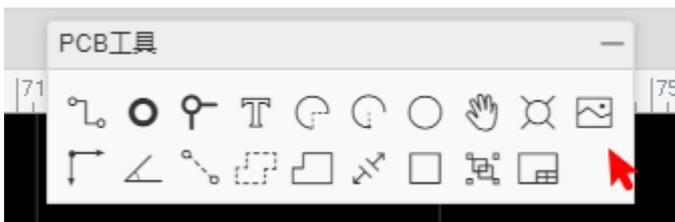
由于很多用户不知道如何通过焊盘，过孔来创建通孔，故嘉立创EDA特意提供了一个通孔功能。可在属性设置其直径大小。



如果你想画槽孔，你可以使用实心填充(类型：槽孔(非金属化孔))，或者你绘制一条导线，然后右键它，选择“转为槽孔”菜单。

图片

在PCB和封装库画布下，嘉立创EDA支持添加图片，可以很方便添加图形丝印logo等。



点击插入图片功能，会打开一个窗口，你可以添加你需要的图片，嘉立创EDA支持 JPG, BMP, PNG, GIF, 和 SVG 格式的图片。



添加图片后，可以：

- 预览图片：左边为原图预览，右边为调整后的图片效果预览。
- 颜色容差：数值越大，图像会损失越大。
- 简化级别：数值越大，图像边沿会更圆润。
- 图像反转：选择后，原本高亮区域会被挖图。
- 图片尺寸：设置你要插入的大小。

修改好参数及大小后，可以将图片插入到PCB中。

图片会插入在当前编辑的层，如果需要换层或修改其他属性，可以点击它在属性处修改。

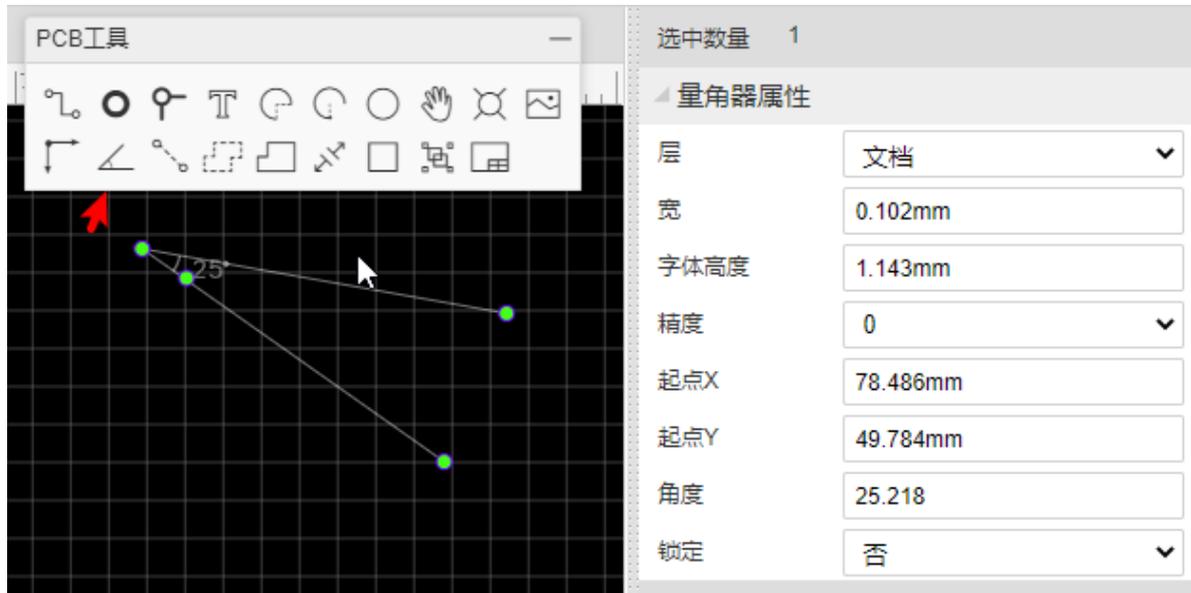


画布原点

你可以设置画布原点以满足定位要求。该功能与原理图的画布原点功能一致。

量角器

嘉立创EDA提供一个量角器方便位置角度的确定。



绘制方法：

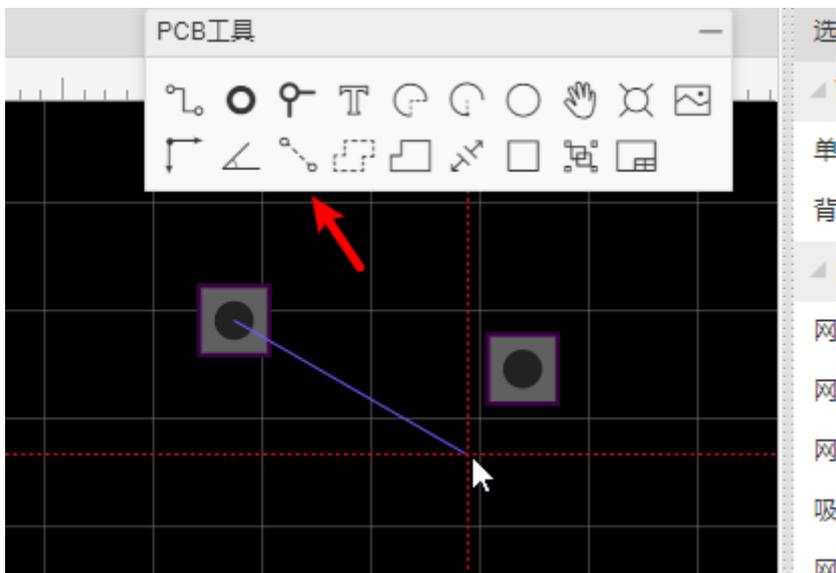
- 1.点击后先确定原点，
- 2.再确认长度，
- 3.最后确认角度。

选中它后，可修改其属性。其中层支持顶层丝印，底层丝印和文档层；精度最高支持小数点后两位。

连接焊盘

当创建一个无原理图的PCB时，封装焊盘之间由于没有网络，所以不会出现飞线。使用“**连接焊盘**”功能可以使它们连接起来，帮助你减少出错。

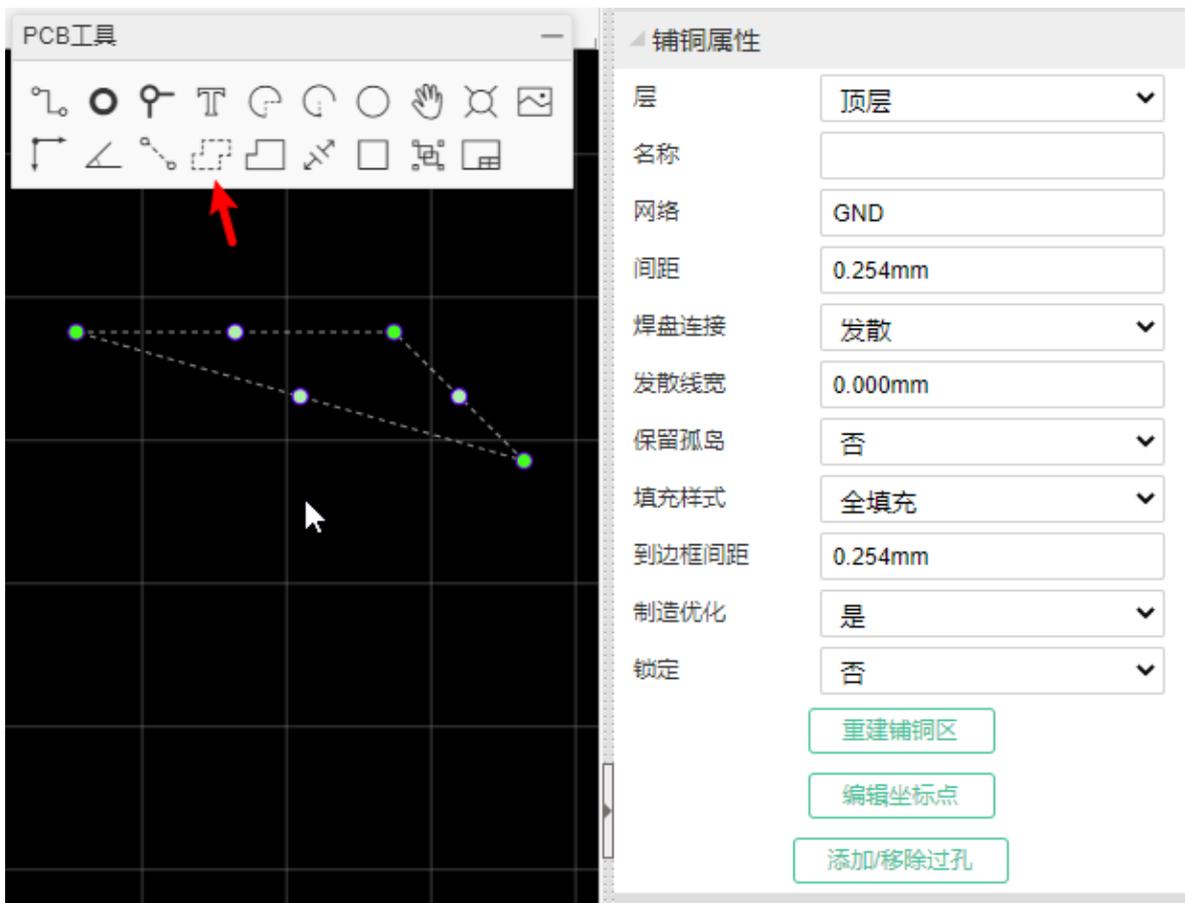
点击后，你点击两个无网络的封装焊盘，即可自动为它们设置相同网络名，并产生飞线：



更多关于飞线的信息，请查阅 [飞线](#) 章节

铺铜

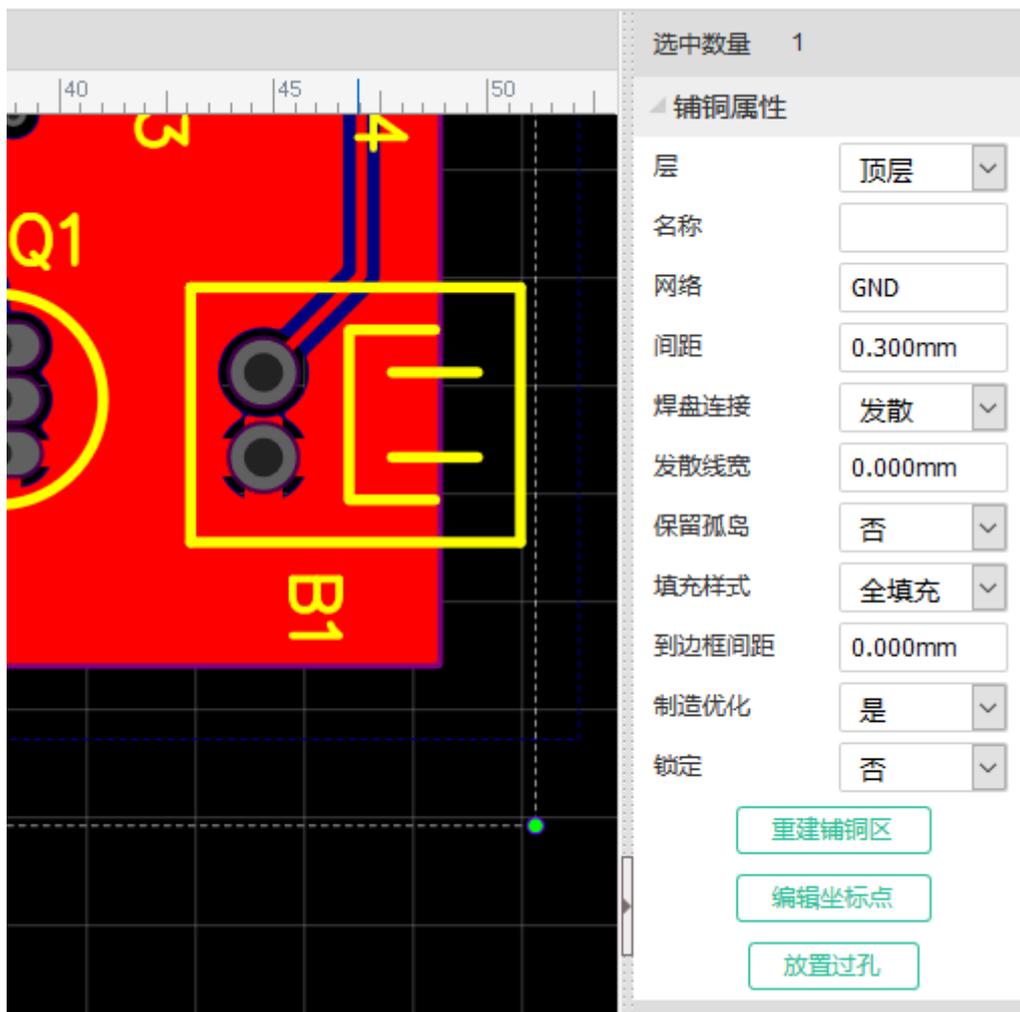
如果你想保留整块铜箔区域使其接地或者接电源，你可以使用“铺铜”功能。



点击后可以围绕你想铺铜的区域绘制铺铜区，一般沿着板子边框或在板子边框外部绘制，顶层和底层需要分别绘制。一块板子可以绘制多个铺铜区，并分别设置。

进入绘制模式时，可以使用快捷键 **L** 和 **空格键** 改变绘制路径的模式和方向，与绘制导线类似。

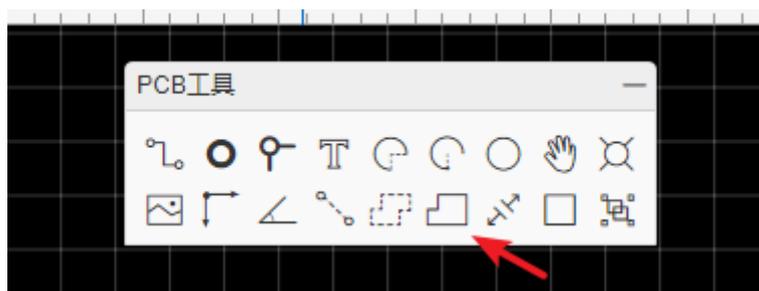
选中铺铜线框，可以在右边修改其属性。



更多关于铺铜的信息，请查阅 [铺铜](#) 章节

实心填充

嘉立创EDA提供了一个名叫实心填充的功能。你可以绘制所需的填充信息，该功能与铺铜有类似的地方，但是实心填充不能与不同网络的元素产生间隙。



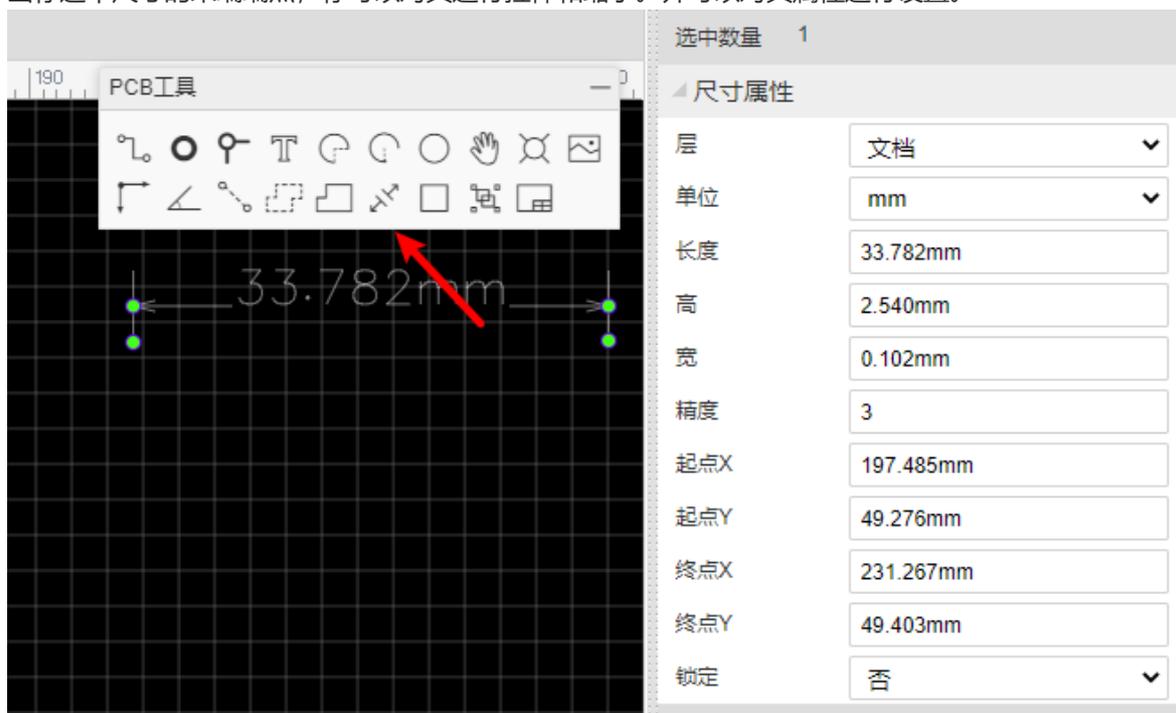
具体使用请查看 [实心填充](#) 章节

尺寸与量测

尺寸标识与距离测量对于PCB和封装库来说非常重要，嘉立创EDA提供了两种方法。

1. **尺寸工具**：该工具有三种单位，跟随画布单位设置。

当你选中尺寸的末端端点，你可以对其进行拉伸和缩小。并可以对其属性进行设置。



绘制方法：

- 点击尺寸工具，进入绘制模式；
- 左击选择起点；
- 移动鼠标左击选择终点；
- 移动鼠标左击选择标注的高度。
- 点击右键退出绘制模式。

2. **量测工具**：使用快捷键“M”或者通过 **顶部菜单 - 编辑 - 量测距离**，然后点击你想量测的两个点。单位跟随画布单位设置。

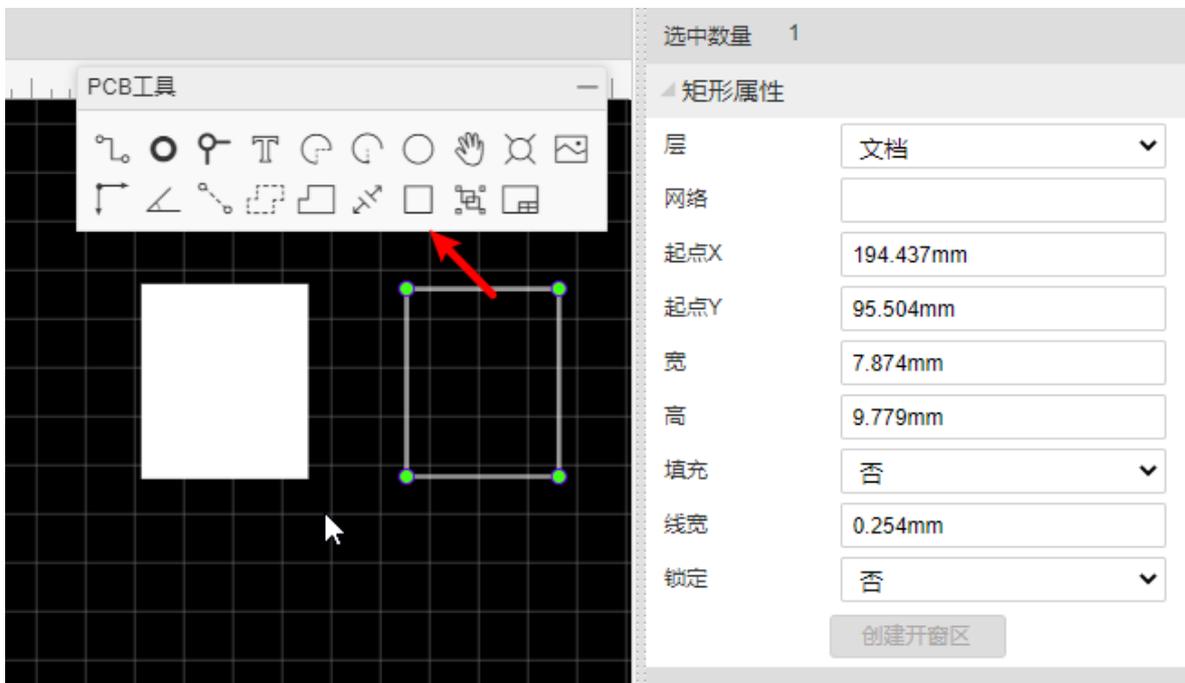


绘制尺寸或者量测距离均受画布右侧属性“吸附”影响，可以关闭吸附进行任意位置绘制或量测。

矩形

矩形工具与实心填充很相似，不能设置为NPTH层，也不能设置类型。

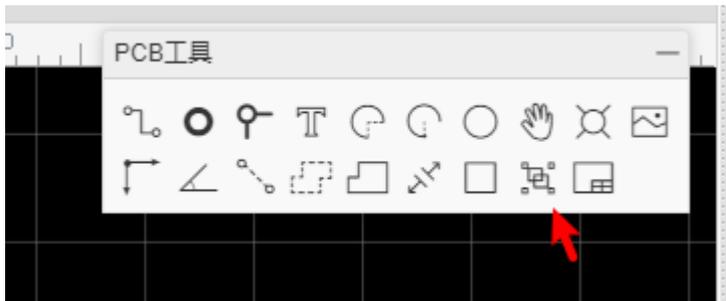
矩形不能旋转角度。



切换属性的填充可以修改矩形的样式。

组合与解散

与原理图的组合/解散功能类似，原理图的是对符号库符号作用，PCB的是对封装起作用。使用方法原理图的组合/解散功能一致。



使用方法：

- 放置焊盘，绘制丝印层的导线
- 框选焊盘和丝印后，点击组合/解散图标
- 弹窗设置封装编号和名称，完成组合



- 解散封装为焊盘等游离图元操作类似。

其他：

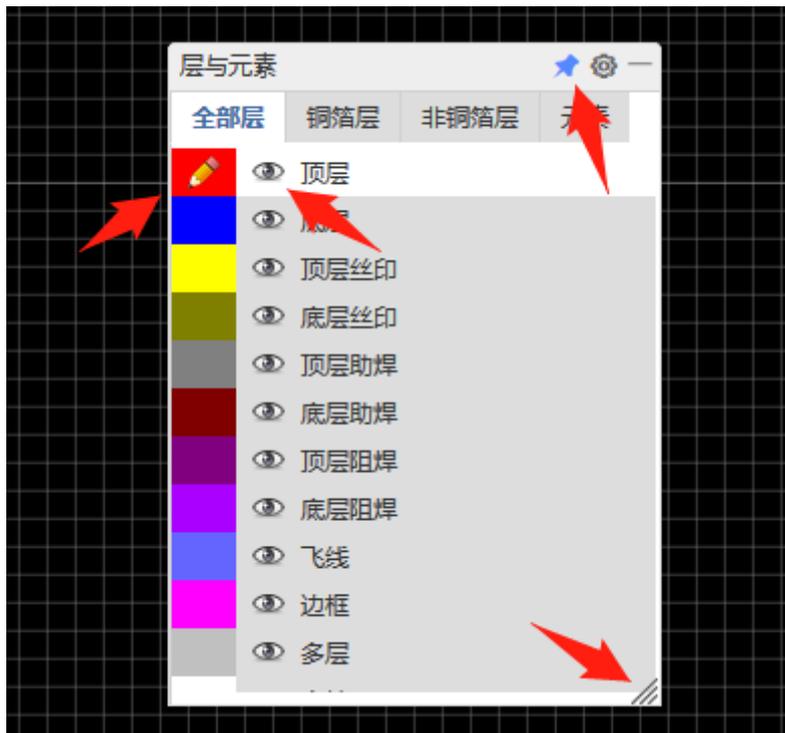
- 封装解散后，封装的编号和名称将会自动删除。
- 封装解散后重新组合将不再与服务器的库关联，将无法再通过右键更新。
- 解散封装前，请确保封装的层属性已经切换到顶层，因为组合后的封装默认在顶层。

层与元素工具

PCB层工具

PCB设计会经常使用层工具，它可以随意拖动位置，用来展示当前活动层。在这里对不同层进行切换编辑。

- 点击层对应的眼睛图标可以使其是否显示该层；
- 点击层的颜色标识区，使铅笔图标切换至对应层，表示该层为活跃层，已进入编辑状态，可进行布线等操作；
- 点击图钉图标可以固定住层工具的不自动收起；
- 拖拽层工具的右下角处可以调整层工具的高度与宽度。



切换层的快捷键如下：

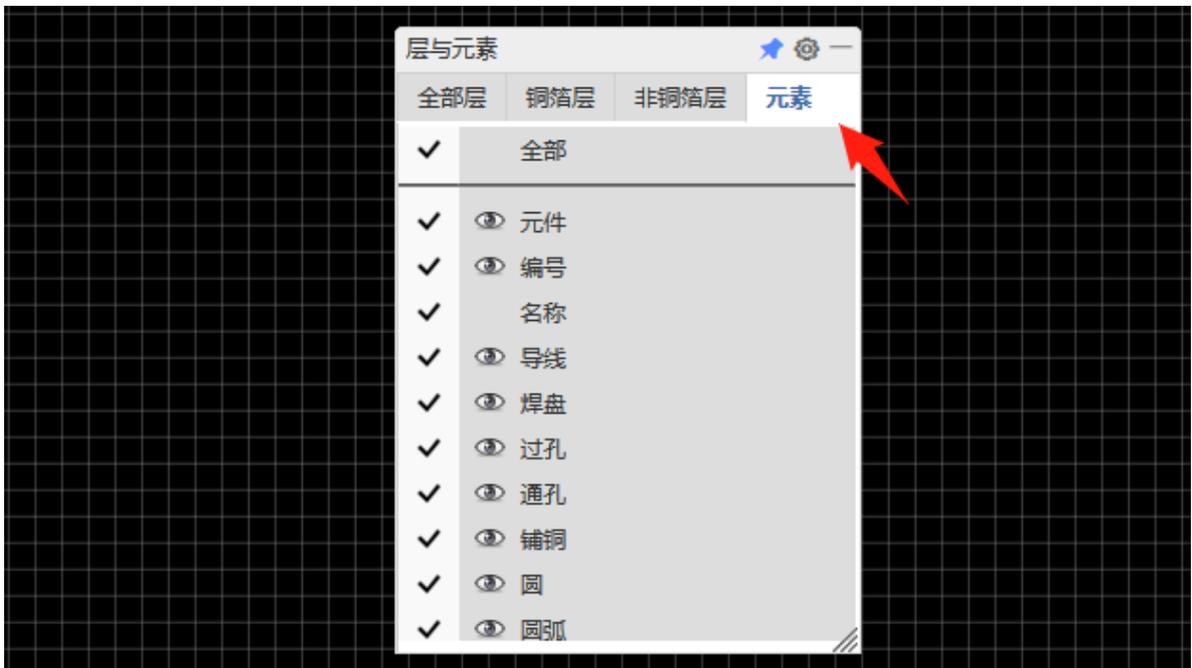
- **T**：切换至顶层
- **B**：切换至底层
- **1**：切换至内层1
- **2**：切换至内层2
- **3**：切换至内层3
- **4**：切换至内层4
- ***(星号)**：循环切换信号层
- **+, -**：往上逐个切层，或或往下逐个切层
- **SHIFT+S**：循环隐藏非当前层（会保留多层）

注意：隐藏PCB层只是视觉上的隐藏，在照片预览，3D预览和导出Gerber时仍会导出对应层。

更多关于PCB层的信息请查看：[PCB设计 - 层管理器](#)

元素筛选工具

点击“元素”切换至元素筛选功能。



勾选：当勾选了元素前面的勾时，表示可以通过鼠标操作画布内的对应元素。取消勾选则无法进行鼠标操作。包括点选，框选，拖动等操作。

眼睛：点击眼睛可以批量修改对应元素的显示和隐藏。

- 元件：显示或隐藏全部的整个元件，不包括元件名称和编号
- 编号：显示或隐藏全部元件的编号
- 名称：显示或隐藏全部元件的名称
- 导线：显示或隐藏全部层的导线，不区分层类型
- 焊盘：显示或隐藏全部层的游离焊盘，不包含元件内的焊盘
- 铺铜：显示或隐藏全部层的铺铜填充，不隐藏铺铜框线
- 文本：显示或隐藏全部层的普通文本，不包含元件内的文本

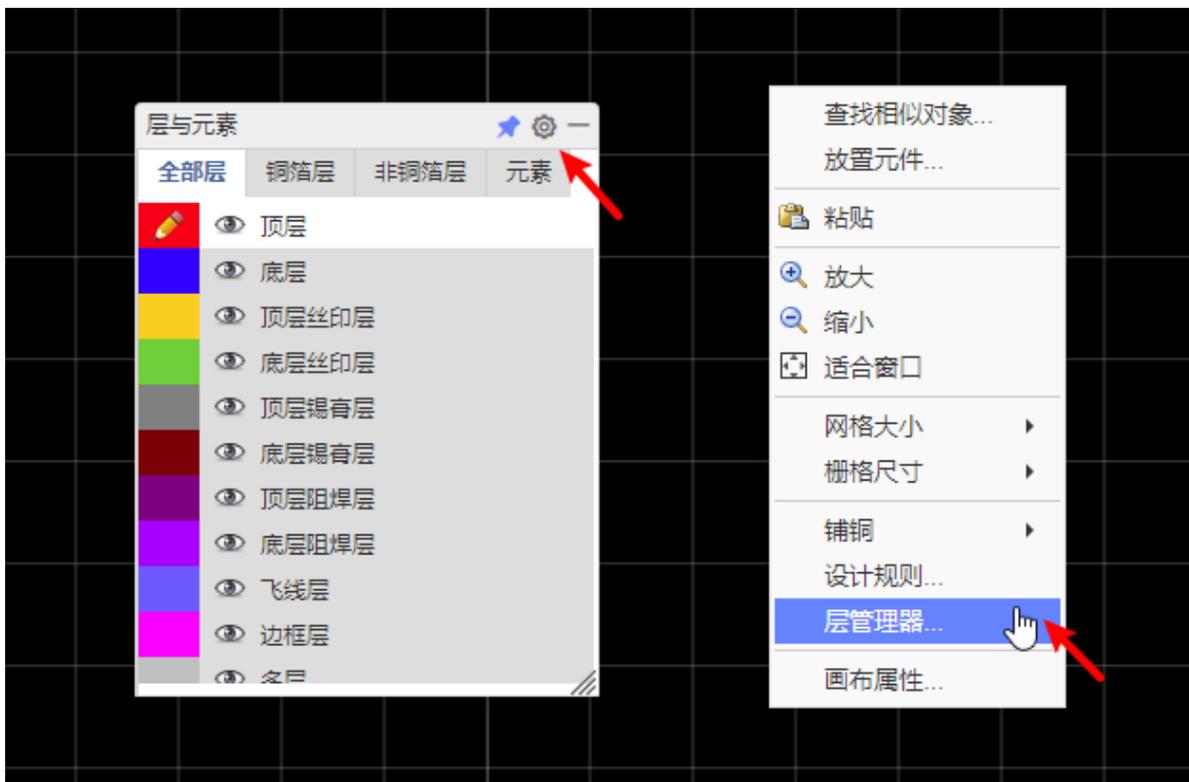
注意：图层的隐藏显示，元素筛选的隐藏显示不会进入撤销重做的历史记录！

层管理器

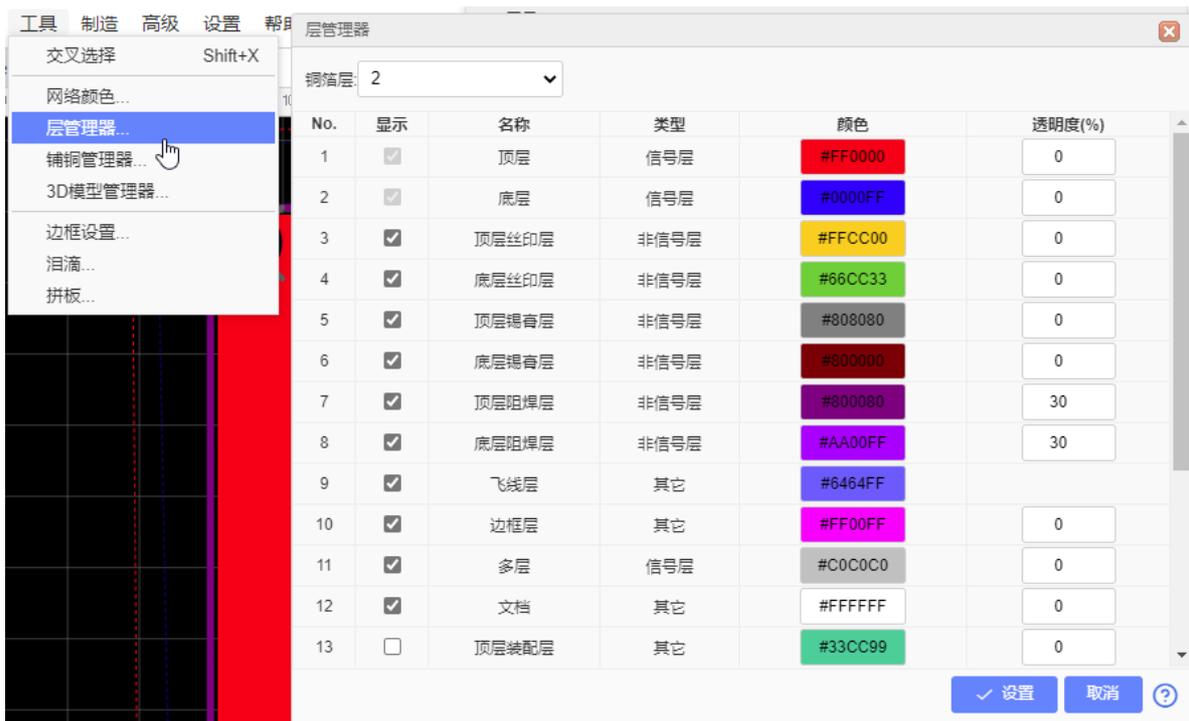
层管理器

通过层管理器，你可以设置PCB的层数和其他参数。

点击“层与元素工具”右上角的齿轮图标，或者通过 **顶部菜单 > 工具 > 层管理器...**，或者画布右键菜单打开设置界面。



层管理器对话框：



层管理器的设置仅对当前的PCB有效。

名词解析：

铜箔层： 嘉立创EDA支持高达34层铜箔层。使用的铜箔层越多，PCB价格就越高。顶层和底层是默认的铜箔层，无法被删除。当你要从4个铜箔层切换到2个时，你需要将内层的所有元素先删除。

显示： 如果你不想某个层名显示在“层工具”上面，那么你可以把层的勾选去掉。注意：这里只是对层名的隐藏，如果隐藏的层有其他元素如导线等，在导出Gerber时将一起被导出。

名称： 层的名称。内层支持自定义名称。

类型：

- **信号层：** 进行信号连接用的层，如顶层，底层。

- **内电层**：当内层的类型是内电层时，该层默认是一个铺铜层，通过绘制导线和圆弧进行分割内电区域，对于分割出的内电区域，可以分别对其设置网络。当生成Gerber时，绘制的导线则是会产生对应宽度的间隙。这个层是以负片的形式进行绘制。生成Gerber时是以正片的方式生成(即绘制的图元在生成Gerber的时候不会出现，自动生成的内电区域会在Gerber体现)。



注意：在绘制内电层的导线时，导线的起点和端点必须超过边框线的中心线，否则内层区域无法被分割；使用内电层时，PCB不能有多个闭合边框，否则只会有一个闭合边框内部正常生成内电层。

- **非信号层**：如丝印层，机械层，文档层等。
- **其他层**：只做显示用。如飞线层，孔层。

颜色：可以为每个层配置不同的颜色。

透明度：默认透明度为0%，数值越高，层就越透明。

层定义：

- **顶层/底层**：PCB板子顶面和底面的铜箔层，信号走线用。
- **内层**：铜箔层，信号走线和铺铜用。可以设置为信号层和内电层。
- **顶层丝印层/底层丝印层**：印在PCB板的白色字符层。
- **顶层锡膏层/底层锡膏层**：该层是给贴片焊盘制造钢网用的层，帮助焊接，决定上锡膏的区域大小。做的板子不需要贴片的话这个层对生产没有影响。也称为正片工艺时的助焊层。
- **顶层阻焊层/底层阻焊层**：板子的顶层和底层盖油层，一般是绿油，绿油的作用是阻止不需要的焊接。该层属于负片绘制方式，当你有导线或者区域不需要盖绿油则在对应的位置进行绘制，PCB在生成出来后这些区域将没有绿油覆盖，方便上锡等操作，该动作一般被称为开窗。
- **边框层**：板子形状定义层。定义板子的实际大小，板厂会根据这个外形进行生产板子。生成的制造文件Gerber会生成在 GKO 文件。
- **顶层装配层/底层装配层**：元器件的简化轮廓，用于产品装配和维修。用于导出文档打印，不对PCB板制作有影响。
- **机械层**：记录在PCB设计里面在机械层记录的信息，仅做信息记录用。
 - 生产时默认不采用该层的形状进行制造。
 - 一些板厂再使用AD文件生产时会使用机械层做边框，在嘉立创EDA，该层不影响板子的边框形状，该层仅做文字标识用。比如：工艺参数；V割路径等。
 - **如果机械层有闭合的导线，嘉立创在生产板子的时候会优先使用机械层作为板子形状，如果没有机械层的外框才会使用 GKO 作为边框(AD文件的历史影响)，需要注意在设计的时候注意机械层的使用。**
- **文档层**：与机械层类似。但该层仅在编辑器可见，生成在Gerber文件里不参与制造生产。
- **飞线层**：PCB网络飞线的显示，这个不属于物理意义上的层，为了方便使用和设置颜色，故放置在层管理器进行配置。
- **孔层**：与飞线层类似，这个不属于物理意义上的层只做通孔(非金属化孔)的显示和颜色配置用。
- **多层**：与飞线层类似，金属化孔的显示和颜色配置。当焊盘层属性为多层时，它将连接每个铜箔层包括内层。

- **错误层:** 与飞线层类似, 为DRC(设计规则错误)的错误标识显示和颜色配置用。

设计单层PCB

嘉立创EDA的铜箔层都是双数, 不支持直接绘制单层PCB, 你可以通过两种方法达到绘制单层的目:

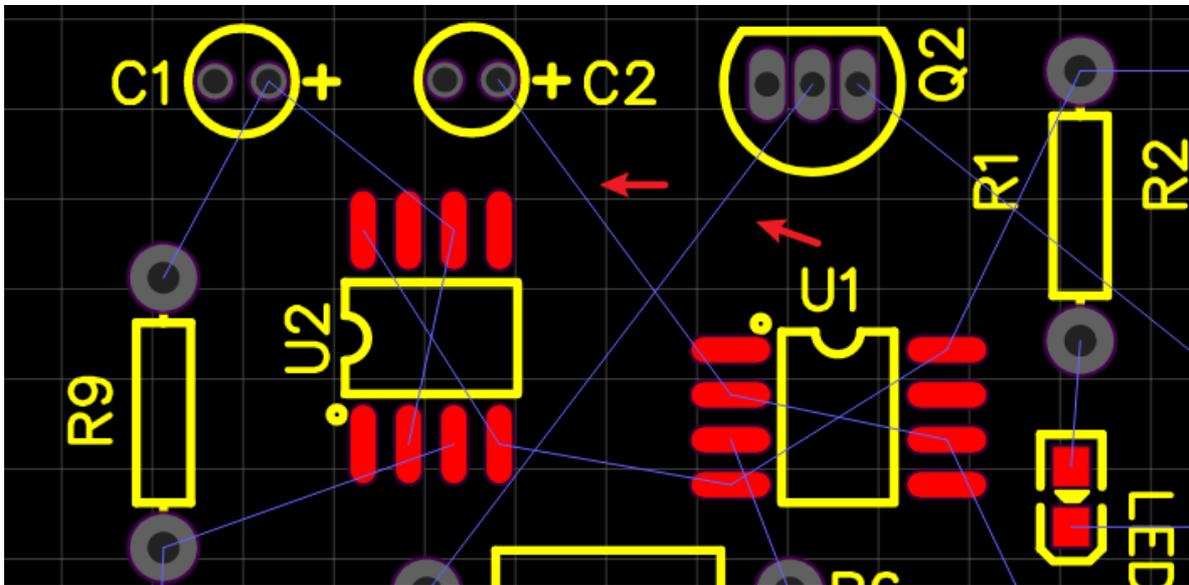
方法:

- 直接在单层(顶层或底层)进行布局布线, 不要放置过孔。
- 如果你有使用含多层焊盘的封装, 那么顶层底层都会有铜出现。此时你可以通过查找相似对象把全部的多层焊盘找出来, 把金属化(镀铜)属性改为否。
- 在生成Gerber之后将不要的对于层文件删除(若你只需要底层, 则需要删除 Gerber_TopLayer.GTL、Gerber_TopPasteMaskLayer.GTP、Gerber_TopSilkLayer.GTO、Gerber_TopSolderMaskLayer.GTS), 重新压缩为zip即可。

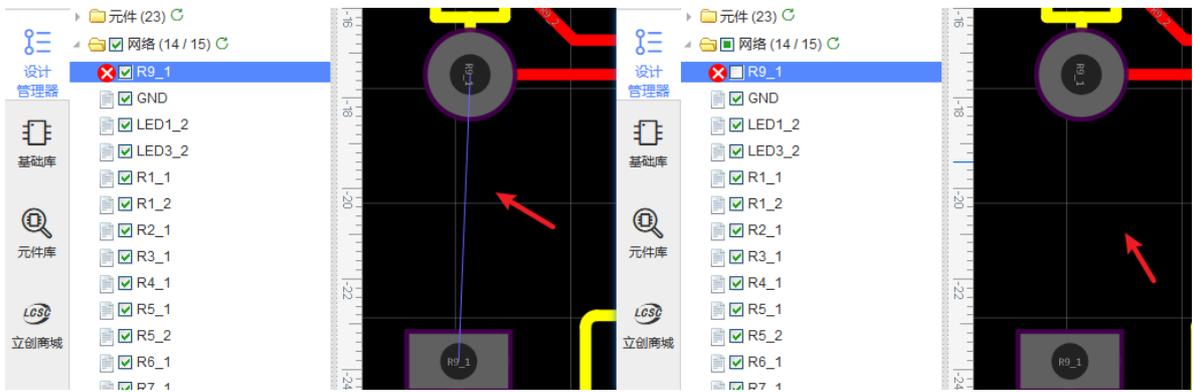
飞线

飞线是基于相同网络产生。

当两个封装的焊盘网络相同时, 会出现飞线, 表示这两个焊盘可以通过导线连接。



- 1、如果你想隐藏某条网络的飞线, 你可以在设计管理器中将该网络的勾去掉。



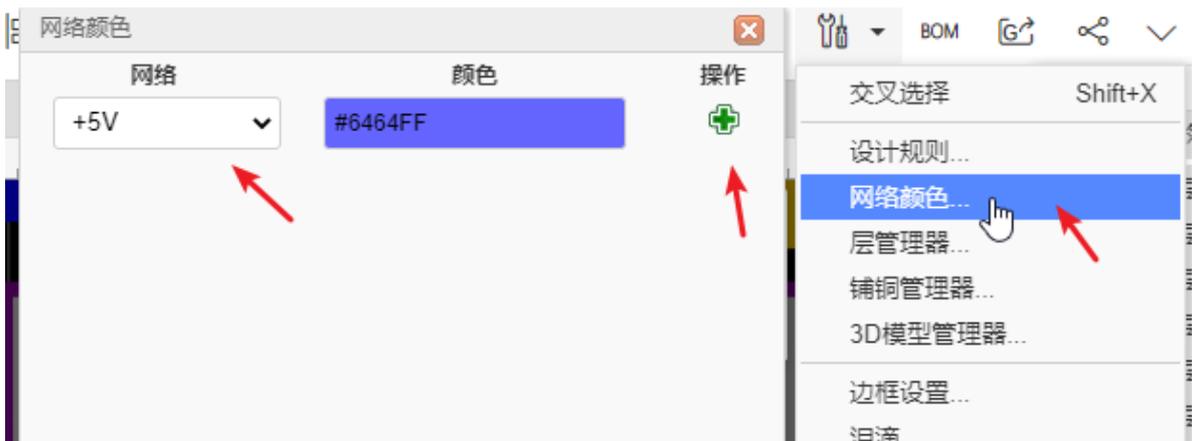
基于该技巧，你可以在布线前将GND网络去掉，在后面铺铜时再打开，可以减少飞线的干扰。

2、如果你想高亮飞线的颜色，你可以切换至飞线层；如果你想改变飞线的颜色，你可以在层管理器里面进行修改。



3、如果你想持续高亮一条飞线，你可以点击焊盘，按快捷键 H，再次按将取消高亮。

4、如果你想修改其中一条飞线的颜色，你可以通过修改网络的颜色，在：顶部菜单 - 工具 - 网络颜色。设置颜色后需要点击右边的加号图标才算设置成功。该颜色不受飞线层颜色影响。



5、如果你想彻底不想某一个网络出现飞线，你只能将对应焊盘的网络清空。点中它，在右边属性面板清空它的网络。

PCB网络

PCB的网络正常是从原理图导入，原理图做了修改，可以在原理图页面通过“更新PCB”和在PCB页面“导入修改信息”更新到PCB。

你也可以修改PCB封装的焊盘网络来生成新的网络名。

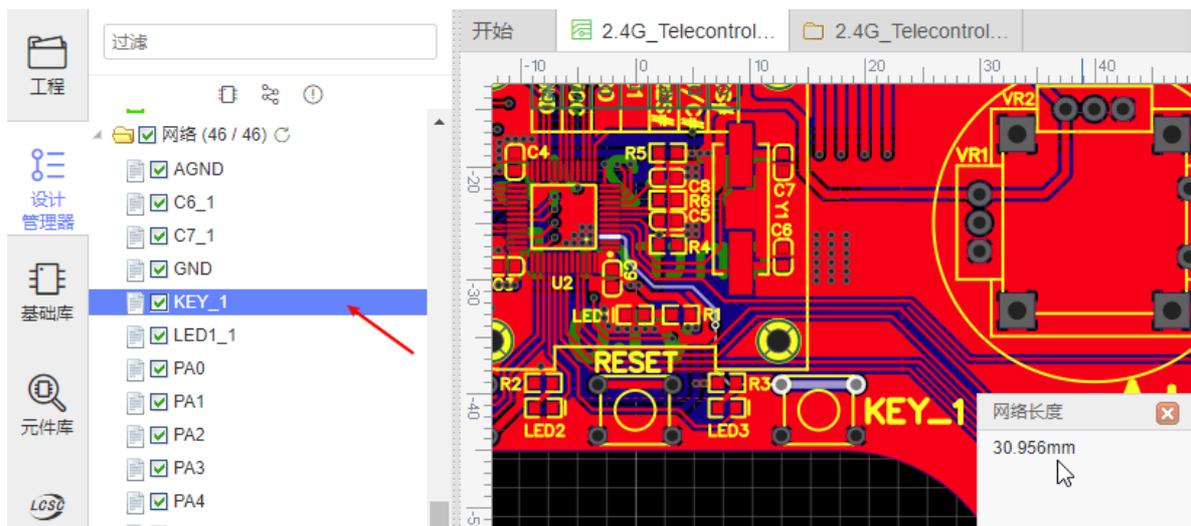
1、显示网络名称

编辑器支持在走线和焊盘上显示当前的网络名称，如果想关闭，可以通过：顶部菜单 - 视图 - 显示网络 关闭，也可以使用快捷键“Ctrl + Q”。



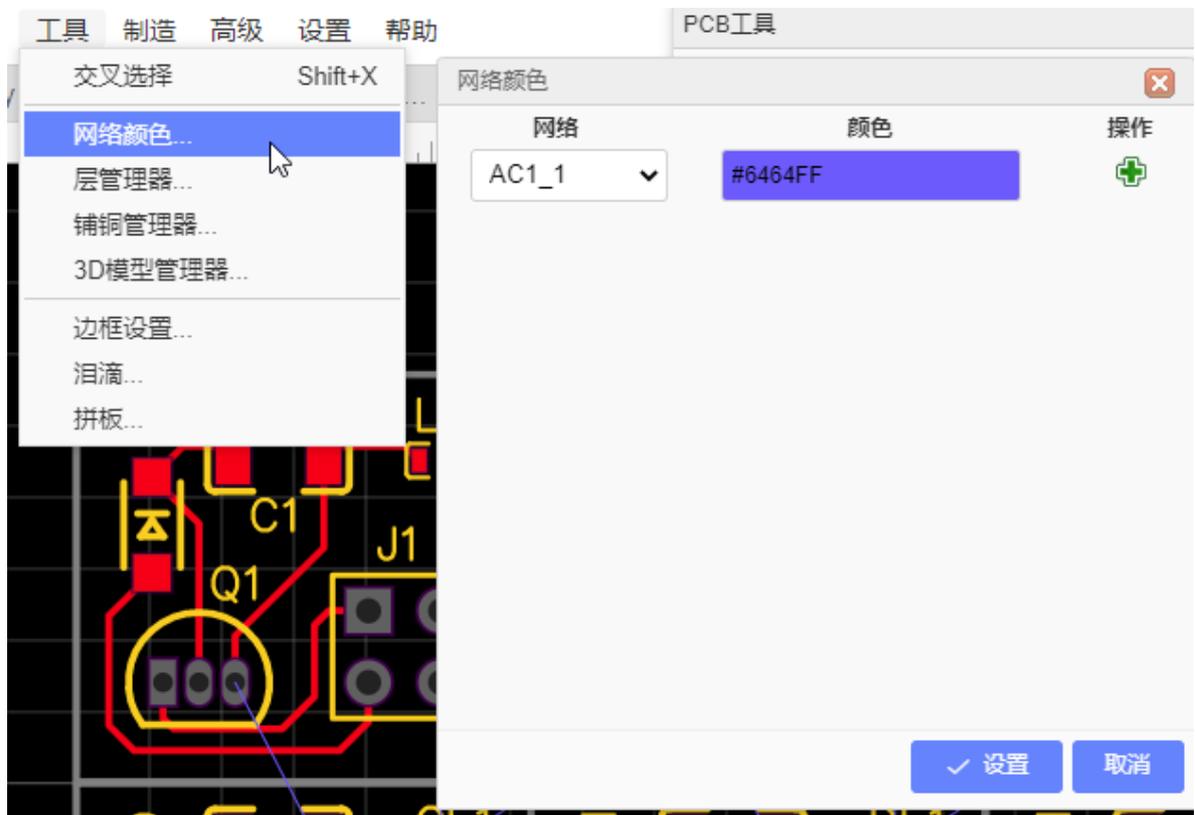
2、网络长度

当你选中一条走线，再使用快捷键“H”，或者在设计管理器点击一个网络，编辑器会高亮整条网络并弹窗提醒走线的总长度。



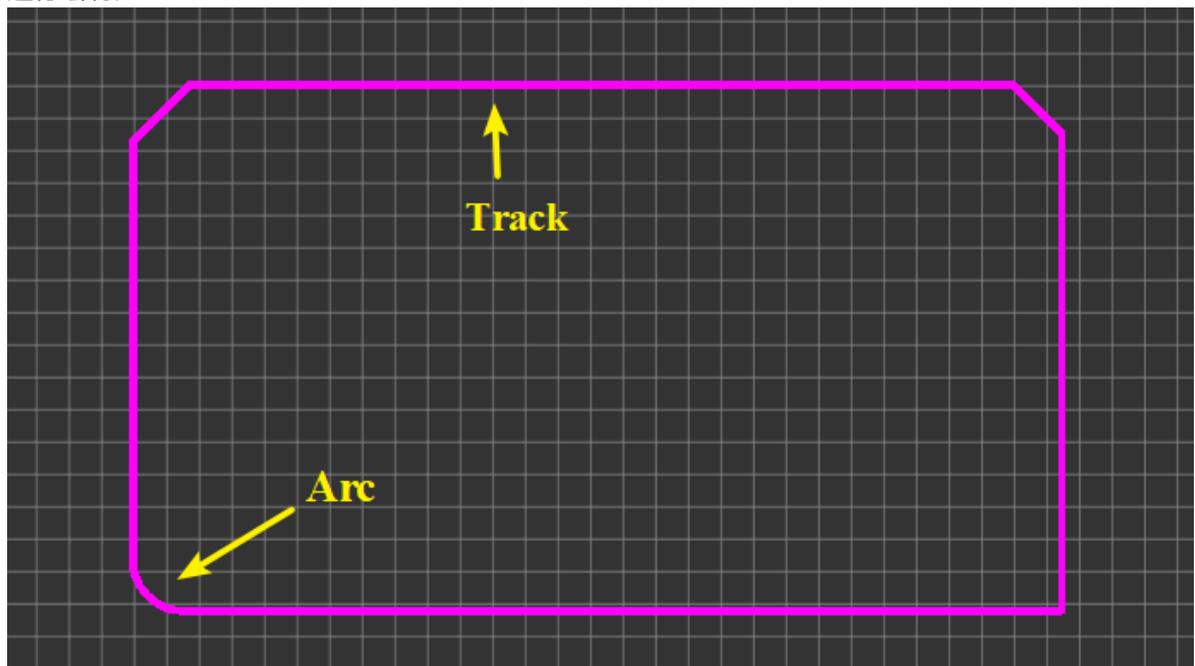
3、网络颜色

如果你想修改其中一条飞线或一个网络的颜色，你可以通过修改网络的颜色，在：顶部菜单 - 工具 - 网络颜色。设置颜色后需要点击右边的加号图标才算设置成功。这个颜色会影响到焊盘和导线，并且一直保持，不受PCB层颜色的影响。

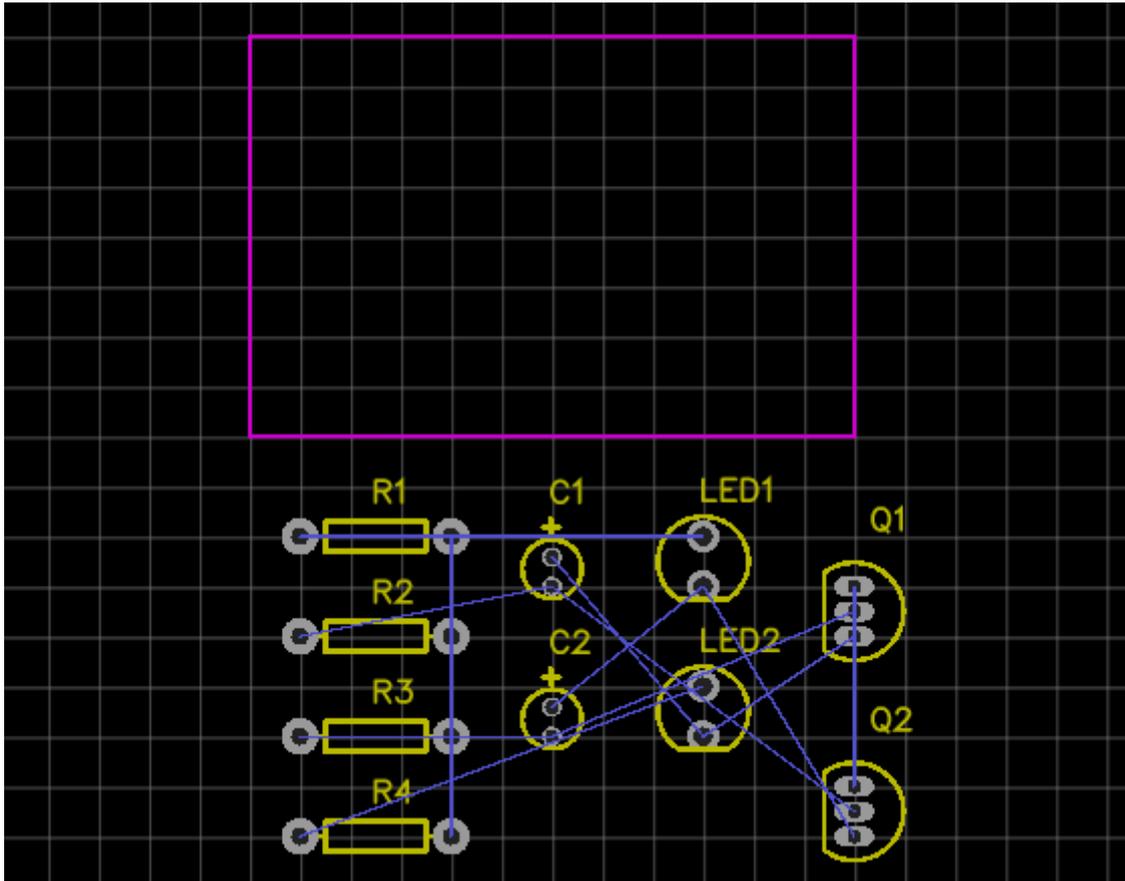


边框

在放置封装前，需要先绘制板子边框。边框需在“边框层”绘制。先切换至“边框层”，再使用导线或圆弧进行绘制。



当使用原理图转PCB时，嘉立创EDA会自动生成一个边框，该边框内面积大小是总封装面积的1.5倍。若你不喜欢该边框，你可以将它删除后自己重新绘制。工具栏上的“全局删除”功能可以进行快速删边框。



嘉立创EDA提供了一个边框设置向导，通过它可以很方便的设置边框。
可通过：**工具 > 边框设置** 或者在工具栏的“工具”图标下“边框设置”。



在对话框里你可以选择3中类型的边框：矩形，圆形，圆角矩形。并设置对应参数。

如果你需要创建一个复杂的边框，你可以通过导入一个DXF文件生成。DXF可以由CAD等软件进行绘制生成。

注意:

- 如果绘制的边框出现多条边框重叠，或者边框没有闭合，在导出gerber时会报“边框未闭合”错误。
- 嘉立创EDA支持使用边框挖孔，或者使用孔、或实心填充(类型：槽孔)来实现挖孔。
- 导线右键菜单可以转为槽孔。

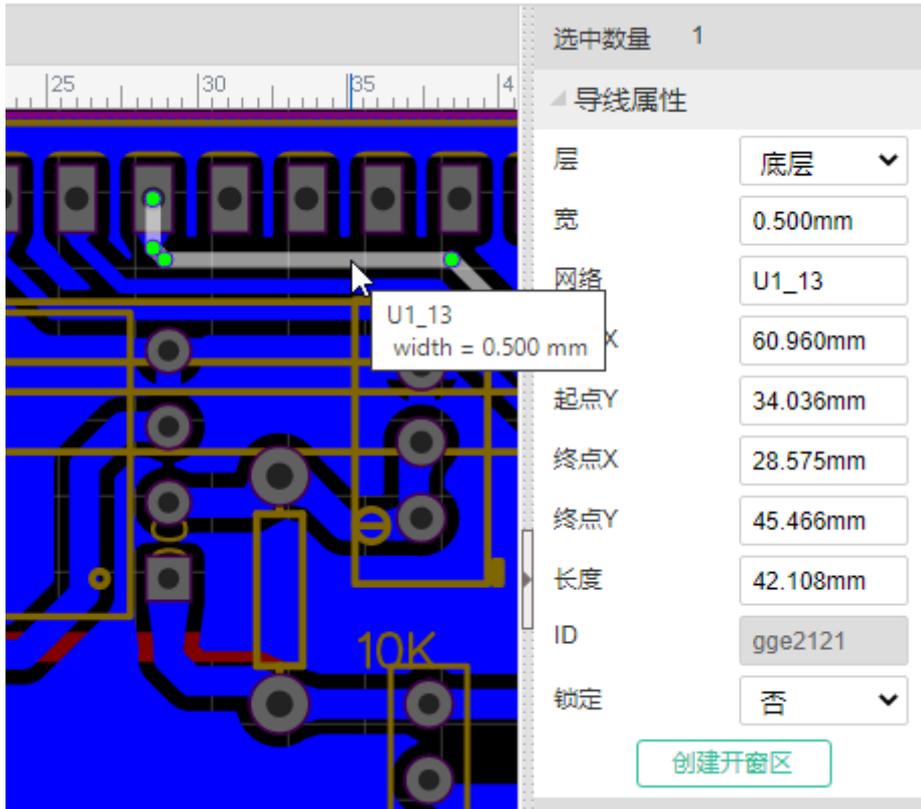
布线

导线

在原理图中使用快捷键“W”绘制导线，在 PCB 绘制导线的快捷键也是“W”。

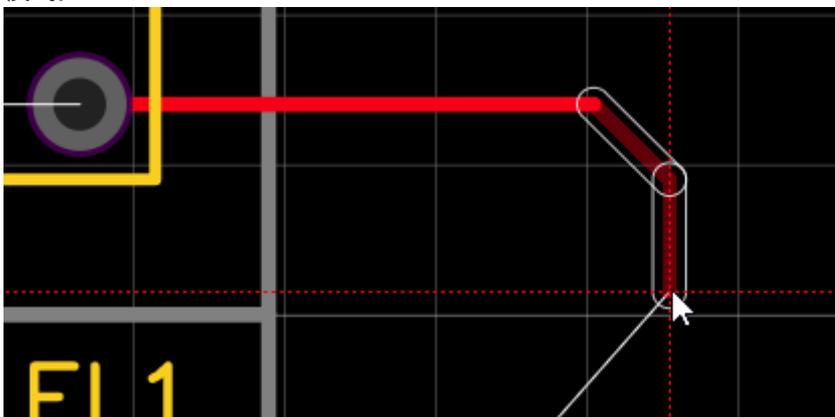
导线属性

- 当你选中一条导线时，可以在右边属性面板修改它对应的属性。

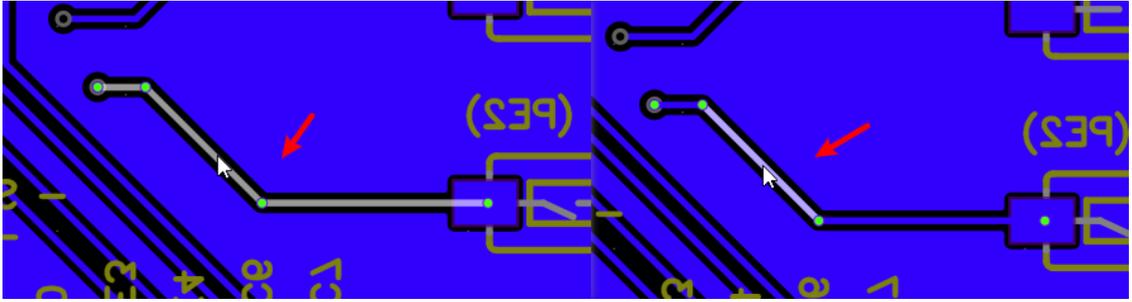


使用技巧

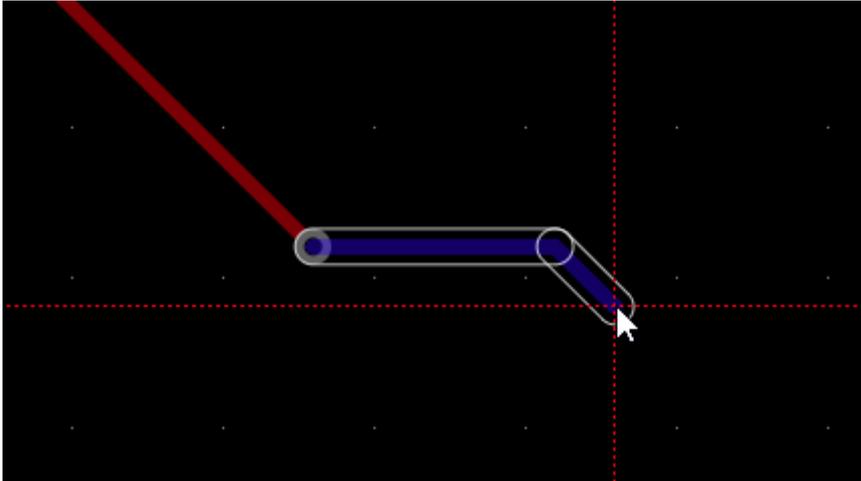
- 单击左键开始绘制导线；再次单击左键确认布线；单击右键取消布线；再次点击右键提出绘制导线模式。



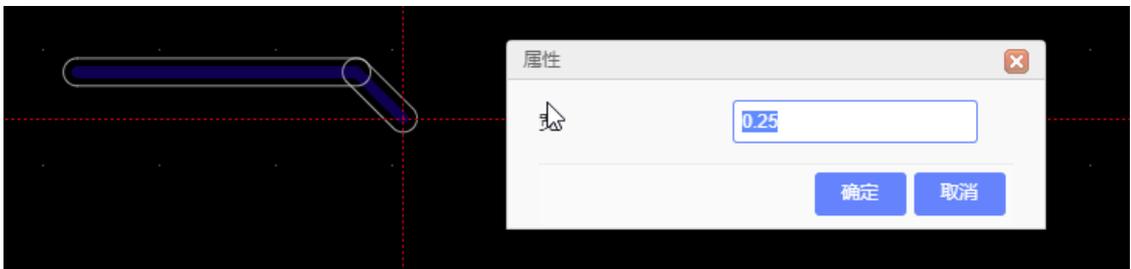
- 鼠标点击导线选择时，单击选择整条完整导线，再次单击则选中单一线段。



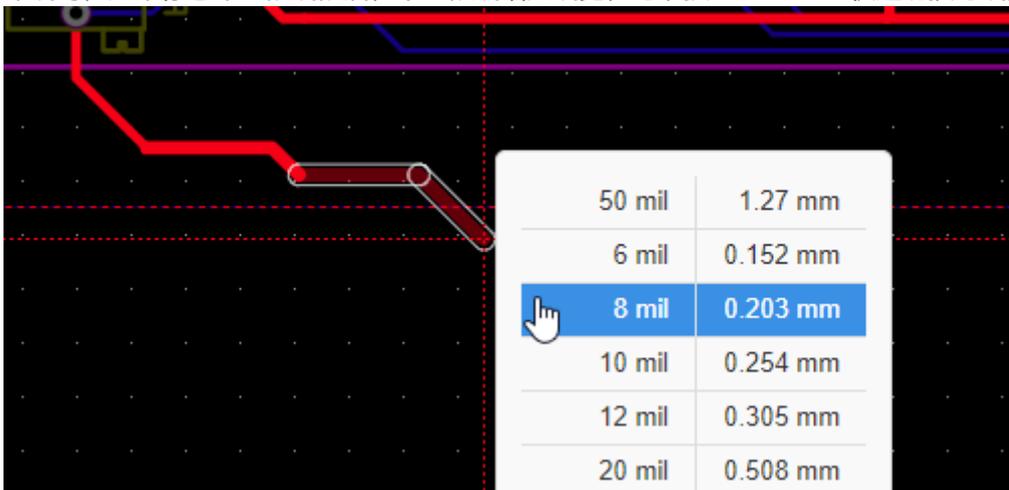
- 在顶层绘制导线的同时，使用切换至底层的快捷键“B”，可自动添加设置的过孔，走线并自动切换至底层继续布线。在底层则使用快捷键“T”切换至顶层继续布线。当你在一个层无法顺利布线连接的时候，需要考虑调整器件布局，添加过孔换层绘制。



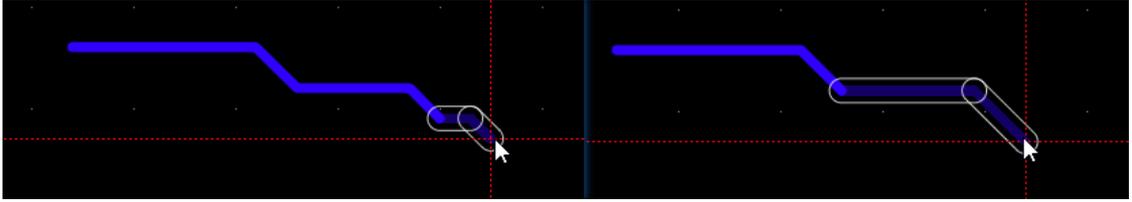
- 在布线过程中使用快捷键“+”，“-”可以很方便地调节当前的走线的大小。按 **TAB** 键修改线宽参数。



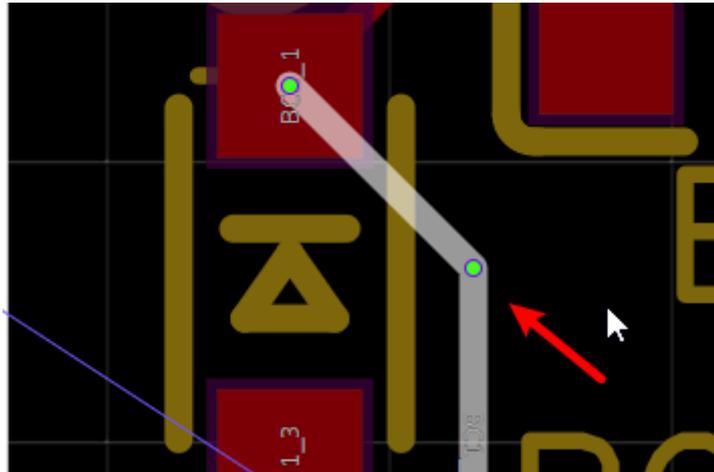
- 布线时，如果你想布一段线段后，下一段线增大线宽，可以按“SHIFT+W”快速切换导线宽度。



- 在布线过程中使用快捷键“Delete”和“Backspace”可以很方便地撤销当前走线线段。



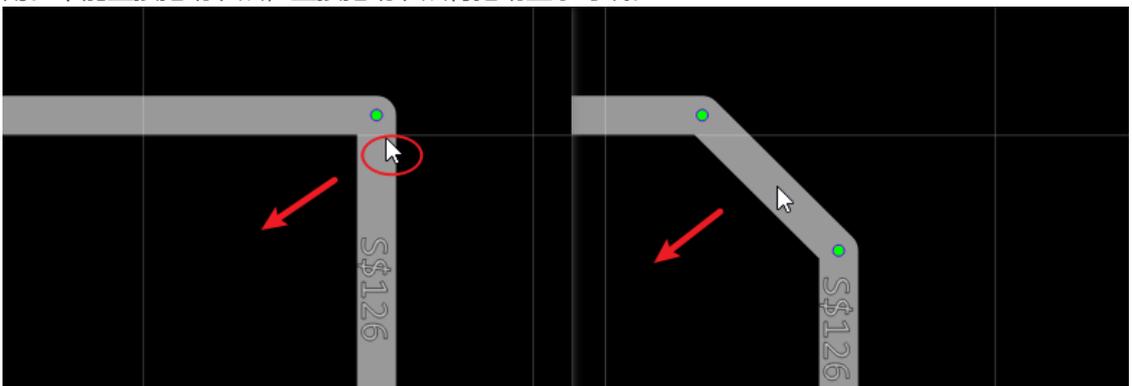
- 当点击一条导线，再次点击可以选中单线段，此时双击导线线段会增加一个节点，选择节点拖动可以调节走线角度。也可以通过拖动导线的末端端点将导线拉长或缩短。你也可以节点右键进行删除。



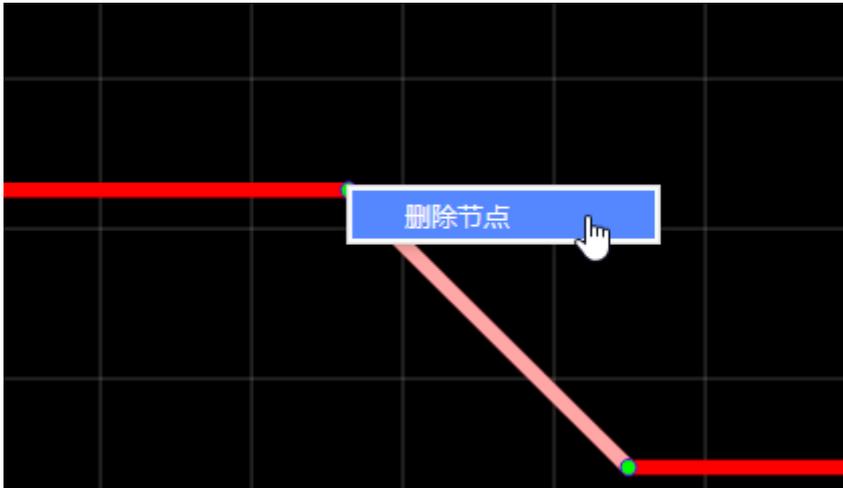
- 点击选择一个线段，可以拖动调整其位置。



- 当导线的拐角是直角，并且布线拐角是 45 的时候，可以拖动直角节点的旁边进行拖动导线成为斜角。不能直接拖动节点，直接拖动节点将拖动整条导线。



- 选中导线时，可以右键删除节点。



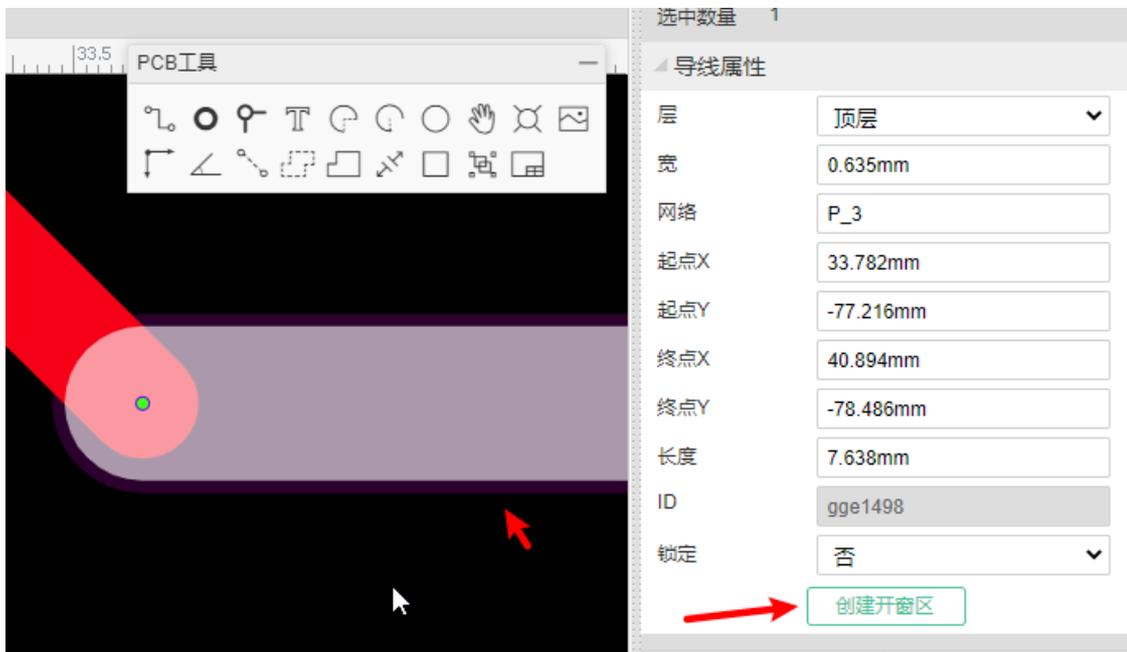
- 在布线过程中可以使用快捷键“L”进行布线角度切换，或者在画布右边属性面板的“布线拐角”，支持线条 45 度，线条 90 度，圆弧 45 度，圆弧 90 度，自由角度拐角布线。



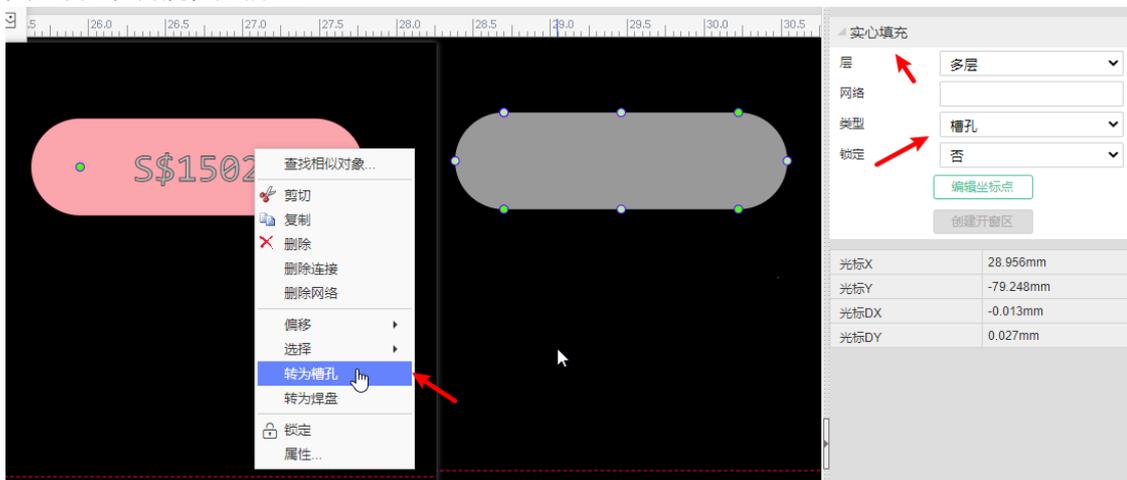
- 使用空格键改变当前布线的方向。



- 当鼠标点击线段时可对线段进行平移，如果你需要移动线段整体，可以按住 SHIFT 再鼠标移动导线。
- 在导线的属性面板，点击“创建阻焊区”可以进行一键创建阻焊(开窗)，阻焊区的宽度默认比导线宽度大4mil。



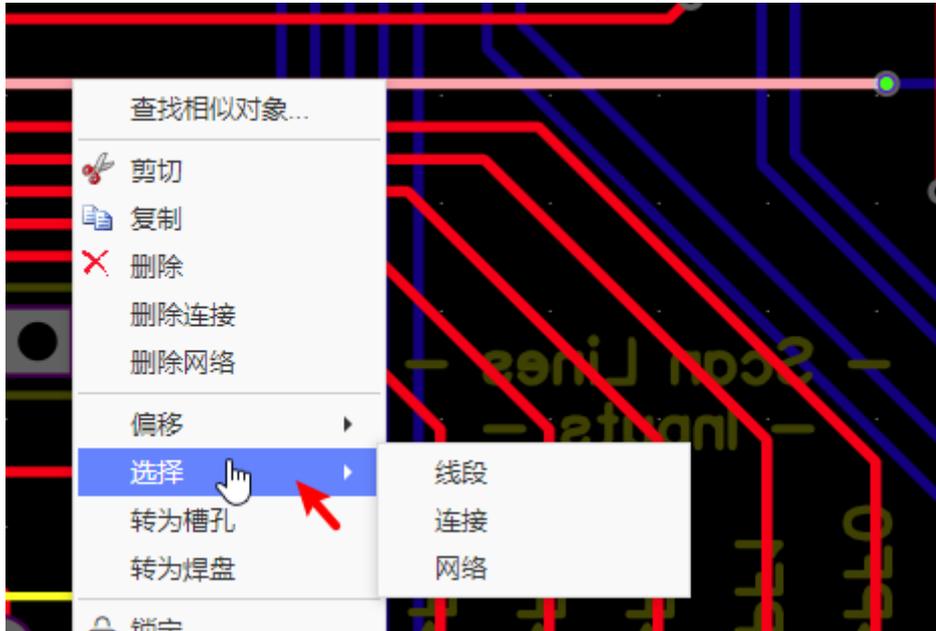
- 如果你想画槽孔，你可以绘制一条导线，然后右键它，选择“转为槽孔”菜单。它将转为相同行状的实心填充，并属性为槽孔。



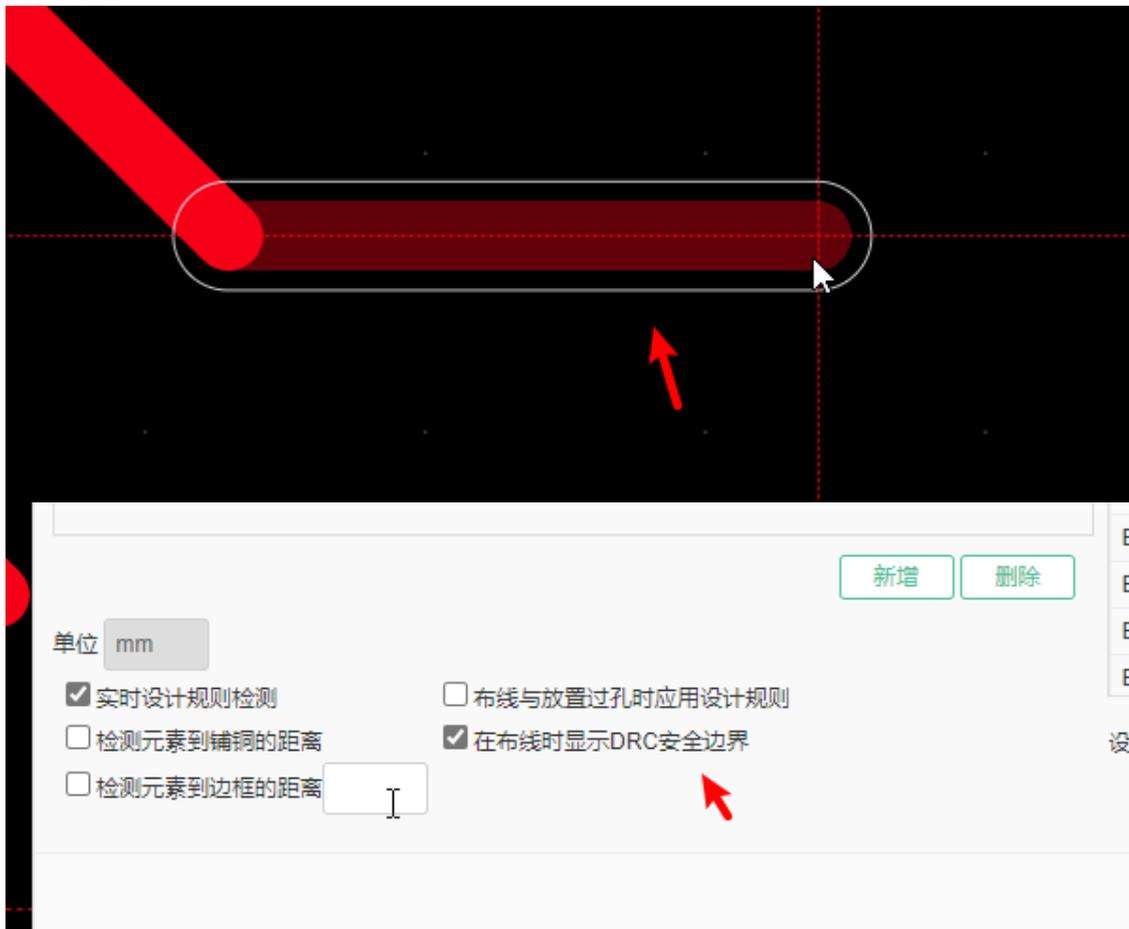
- 在“顶部菜单 - 工具 - 设计规则...” 里面开启布线跟随规则选项可以使导线的线宽跟随设计规则。



- 右键导线可以选择导线连接和整个网络的导线，方便同时修改导线属性，比如批量修改线宽。



- 布线时，有一圈DRC间距外圈，根据DRC的间距大小变化，可以在“顶部菜单 - 设计 - 设计规则...”里面关闭。



- 在“顶部菜单 - 设置 - PCB设置”里可以设置是否在连接导线到焊盘后自动结束布线，还是连续当前网络布线。



- 在画布右边的属性面板可以设置是否移除导线回路，这个只对信号层导线有效。



- 在绘制封装的丝印层导线时，可以在画布右边属性设置是否自动裁剪丝印，避免丝印堆叠到焊盘上面。



- 布线冲突使用“环绕”可以帮助你快速完成布线。



注意：

- 当布线时线宽会优先取被连接的导线的线宽，再取设计规则里面线宽，然后才是右侧属性面板设置的线宽。

导线长度

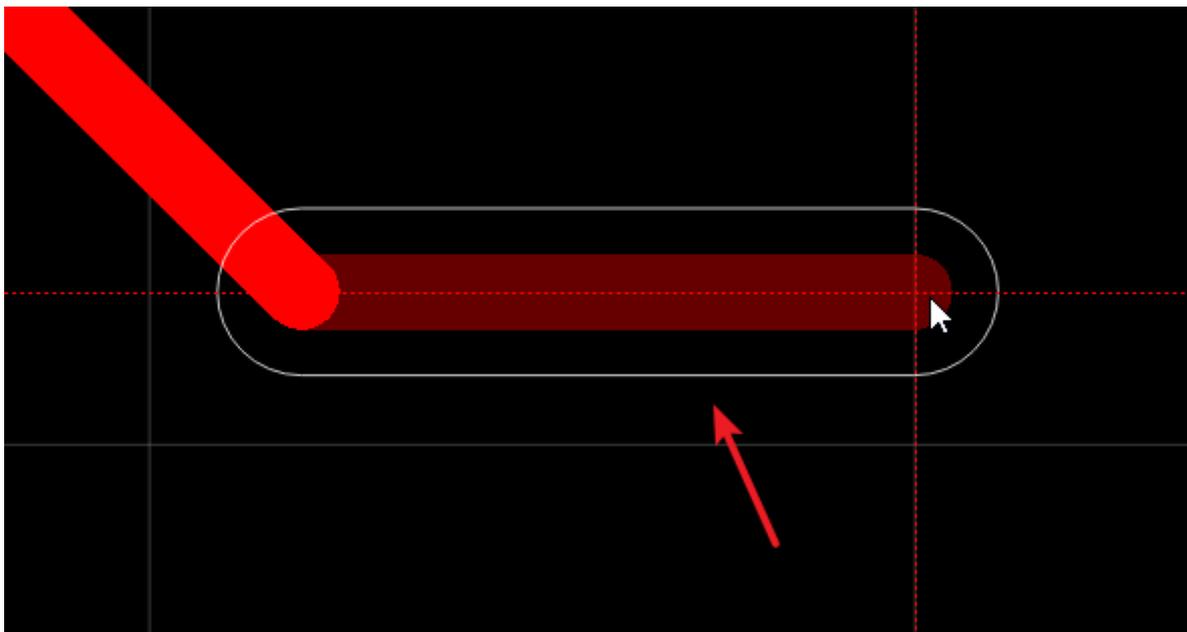
- 点击一段导线后可以在右边属性面板查看其当前长度。
- 在左边设计管理器点击一个网络，右下角会弹出一个消息框，可以看到这个网络总长度。
- 点中一条导线，然后按快捷键“H”，可以持续高亮整条导线与网络。

删除线段

- 在走线过程中，想撤销上一段走线可以通过删除键“Delete”或“Backspace”撤销。
- 当按住“Shift”键并双击左键可以删除导线的线段。
- 可以右键选择删除导线节点。
- 点击线段，右键删除线段，可以将两个节点间的线段删除。也可以直接按“Delete”键删除。

DRC安全线圈

当你在信号层绘制导线时，未确定线周围会显示白色的DRC安全边界线圈。该安全边界的间距是根据DRC规则设置的间距来显示。



布线冲突

当PCB是由原理图转过来的，布线冲突的阻挡会自动打开。

在PCB的右边属性面板 - 其他属性里，你可以看到一个布线冲突的选项。



- 忽略：选择忽略后，不同网络的导线之间可以相互相连。会出现DRC错误标识，当强行连接不同网络的图元时会弹窗提示是否合并网络。
- 阻挡：在布线过程中，不同网络之间将不能进行导线相连。
- 环绕：布线时，导线会环绕不同网络的元素。若PCB比较复杂时，环绕功能会比较卡顿。
- 推挤：暂未支持。

差分线绘制

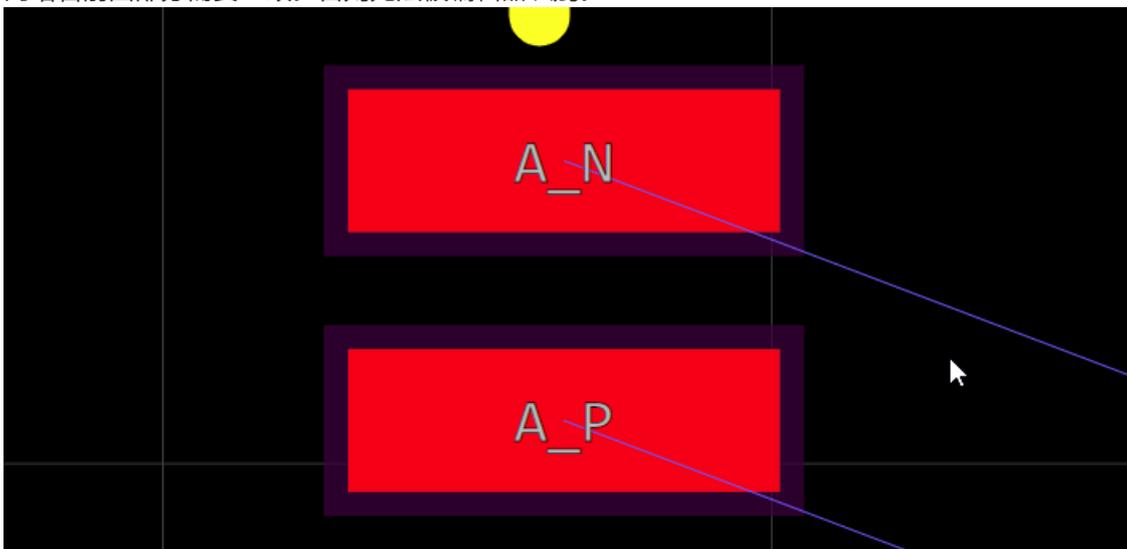
嘉立创EDA支持简单的差分对布线(差分线绘制)。目前是初版，很多功能暂未完善。

入口：**顶部菜单 - 布线 - 差分对布线**



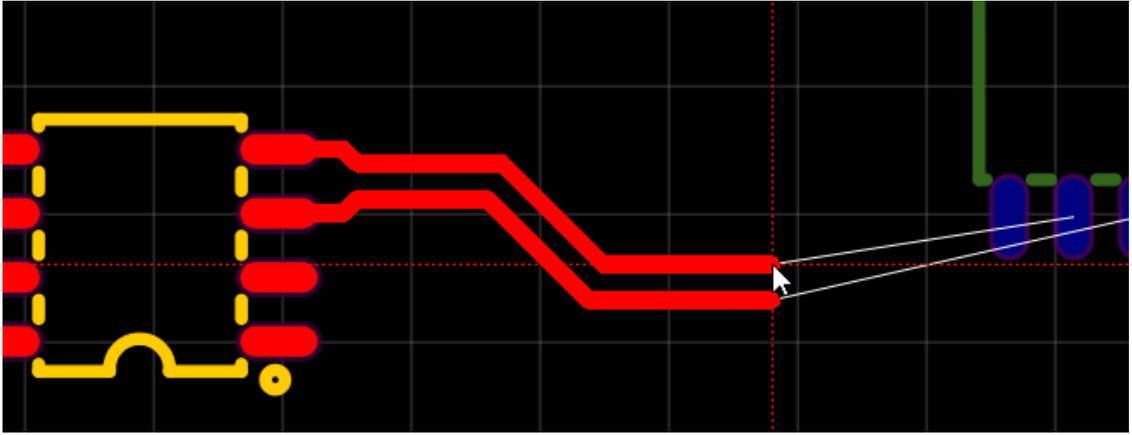
使用方法：

- 1、设置差分对的网络。需要进行布线的差分对网络名必须是：`XXX_N`、`XXX_P` 或 `XXX+`、`XXX-`，即网络名前面部分需要一致。否则无法被编辑器识别。



- 2、设置差分对的规则：顶部菜单 - 设计规则。通过新建规则并为差分对网络指定规则后，绘制差分对时会根据DRC设置的规则进行调整参数。
- 3、点击菜单：“**顶部菜单 - 布线 - 差分对布线**”后进入布线模式。

- 4、点击差分对的一个焊盘，然后开始布线。



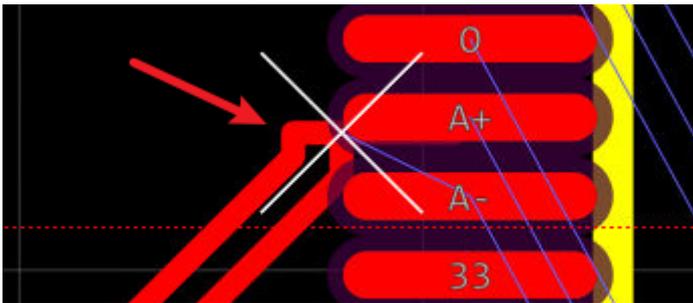
- 5、快捷键换层可以自动添加过孔。
- 6、点击另一对焊盘结束绘制。

注意：

- 仅支持45°走线，暂不支持快捷键L和空格键调整方向。
- 暂不支持焊盘的扇出绘制。
- 暂不支持 DRC 阻挡。

已知问题：

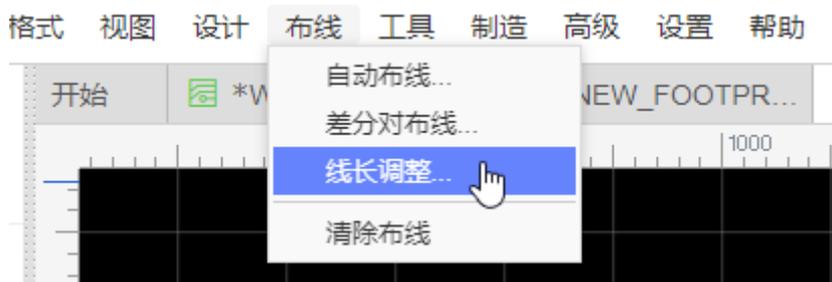
- 当绘制差分线时，在最后的焊盘的很远的地方结束上次的布线，会导致后面连接到焊盘的时候产生多余的线段，请在离最后的焊盘比较远的地方结束上次布线。



等长线绘制

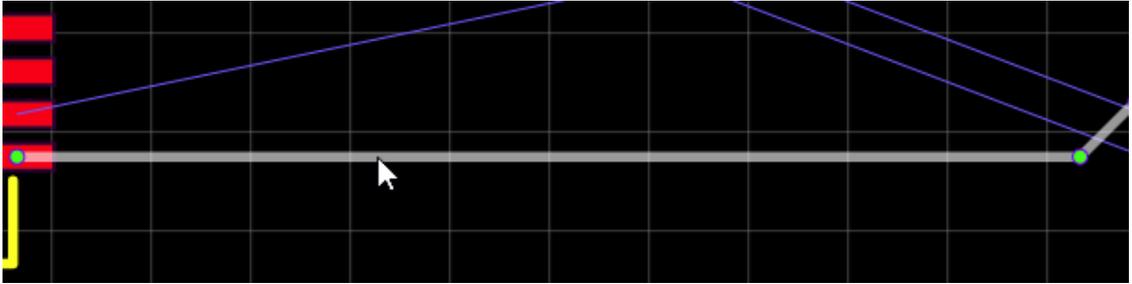
嘉立创EDA支持线长调整，使用非常简单。

在：顶部菜单 - 布线 - 线长调整。



使用方法：

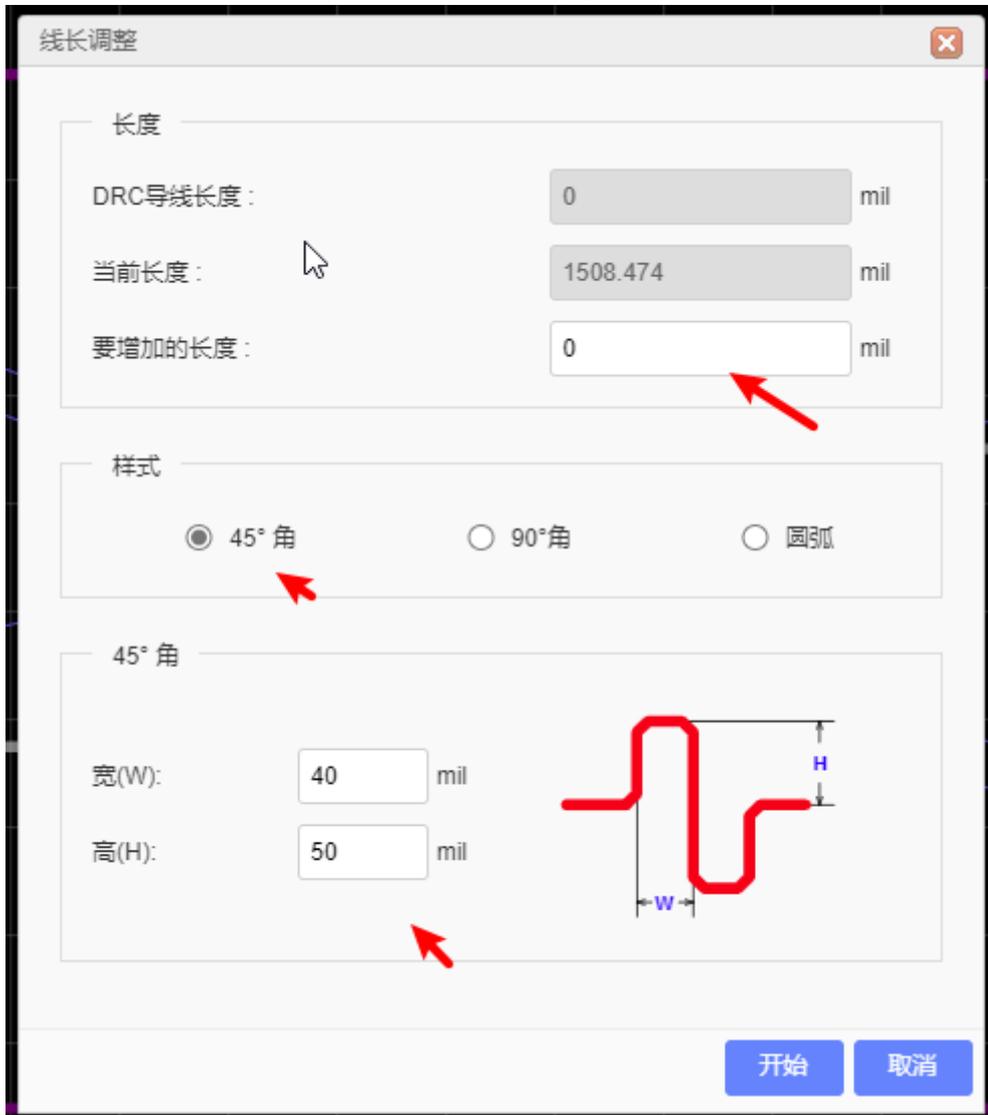
- 1、选中你需要进行线长调整的导线。



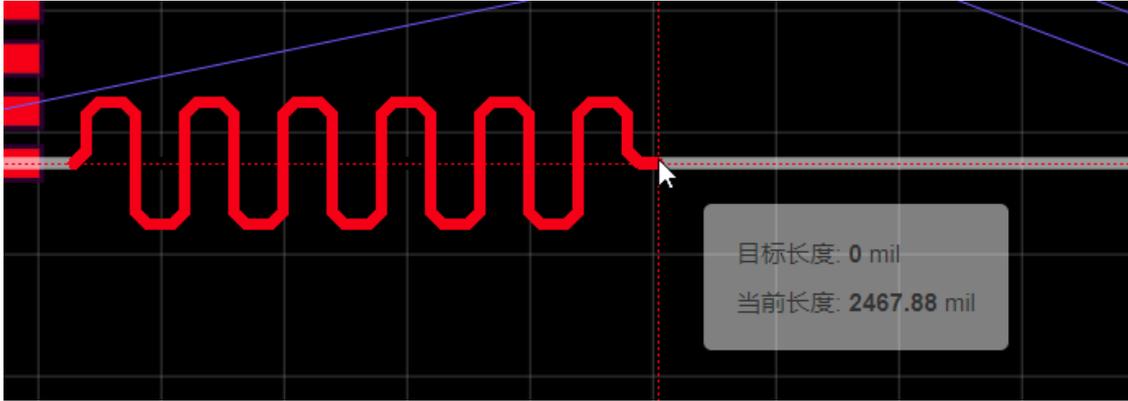
- 2、点击：顶部菜单 - 布线 - 线长调整。



- 3、设置对应的参数：增加的长度，类型，幅度的宽高等。



- 4、点击“开始”后，进入调整模式，左击选中的导线的调整起始位置，移动鼠标开始等长线调整。



- 5、当线长接近你设置的长度，会自动停止调整。然后点击左键完成绘制，如果点击右键取消全部的波形退出调整模式。

自动布线

云端自动布线

自动布线并不好！建议手动布线！可以使用“布线环绕”功能代替，在画布右边属性面板设置布线拐角即可。

当你设计一个简单的PCB板子时，或者设计要求不高希望自动布线时，那么你可以使用自动布线功能。

在进行自动布线前，你需要：

- 设置PCB边框，
- 并确保边框已经完整闭合，
- 并确保全部封装均在边框内，
- 焊盘的编号和网络没有特殊字符。
- 其他请查看后文的布线失败提示。

点击“顶部菜单 - 布线 - 自动布线”，打开自动布线设置界面。 设置里面的单位跟随当前画布的单位。

自动布线设置

通用选项

实时显示

布线服务器 本地 (检测中...) [安装本地自动布线](#)

云端

布线规则 [设计规则](#)

布线层

所有层

配置	层
<input checked="" type="checkbox"/>	顶层
<input checked="" type="checkbox"/>	底层

忽略网络

忽略已布线的网络

忽略网络	操作
<input type="text"/>	<input type="button" value="v"/>

运行 取消 ?

设置选项：

通用选项

- **实时显示**：是否实时显示布线状态。
- **布线服务器**：
 - **云端**：使用嘉立创EDA的服务器进行自动布线。
 - **本地**：使用本地布自动线服务器，当你打开配置对话框时，编辑器会自动检测本地布线服务器是否可用，使用方法请看下面的说明。请安装本地自动布线后使用。
- **布线规则**：自动布线可以使用相同的设计规则，可以定义不同的设计规则。
布线层：选择你要布线的层数。你的PCB开启了内层后此处的内层才可以勾选。
忽略网络：选择无须自动布线的网络。若你的铺铜连接到GND，你可以选择忽略GND网络。如果需要保留已经布好的线段，请勾选 **忽略已布线网络**。

设置完毕后，点击 **运行** 即可进行自动布线。

完成后会弹窗提示。



连接表示导线连接的数量。

本地自动布线

嘉立创EDA建议用户使用本地布线服务器，当使用云端服务器时，如果使用人数较多，自动布线将会产生排队、布线失败等现象。

自动布线并不好！建议手动布线！ 可以使用“布线环绕”功能代替，在画布右边属性面板设置布线拐角即可。

步骤：

0、下载

支持的操作系统：

- Win7 64位及以上版本
- Ubuntu 17.04 64位及其它64位Linux系统，Linux建议使用 [Deepin](#)
- macOS 64位

下载地址(官网)：

[easyeda-router-windows-x64-v0.8.11.zip](#)

[easyeda-router-linux-x64-v0.8.11.zip](#)

[easyeda-router-mac-x64-v0.8.11.zip](#)

1、下载后解压至非系统盘文件夹，如 D 盘

不要双击打开压缩包后就直接运行里面的程序，必须解压整个压缩包到本地文件夹后，再打开文件夹根据下面的说明运行。

2、先配置浏览器：

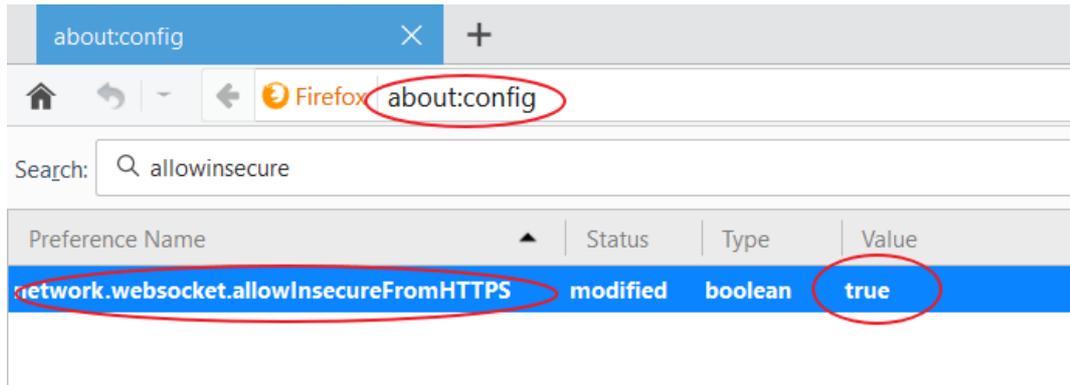
- **注意：** 请务必使用最新版的谷歌浏览器或火狐浏览器!!! 低版本浏览器内核会无法识别本地自动布线服务!!!

• 1) Chrome谷歌浏览器和嘉立创EDA客户端

- Chrome谷歌浏览器和嘉立创EDA客户端无需配置，
- 如果在谷歌浏览器你的本地自动布线无法使用，请检查是否已经使用了最新版的谷歌浏览器，需v70及以上。

• 2) Firefox火狐浏览器

- 在地址栏输入 `about:config` 并按回车



- 搜索并双击如下参数（置为"true"）：

`network.websocket.allowInsecureFromHTTPS`

`security.mixed_content.block_active_content`

- 关闭火狐并重新打开。

3、打开解压的文件夹，运行本地布线(双击运行对应文件即可，本地自动布线是免安装程序，运行后不要关闭窗口)：

- 在Windows系统下双击运行 `win64.bat`。如果资源管理器没有打开文件后缀名显示，只会看到 `win64`。
- 在Linux系统下控制台执行 `sh lin64.sh`。先打开终端控制台Terminal，然后使用 `cd` 命令切换控制台里面的绝对路径到lin64.sh的文件夹下，然后输入 `sh lin64.sh` 并回车。
- 在MacOS系统下控制台执行 `sh mac64.sh`。先打开终端控制台Terminal，然后使用 `cd` 命令切换控制台里面的绝对路径到mac64.sh的文件夹下，然后输入 `sh mac64.sh` 并回车。

4、打开编辑器，打开PCB，在点击“顶部菜单 - 布线 - 自动布线”菜单

编辑器会自动检测本地自动布线服务器，成功后点击“运行”即可进行本地自动布线。

提示：

自动布线并不好！建议手动布线！ 可以使用“布线环绕”功能代替，在画布右边属性面板设置布线拐角即可。

如果自动布线失败，你可以尝试以下操作：

- 优先使用本地布线服务器。
- 确保PCB的网络名没有特殊字符，比如 ``{ } ^ ; ~ \ / [] =` 等等，中横线 `-` 和下滑线 `_` 是支持的字符。
- 确保边框已经完全闭合，没有边框重叠的现象。
- 确保没有DRC间距错误（短路现象），比如两个不同网络的焊盘重叠，或者封装内相同位置有不同网络的焊盘。

- 确保没有元件在边框外部。
- 确保画布网格为10mil，把全部元件对齐网格，通过：顶部菜单 - 格式 - 对齐网格。
- 在合适的位置添加过孔，并且把过孔设置为所需要的网络。
- 忽略GND网络，并铺铜和设置铺铜网络为GND。
- 使用小的线宽和间隙，但要确保线宽大于6mil，自动布线不要设置有3位小数的规则。
- 先将重要的网络进行手动布线。
- 添加更多的层。更多的层会使板子价格更高。
- 重新布局，让它们之间的空间加大。
- 排除有重叠的焊盘，实心填充等。
- 如果只剩下几个网络无法完成，属于正常现象，剩余网络请进行手动布线。
- 其他的将详细故障信息告知我们，并将你的PCB文件导出嘉立创EDA格式文件发给我们 3001956291@qq.com。

建议使用手动布线，自动布线没有手动布线的工整和美观；手动布线可以锻炼布线能力提升经验；使用本地自动布线可以减轻嘉立创EDA服务器负担。

注意：

- 自动布线发现有些情况下会短路，请布线完后检查网络和DRC。

建议使用手动布线：

- 自动布线没有手动布线的工整和美观；
- 手动布线可以锻炼布线能力提升经验；
- 使用本地自动布线可以减轻嘉立创EDA服务器负担。

使用第三方自动布线工具

嘉立创EDA支持导出自动布线文件 dsn 和导入自动布线会话文件 ses，你可以通过导出自动布线文件使用第三方自动布线工具进行布线，再导入 ses 文件即可。

操作步骤：

1、打开PCB导出自动布线文件 dsn，建议把不需要的过孔和导线先移除。

通过：顶部菜单 - 布线 - 导出自动布线文件(DSN)，或顶部菜单 - 文件 - 导出 - 自动布线文件(DSN)



2、打开第三方自动布线工具，打开自动布线文件 DSN

第三方自动布线工具有：Freerouting, ELECTRA, TopoR等

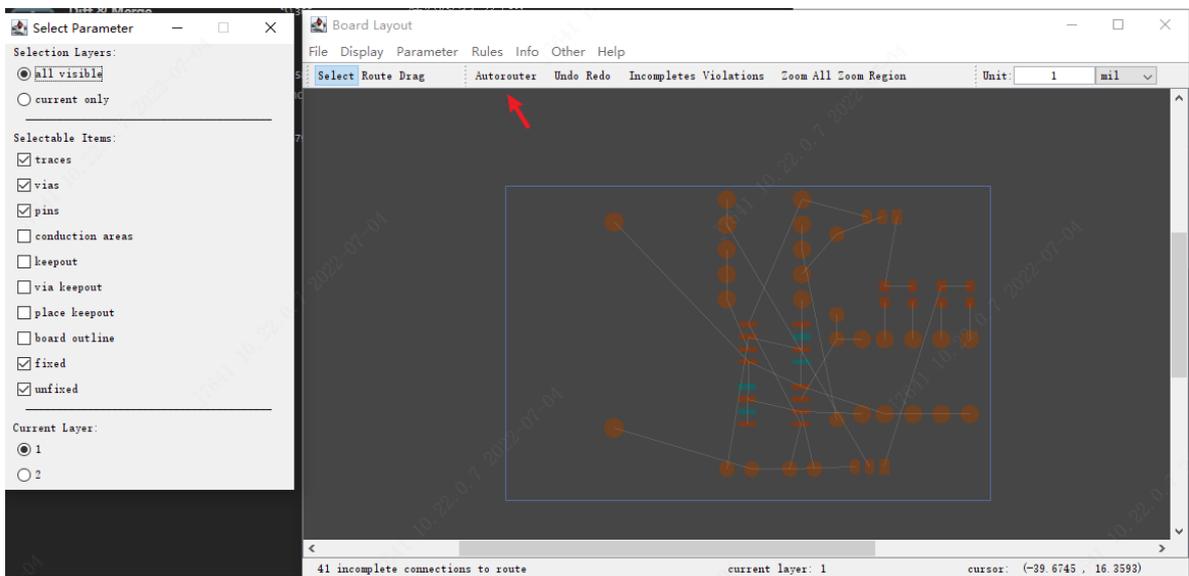
Freerouting下载地址：<https://freerouting.mihosoft.eu/>

以Freerouting举例：

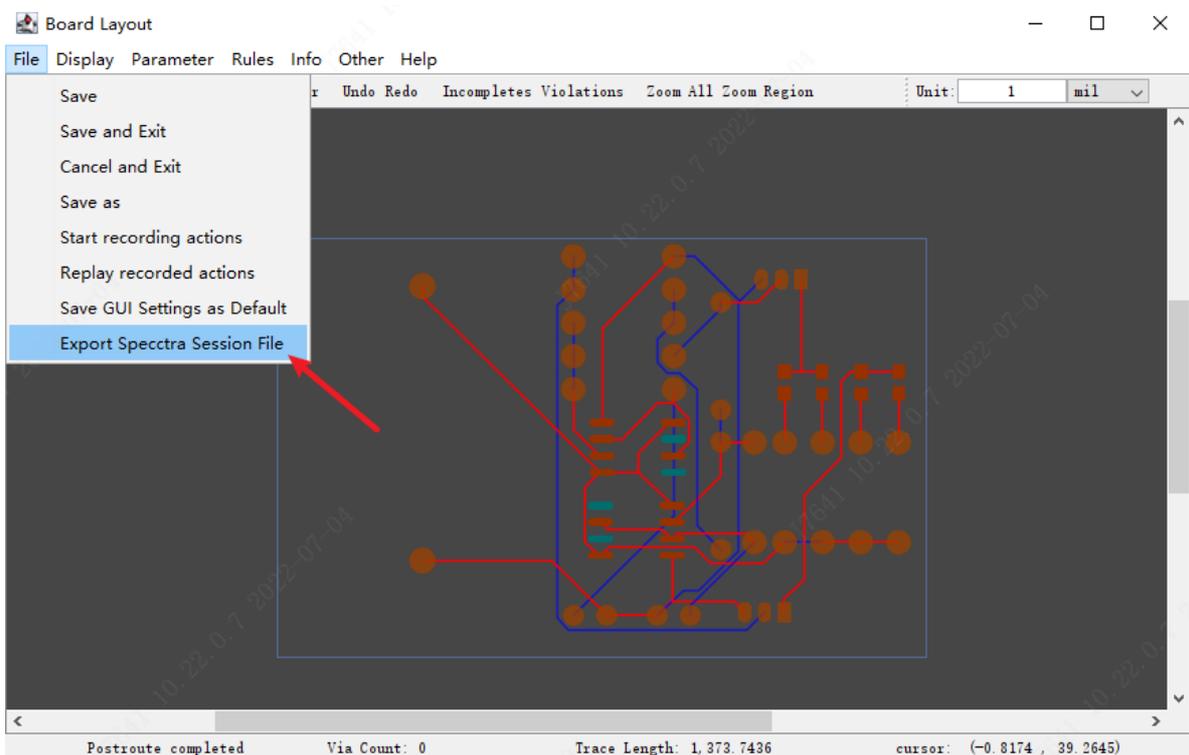
1) 打开Freerouting，打开自动布线文件



2) 设置自动布线规则，如果不需要设置可以直接点布线

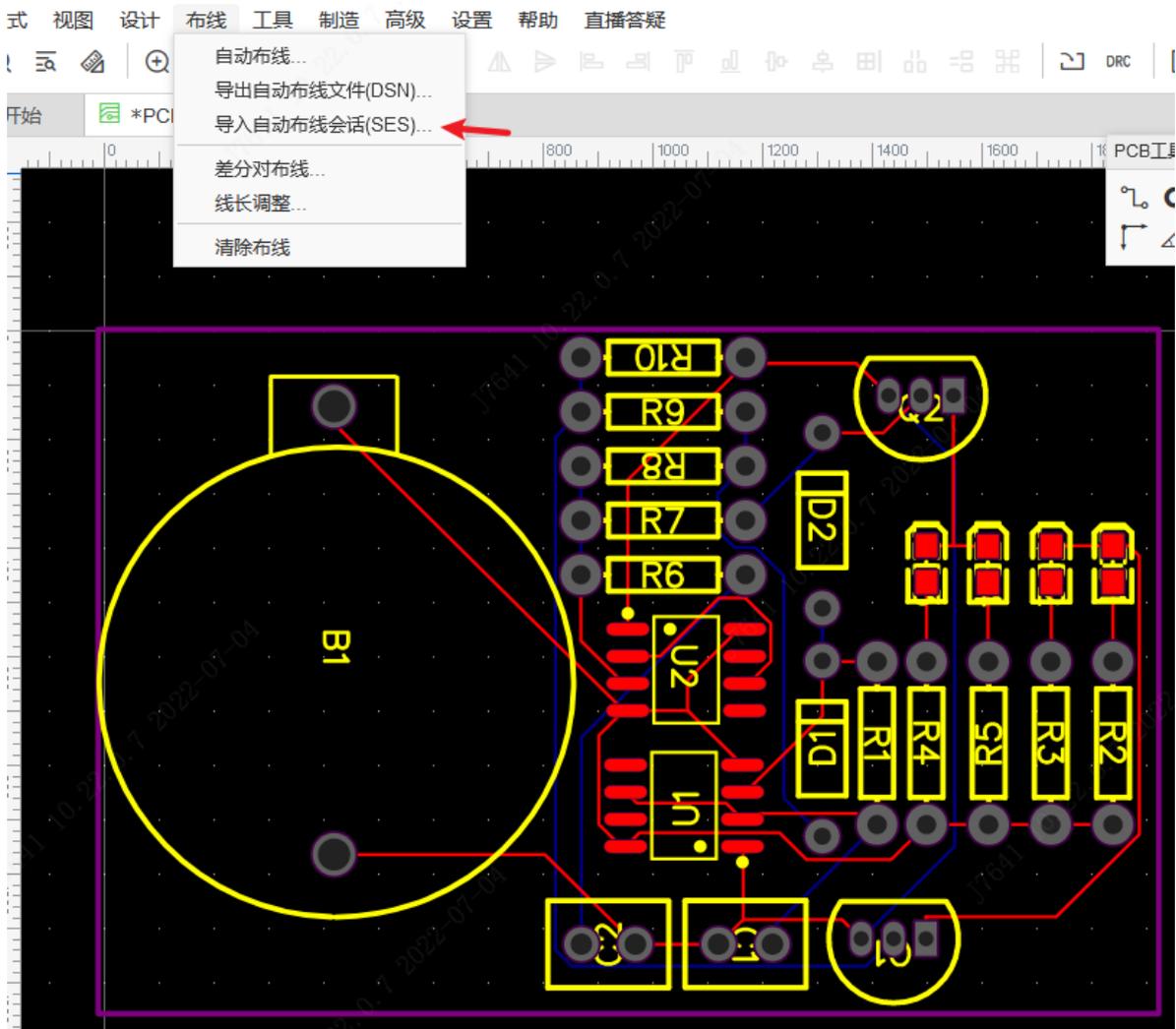


3) 完成后导出自动布线会话文件 ses，会保存在 dsn 相同的目录下



3、把自动布线会话文件导入PCB中，完成导入

入口：顶部菜单 - 布线 - 导入自动布线会话文件(SES)，或顶部菜单 - 文件 - 导入 - 自动布线会话文件(SES)。



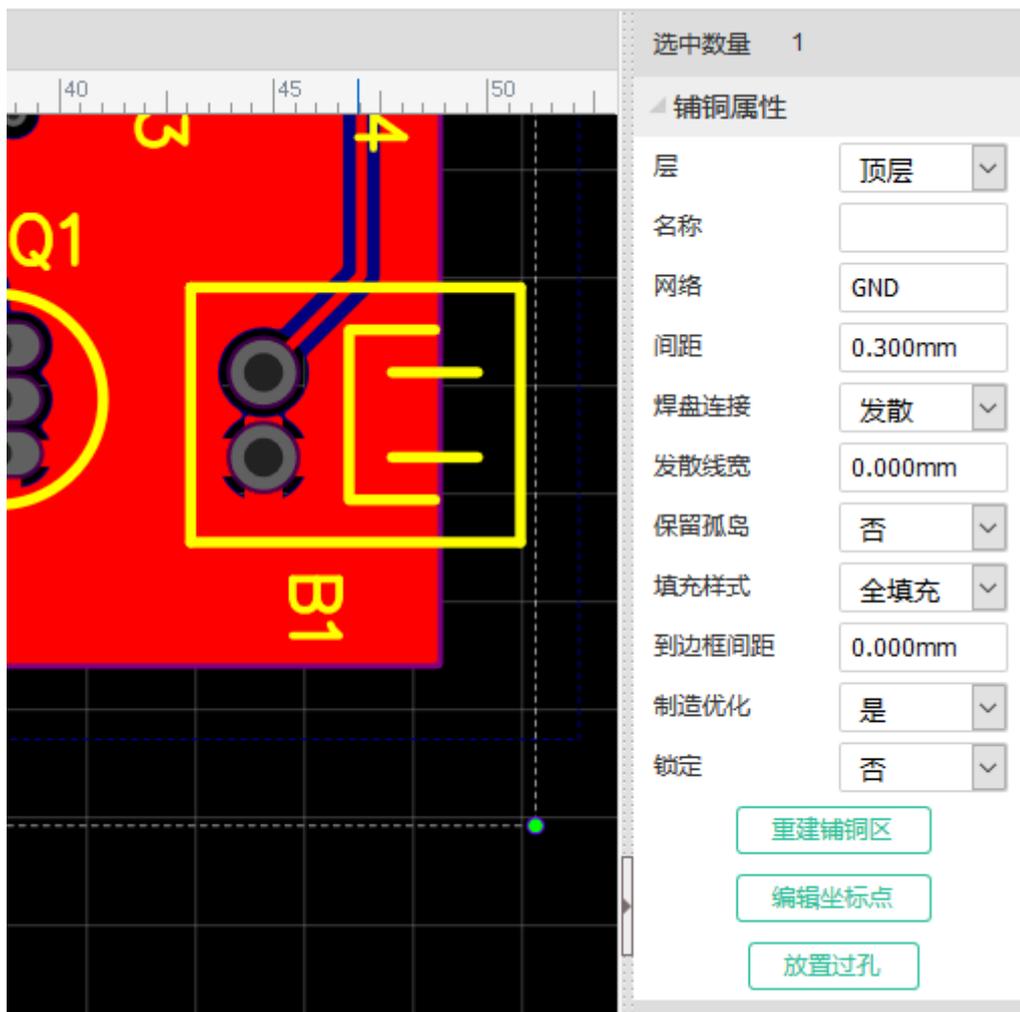
铺铜

铺铜

如果你想保留整块铜箔区域使其接地或者接电源，你可以使用“铺铜”功能。

点击后可以围绕你想铺铜的区域绘制铺铜区，可以直接在板子边框外部绘制，不需要沿着板子边框，嘉立创EDA会自动裁剪多余的铜箔。

顶层和底层需要分别绘制。一块板子可以绘制多个铺铜区，并分别设置。



点击铺铜图标或者使用快捷键 **E** 进行绘制铺铜，在绘制过程中支持按快捷键 **L** 和 **空格键** 切换布线拐角和方向，类似绘制导线时的操作。

铺铜属性

选中铺铜线框，可以在右边修改其属性。

层：可以修改铺铜区的层：顶层. 底层. 内层1. 内层2. 内层3. 内层4。当内层的类型是内电层时，无法绘制铺铜。

名称：可以为铺铜设置不同的名称。

网络：设置铜箔所连接的网络。当网络和画布上的元素网络相同时，铺铜才可以和元素连接，并会显示出来，否则铺铜会被认为是孤岛被移除。

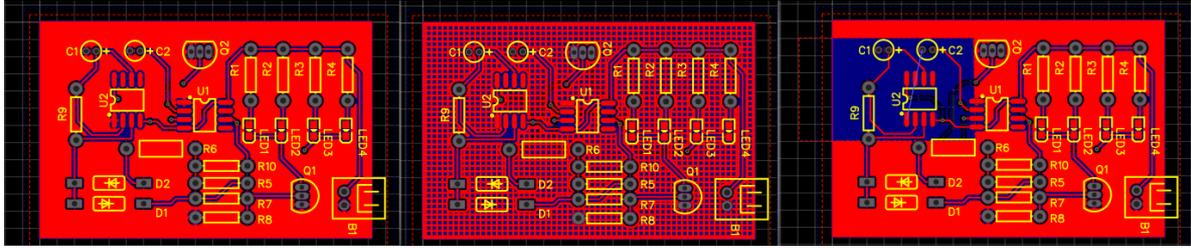
间距：铺铜区距离其他同层电气元素的间隙。当设计规则有间距设置时，铺铜间距会与设计规则比较，取大的值产生间隙。

焊盘连接：焊盘与铺铜的连接样式。直连：直接与焊盘连接；发散：与焊盘产生十字连接。

发散线宽：当焊盘连接是发散时，此处可以设置十字的宽度。当设置线宽为 0 时，十字的宽度为系统自动生成的宽度；该线宽不能小于10mil，设置小于10mil时将只生成10mil线宽。

保留孤岛：是或否。即是否去除死铜。若铺铜没有设置网络，那么整块铺铜都将被视为死铜而去除，若想保留铺铜，可选择保留孤岛或为铺铜设置一个PCB已有的网络，并重建铺铜，快捷键SHIFT+B。

填充样式：全填充：正常的铺铜填充样式；无填充：该区域将没有铜，在铺铜管理器把它优先级提前时，可以在铺铜区域创建一个无铺铜的区域，类似实心填充的无填充类型；网格：网格状铺铜，当设置为网格时，还可以设置网格线宽和网格间距。



网格线宽：仅在填充样式为网格时出现。

网格间距：仅在填充样式为网格时出现。

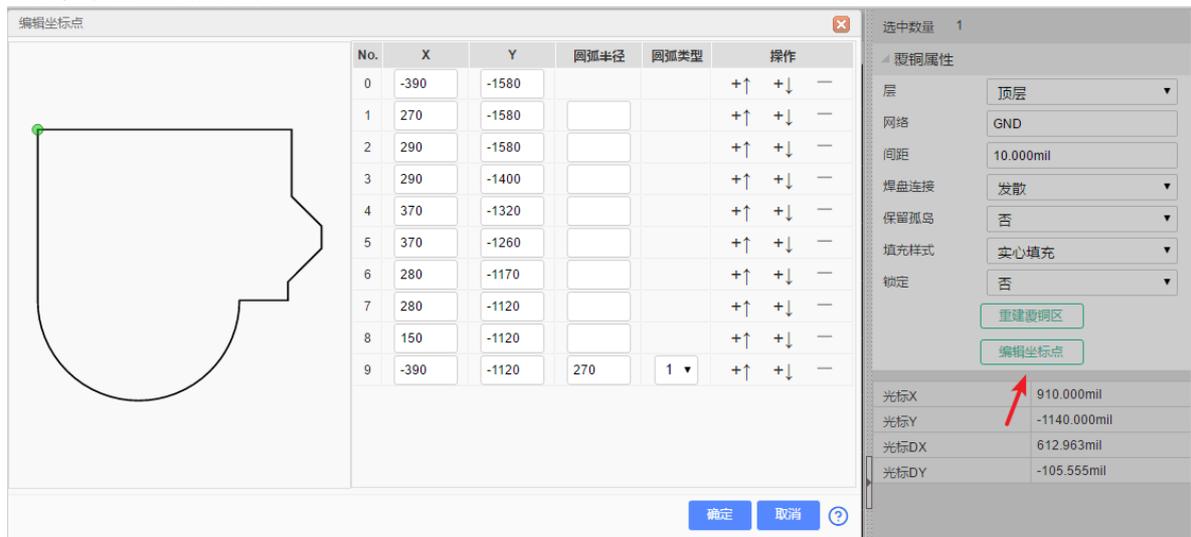
制造优化：仅在填充样式为全填充时出现，网格铺铜默认启用制造优化。默认是，将移除铺铜的尖角和小于 8mil 的细铜线，利于生产制造；设置为否则显示尖角和细铜线。

到边框间距：设置铺铜到边框的间距。

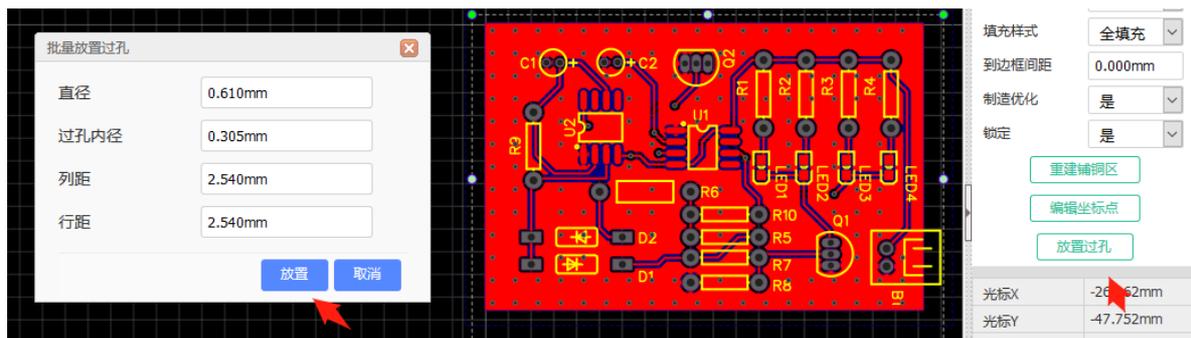
锁定：仅锁定铺铜的位置。锁定后将无法通过画布修改铺铜大小和位置。

重建铺铜区：若你对PCB做了修改，或者铺铜属性做了修改，那么你可以不用重新绘制铺铜区，对其重建铺铜填充即可。

编辑坐标点：可以很方便对铺铜线框进行编辑，可以在每个坐标点前后新建/移除一个坐标点，修改其坐标，设置圆弧拐角等。



放置过孔：当设计需要放置大量过孔（缝合孔）时，可以使用该按钮。必须是有两个不同层的相同网络铺铜时，交集的区域进行自动放置过孔，如果只有一个层有铺铜，则该功能无效。可以设置过孔的大小和间距。放置后为普通过孔。



使用技巧

- 使用快捷键 **E** 开始绘制铺铜。

- 使用快捷键 **L** 在绘制铺铜过程中改变拐角。
- 使用快捷键 **空格键** 在绘制铺铜过程中改变方向。
- 使用快捷键 **Shift+B** 重建所有铺铜区。
- 使用快捷键 **Shift+M** 隐藏所有铺铜区。
- 绘制铺铜时，使用快捷键 **Delete** 或 **BackSpace** 键退回上次铺铜位置。
- 如果你在绘制PCB时，不希望删除铺铜线框，又希望铺铜先隐藏，可以在右边属性面板把铺铜区设置为：不可见（快捷键SHIFT+M）。生成Gerber时务必需要把铺铜区设为可见。



- 可以通过拖拽铺铜线框上的控制点(白色)进行调整铺铜形状；右键可以删除控制点；两个控制点之间有一个虚拟控制点，虚拟点不能被删除，当拖拽它的时候将转为真实控制点。



注意事项

- 因实时铺铜会使编辑器性能下降，故嘉立创EDA不支持实时铺铜，当你的PCB产生了修改，请重建铺铜区，快捷键“SHIFT+B”。
- 移动了元素后，在生成Gerber前请重建铺铜。
- 铺铜线框只能通过调整节点修改形状，不支持直接移动两点之间的整段线段。
- 在v6.4.19.3之前，铺铜数据只存在本地缓存，故使用其他浏览器或者电脑时打开，需要重建铺铜。
- 在v6.4.19.3之后，当嘉立创EDA的PCB文件大于 15MB 时，铺铜填充数据是存储在客户端或者浏览器本地(因为一些铺铜的填充数据太大会导致无法保存在服务器)，铺铜的边框数据存在文件里面，所以当第一次打开PCB时会根据铺铜边框进行自动铺铜，第二次打开就会自动从本地加载填充数据。当需要绘制禁止铺铜区，挖空铺铜区请使用“实心填充”的“无填充”属性，并且重建铺铜，请不要使用导线或者圆画出区域铺铜后又把导线或圆删除的这种操作!!! 当 PCB 文件小于 15MB 时，PCB 的铺铜数据是保存在文件中，下次在不同的电脑打开也不需要重建铺铜。
- 在使用铺铜功能之前，请务必确保你的PCB有边框并且是闭合的！并且没有边框导线重合!!! 否则可能会无法铺出铜!!! 当有多个闭合边框时，铺铜可能会被认为是挖槽，建议铺铜铺在最外层的边框之外。

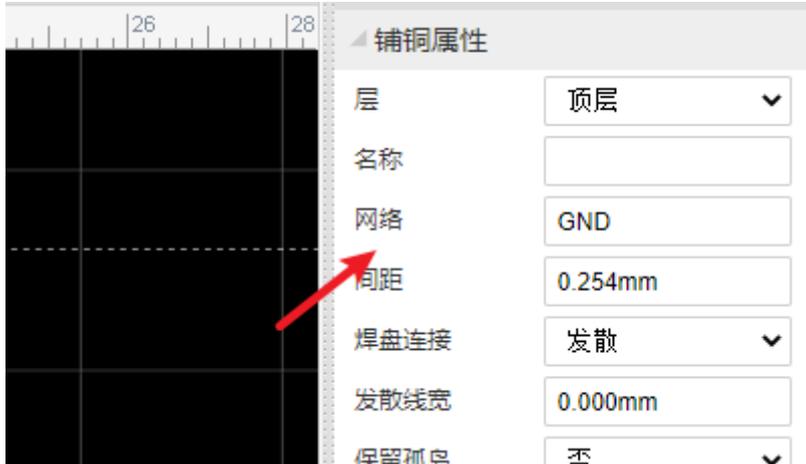
常见问题

为什么有时候铺铜要很久

- 检查PCB是否有大量的多边形焊盘，一般出现在导入AD的PCB中，如果是请手动修改为长圆形或者矩形。
- 检查是否有大量导线圆弧，一般出现导入的AD的PCB中，AD的图片是大量线段组合成，需要手动删除。
- 检查边框外形是否很复杂，有边框重叠，或者大量边框，请手动调整，减少边框数量。

为什么我铺铜后没有显示出铺铜填充

- 你的铺铜的网络必须和当前层有网络一样的焊盘或过孔才可以，否则会被认为是孤岛被移除。点击铺铜线框，在右边属性面板修改网络。比如你的焊盘网络是VCC，你铺铜网络就需要设置为VCC。



- 如果你不改铺铜的网络，可以点击铺铜线框，在右边属性面板修改属性“保留孤岛”设置为“是”。

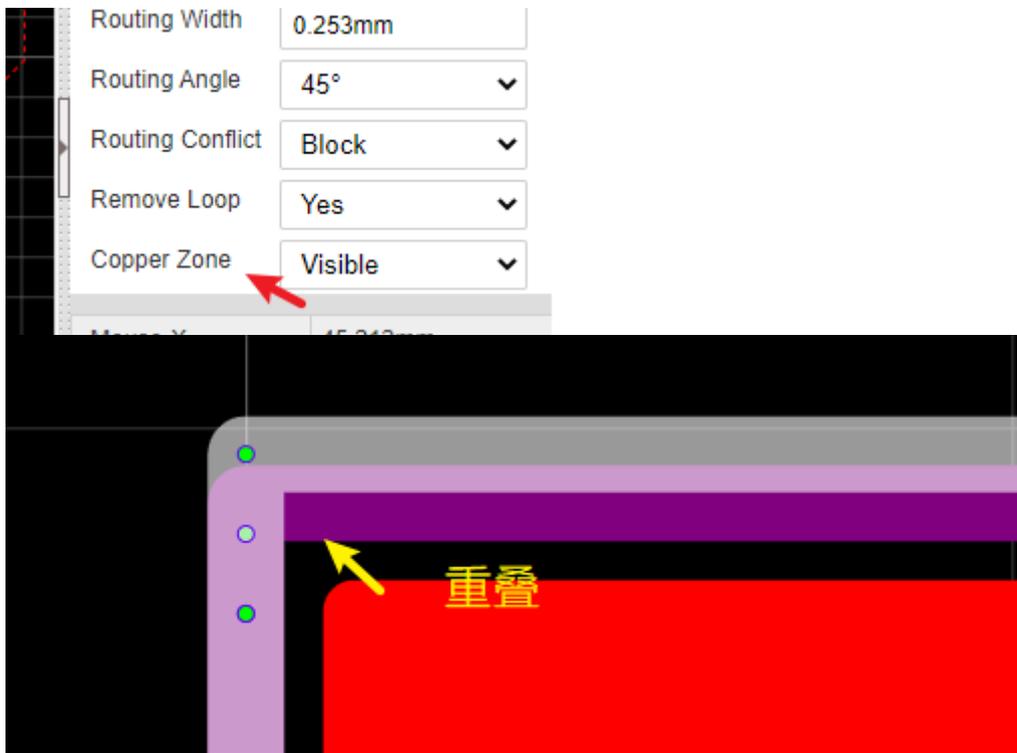


嘉立创EDA的铺铜逻辑是根据有没有连接关系决定是否是否是孤岛，如果没有和相同网络的图元连接，铜区会被认为是孤岛。

- 请检查编辑器版本是否已经是6.3以上，6.3的板子在6.2版本打开无法正常铺铜。请CTRL+F5刷新编辑器页面升级到6.3，如果确实无法升级到6.3，必须删除铺铜再重新绘制。



- 请检查边框是否已经闭合，导线之间需要端点闭合；是否有重叠的边框线段(一般出现在导入的PCB里面)。可以隐藏全部层后，只显示边框层查看，仔细检查每条线段。



- 检查铺铜属性是否设置类型为“无填充”，需要设置为填充或者网格。



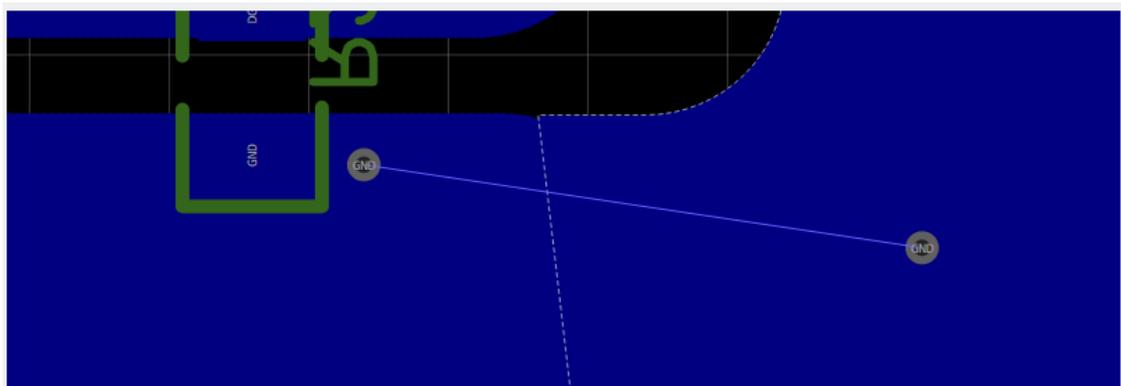
- 是否把铺铜区设置为不可见了，在画布的右边属性面板，设置铺铜区为“可见”。



- 仍然无法铺铜可能是编辑器的 bug，请联系我们。

为什么两个相同网络的铺铜重叠后飞线没有消失

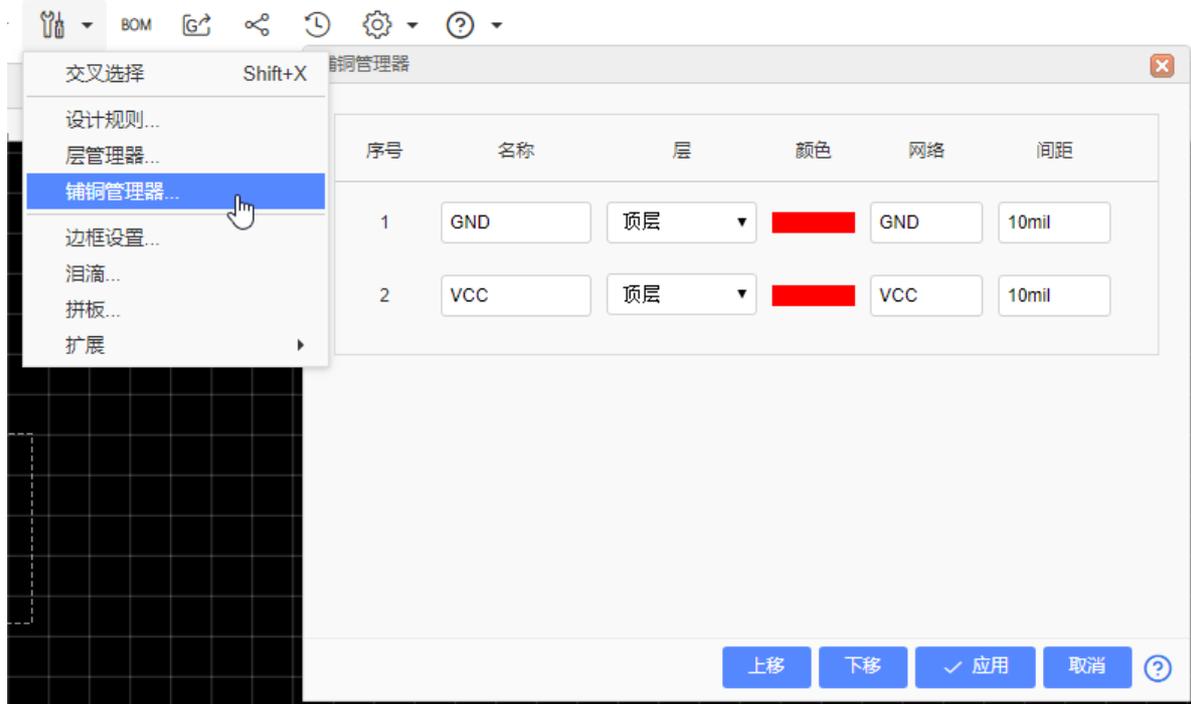
- 因为目前不支持铺铜和铺铜重叠消除飞线，因为会导致飞线计算非常卡。故需要手动给两个铺铜之间连一条导线。



铺铜管理器

嘉立创EDA提供了一个铺铜管理器，通过铺铜管理器调整铺铜的优先顺序可以支持铺铜的重叠和交叉。在前面的铺铜优先铺（先到先得原则）。

通过：“顶部菜单 - 工具 - 铺铜管理器”。



如下面的GND和VCC的铺铜区域：

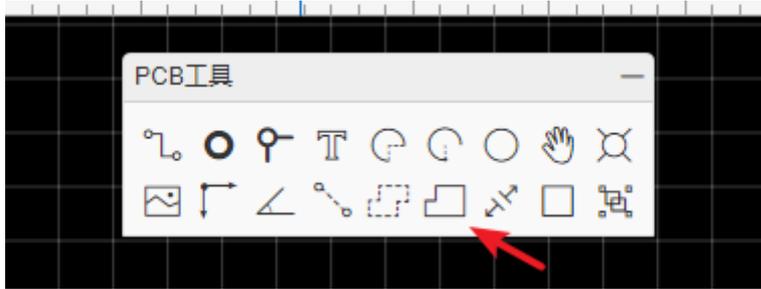


注意：

当相同层，相同网络的铺铜重叠时，后铺的铜会覆盖先铺的。
目前相同网络的铺铜交叉时不支持消除飞线，请使用导线完成连接。

实心填充

嘉立创EDA提供了一个名叫实心填充的功能。你可以绘制所需的填充信息，该功能与铺铜有类似的地方，但是实心填充不能与不同网络的元素产生间隙。



进入绘制模式时，可以使用快捷键“L”和空格键改变绘制路径的模式(圆形，90度，45度，任意角度)和方向，与绘制导线类似。

绘制后点击实心填充的区域可以在右边修改其属性。



属性：

- **层**：支持将实心填充切换至其他层：顶层，底层，顶层丝印，底层丝印，文档，多层等，这些层需要在层工具开启后才会全部显示出来。
- **网络**：在顶层和底层，或其他内层信号层时，可以对其设置网络使其具有电气特性。如果使用实心填充直接连接两个焊盘，需要将它们的网络设为一样，实心填充需要盖过焊盘中心，并且需要用单个实心填充连接起来，否则飞线不会消失。
- **类型**：全填充，槽孔，无填充。
 - **全填充**：通过设置网络且类型为实心填充，可以很容易将多个焊盘连接起来，效果与前面的铺铜类似。
 - **无填充**：该类型仅将铺铜区的铜箔挖空，铺铜将不再对该区域铺铜，挖空不影响导线的走线。**注意当你要挖空一个区域时，这个实心填充的网络不能与铺铜的网络相同。**铺铜后效果与照片/3D预览效果如下图所示。挖空后你需要按 SHIFT+B 重建铺铜。铺铜后，不能删除这个无填充的实心填充元素！！
 - **槽孔**：当设置实心填充类型为槽孔(也叫非镀铜通孔或非金属化孔)时，其所属的层也会自动切换至多层。实际PCB生产时会将PCB板挖穿(槽孔)。铺铜后效果与照片预览效果如下图所示。



- **编辑坐标点**：支持实心填充坐标点编辑，编辑出你所需要的形状，包括圆弧的形状。
- **创建开窗区**：支持一键创建与实心填充形状一致的阻焊层图形，来进行开窗操作。

注意：

- 实心填充的边界线不支持自相交，在绘制过程中的自相交部分会被自动移除，如果出现自相交请通过编辑坐标点将相交点删除。否则生成Gerber可能达不到预期。

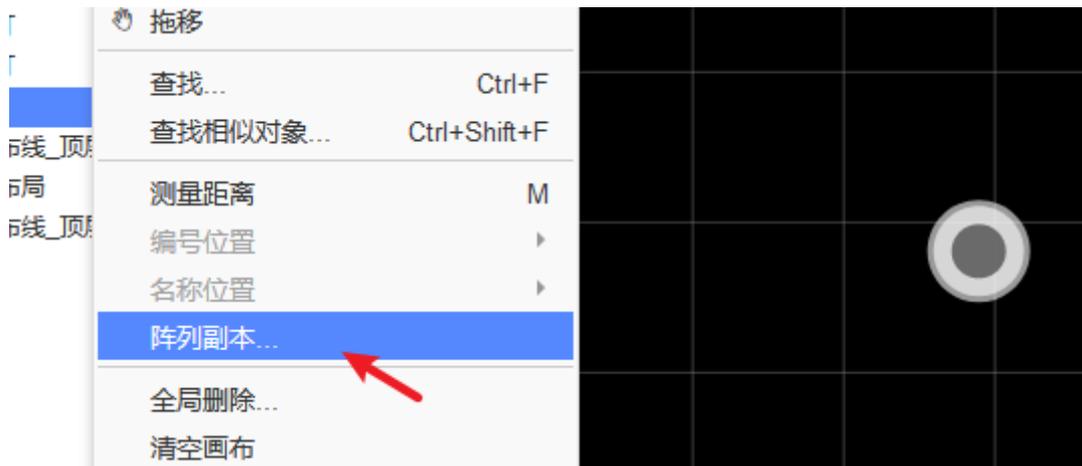
需要圆形实心填充可以绘制一个圆，右键转为“槽孔”，再把它层设置为对应的层即可。

阵列分布

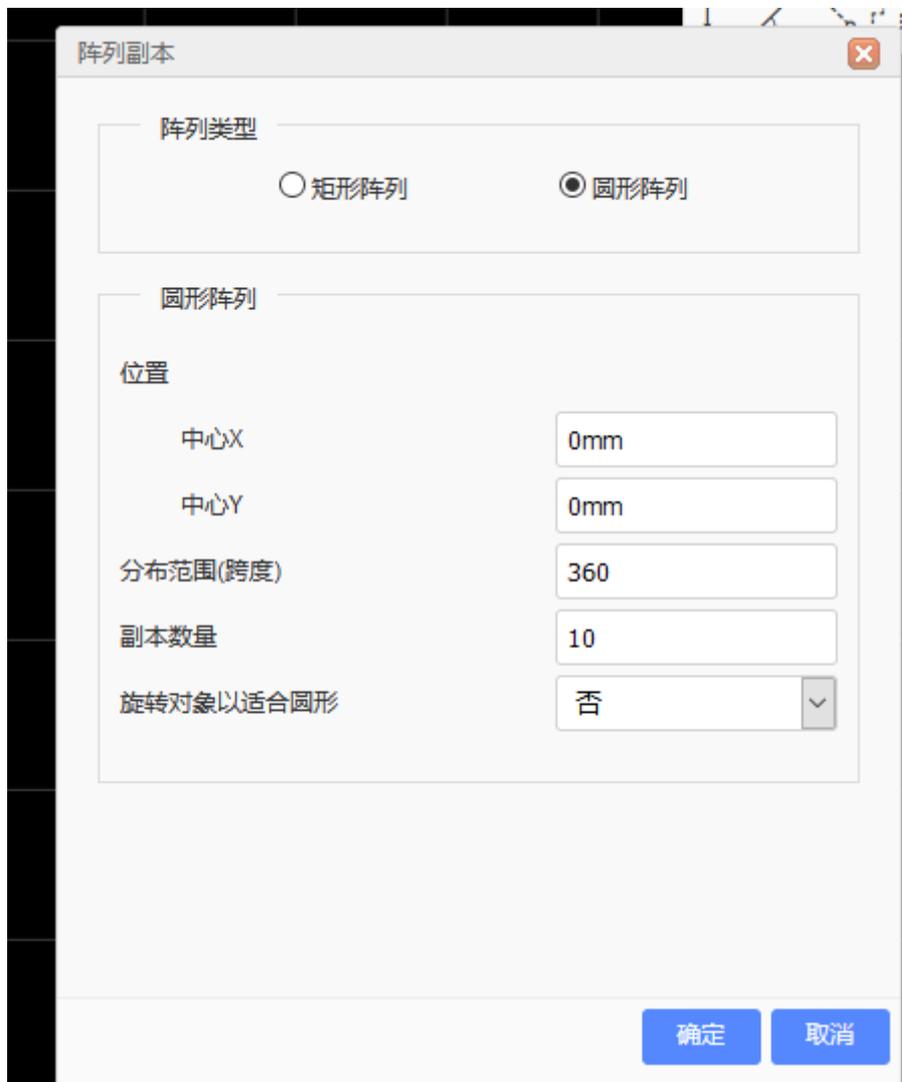
阵列副本

在：顶部菜单 - 编辑 - 阵列副本。

选中一个图元或多个图元后，点击阵列副本菜单，设置需要的参数后，即可进行阵列副本。



点击确定后将生成多个图元。



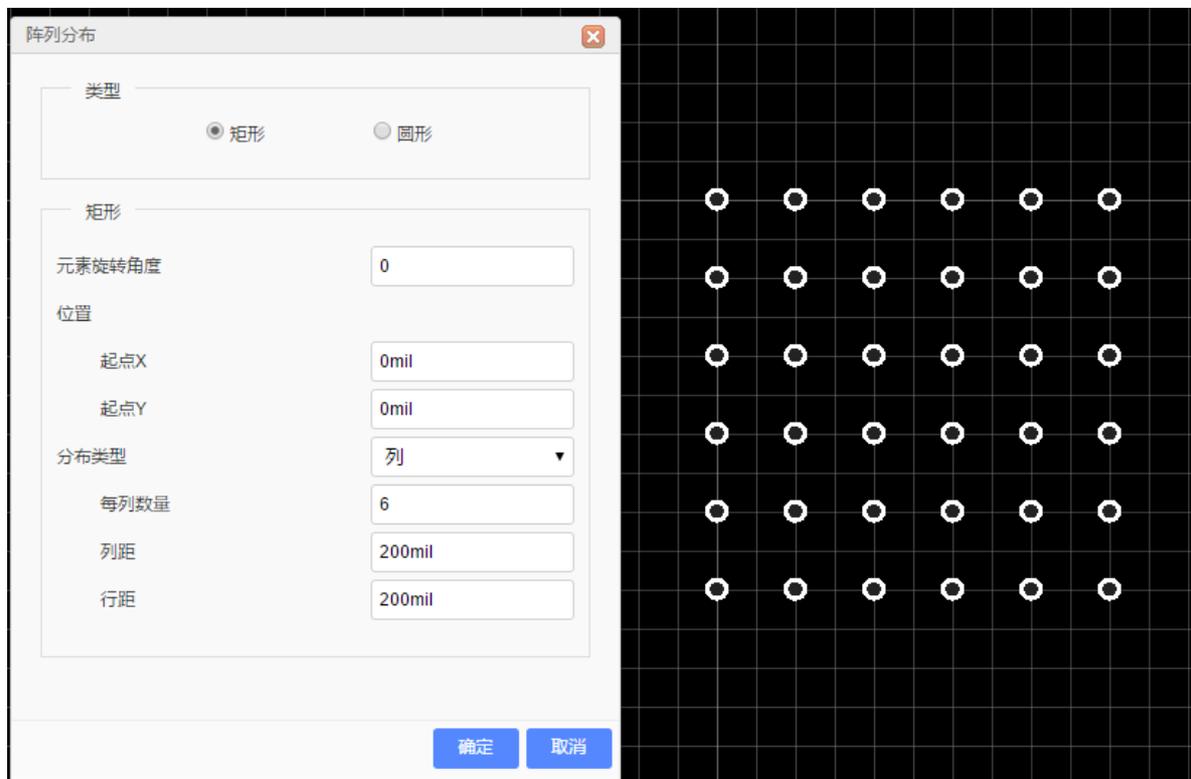
阵列分布

入口：顶部菜单 - 对齐 - 阵列分布。

使用方法：批量选择需要阵列分布的元素 - 点击阵列分布菜单 - 设置并分布。

矩形阵列：

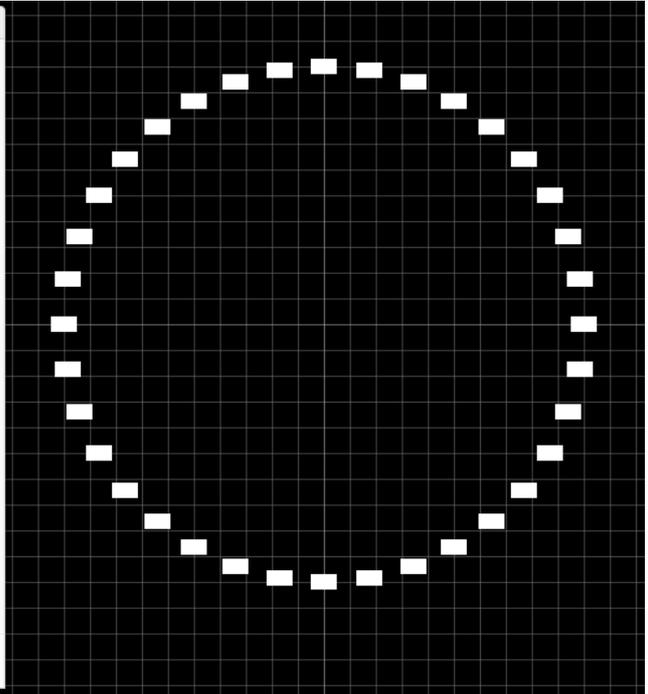
- 元素旋转角度：元素的自身旋转角度，设为30则所有元素旋转30度。
- 位置：左上角第一个元素的位置。
- 分布类型：
 - 列：从上到下再从左到右，N字形分布。
 - 行：从左到右再从上到下，Z字形分布。



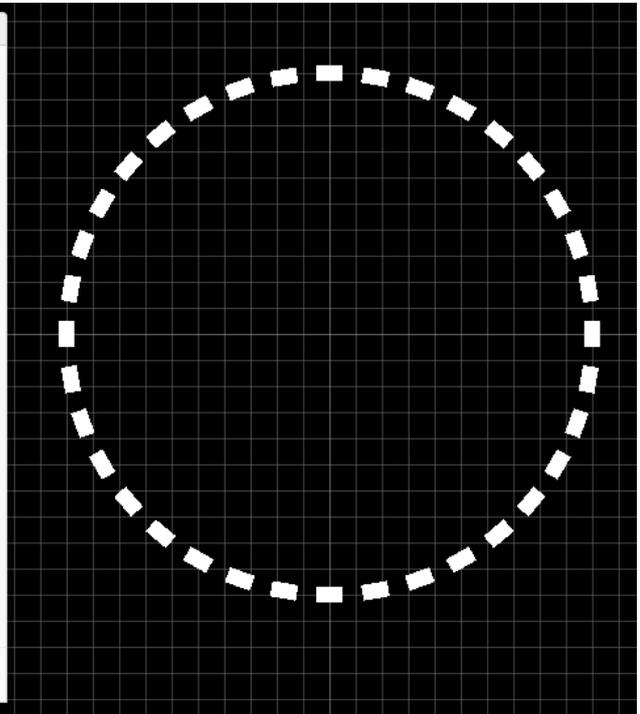
圆形阵列：

- 元素旋转角度：元素的自身旋转角度，设为30则所有元素旋转30度。
- 位置：圆心的位置。
- 半径：圆的半径。
- 起始角度：第一个元素的起始角度。0度是左边中心位置，第一象限与第四象限之间。
- 方向：元素排列的前进方向。顺时针或逆时针。
- 间隔：每个元素之间的间隔角度。
- 旋转对象以适合圆形：选择"是"的时候元素的摆放角度将根据 $\text{元素旋转角度} + \text{间隔角度}$ 进行设置。

未旋转对象:



旋转对象后:



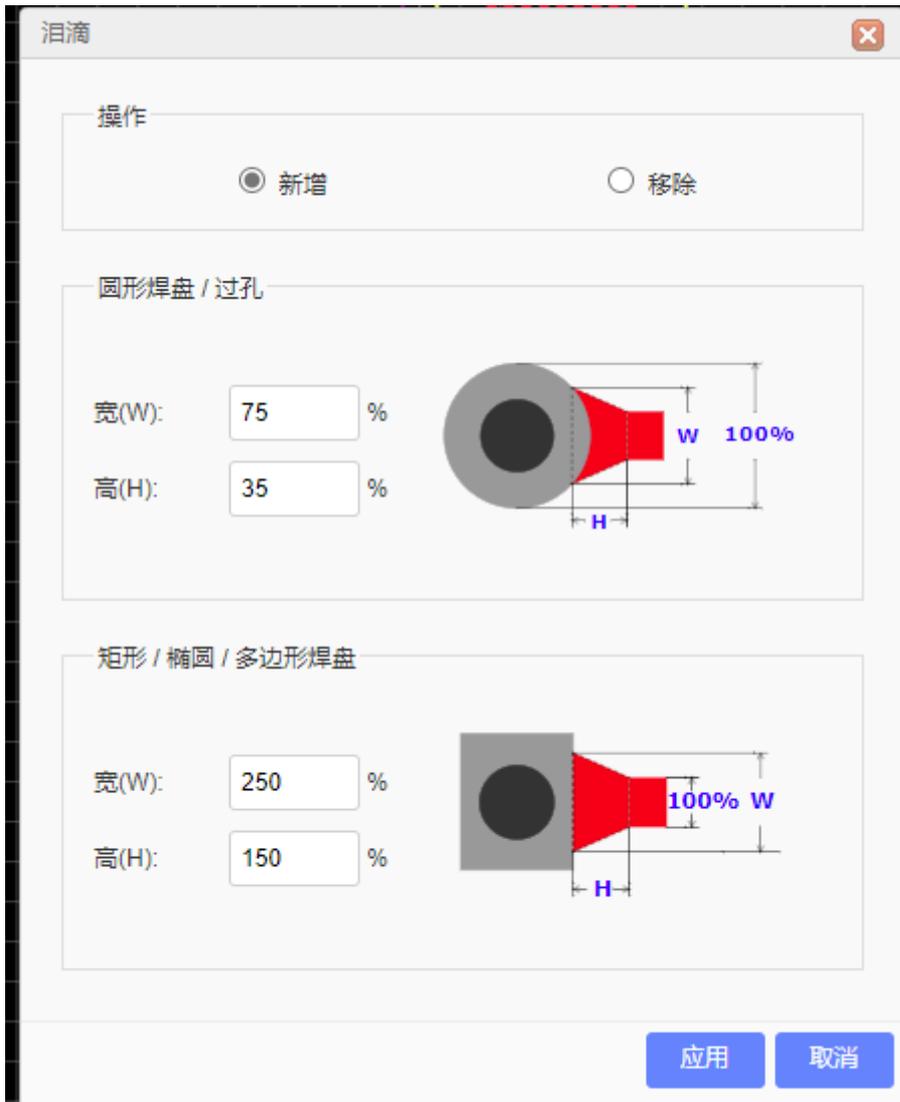
泪滴

嘉立创EDA支持全部类型焊盘的泪滴生成。

入口: [顶部菜单 - 工具 - 泪滴](#)



点击弹出的对话框，可很方便地设置泪滴所需要的参数。



说明：

- 若删除关联的导线，焊盘的泪滴会跟随删除。
- 如果泪滴在生成的时候，检测到DRC错误，那么该泪滴则不会继续生成。
- 暂时不支持独立对某些元件进行添加泪滴。
- 选中泪滴后可以在右边修改其属性，泪滴实质上就是实心填充不同形状的实现。
- 可以在“顶部菜单 - 设置 - PCB设置”开启自动添加泪滴选项。

设计规则检查DRC

嘉立创EDA提供一个可实时运行的设计规则检查(DRC: Design Rule Check)功能。当你完成设计后进行DRC检查可以看出不符合的地方，并进行修改。

设计规则设置

可在 **顶部主菜单栏 > 工具 > 设计规则...** 打开设置对话框。

也可以通过：**画布右键 - 设计规则...**

设置里面的单位跟随当前画布的单位。



规则：默认规则是Default，点击“新增”按钮，你可以设置多个规则，规则支持自定义不同的名字，每个网络只能应用一个规则，每个规则可以设置不同的参数。

线宽：当前规则的走线宽度。PCB的导线宽度不能小于该线宽。

间距：当前规则的元素间距。PCB的两个具有不同网络的元素的间距不能小于这个间距。

孔外径：当前规则的孔外径。PCB的孔外径不能小于该孔外径，如通孔的外径，过孔的外径，圆形多层焊盘的外径。

孔内径：当前规则的孔内径。PCB的孔内径不能小于该孔内径，如过孔的内径，圆形多层焊盘的孔内径。

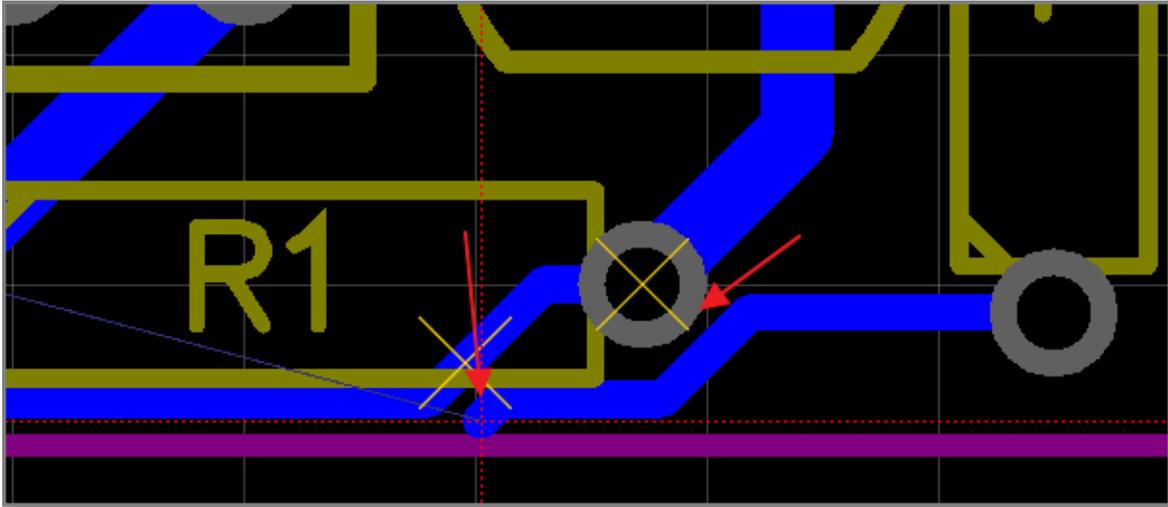
线长：当前规则的导线总长度。PCB的同网络的导线总长度不能大于该长度，否则报错。如果输入框留空则无限制长度。总长度包括导线，圆弧。

实时设计规则检测：当你开启后在画图的过程中就会进行检测是否存在DRC错误，存在则显示X警示标识。

当打开实时设计规则检测功能，在你设计出现超出规则的错误时会直接出现高亮的X标识提示错误位置。

当PCB比较大的时候开启这个功能可能会有卡顿现象。

如下图的走线间，和走线到焊盘间太近导致出现错误标识。



检查元素到铺铜的距离：默认开启，检测元素到铺铜的间隙。如果不开启该项，移动了封装之后必须要重建铺铜SHIFT+B，否则DRC无法检测出与铺铜短路的元素。

检查元素到边框的距离：开启后在后面输入检测的距离值，元素到边框的值小于这个值会在设计管理器报错。

布线与放置过孔时应用规则：开启后，在画布放置与规则相同的过孔时，过孔的大小应用规则设置的参数，导线绘制同理。

布线时显示DRC安全边界：默认开启，绘制导线时，导线外面的一圈线圈，线圈的大小根据规则的间距。

为网络设置规则

可以为每条网络设置对于的规则。目前不支持设置复杂的高级规则。

1. 先点击“新建”按钮建立一个规则，或者使用默认规则
2. 在右边选中一个或者多个网络，支持按住CTRL键多选，也可以进行关键字筛选和按照规则分类筛选
3. 然后在下方“设置规则”选择你要设置的规则，然后点击“应用”按钮，那么这个网络就应用了该规则
4. 点击“设置”按钮应用规则

检查DRC错误

点击左侧面板的“设计管理器 - DRC错误”的“刷新”按钮图标，或者 顶部菜单 - 设计 - 检查DRC 进行检查当前PCB的DRC错误。





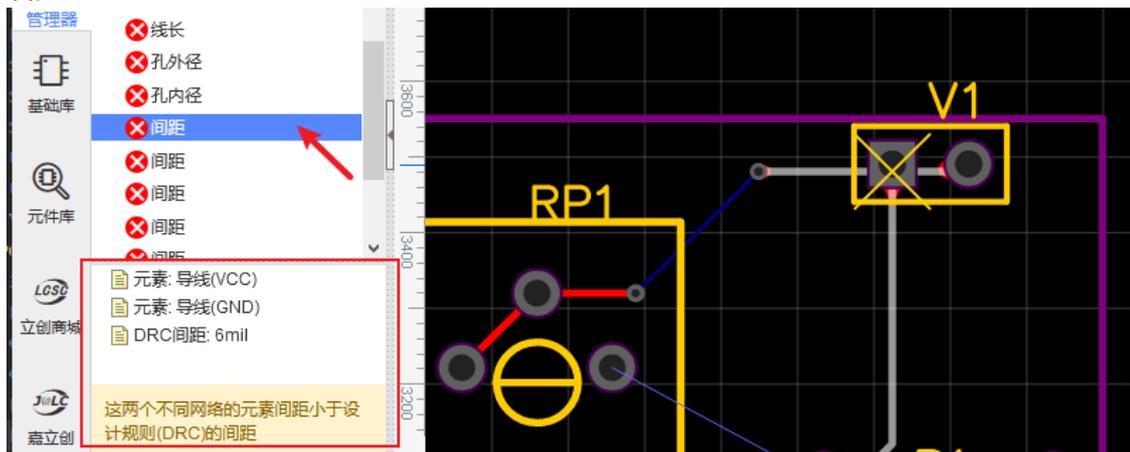
如果你的PCB比较大，且有大面积铺铜的时候DRC检查将会花一定的时间，请耐心等待。

你可以在设计管理器中查看DRC错误信息。 点击错误选项会在画布高亮显示其位置，并在左下方提示错误类型。

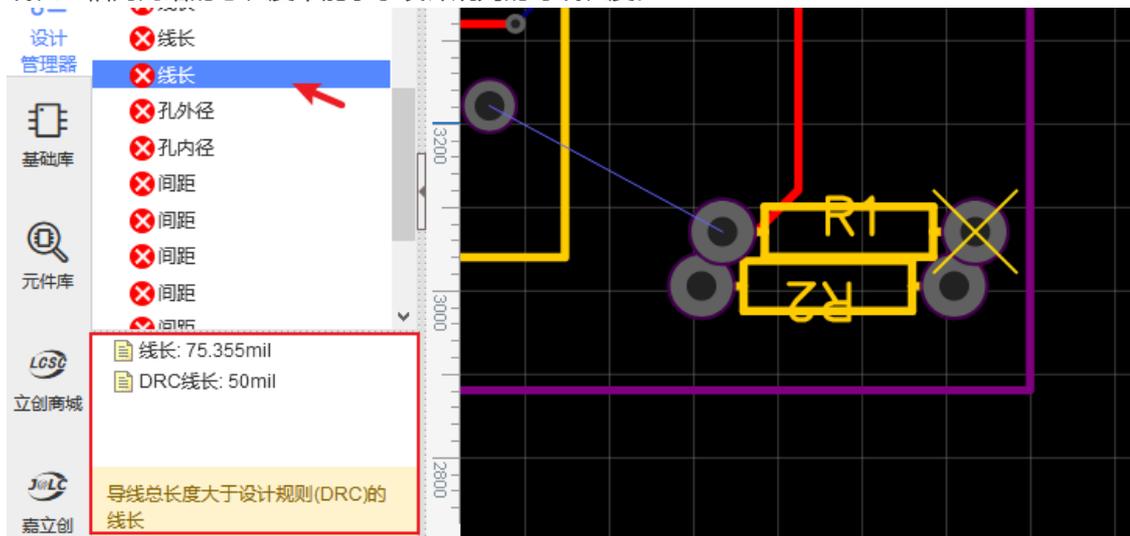


DRC错误类型

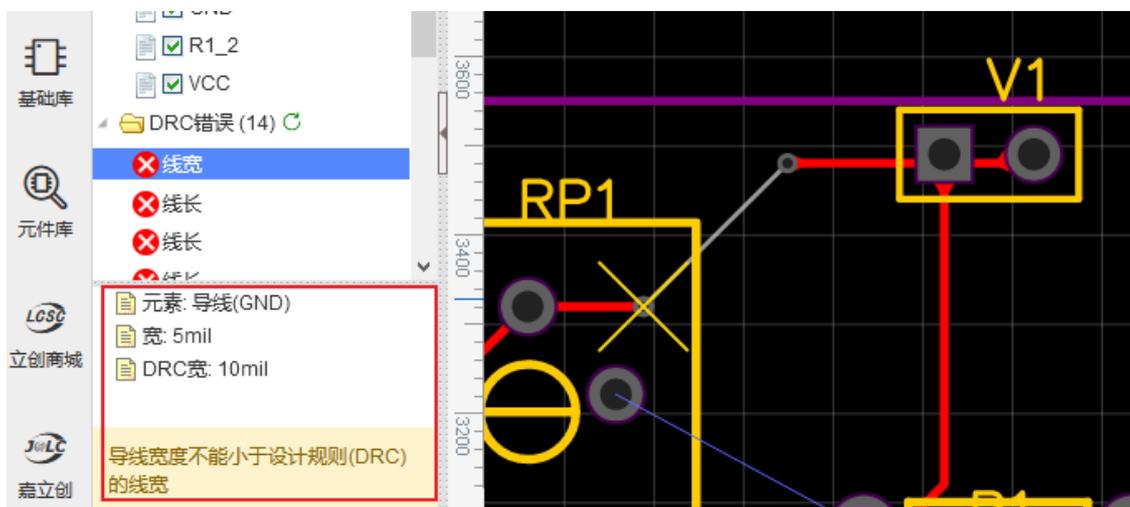
- 间距：图元和图元之间。如果两个不同网络的图元的间距比设计规则里面的间距小，则会报间距错误。



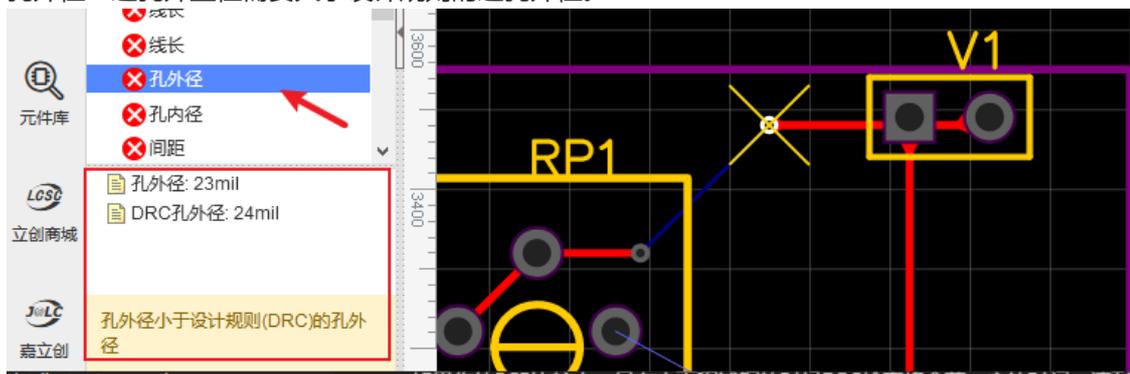
- 线长：相同网络的总长度不能小于设计规则的导线长度。



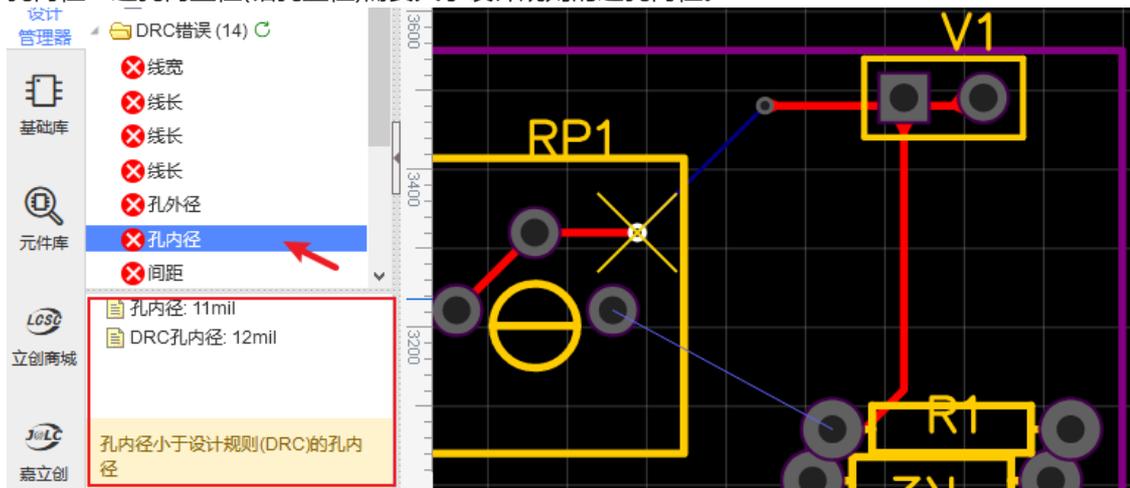
- 线宽：导线宽度需要大于设计规则的导线宽度。



- 孔外径：过孔外直径需要大于设计规则的过孔外径。



- 孔内径：过孔内直径(钻孔直径)需要大于设计规则的过孔内径。

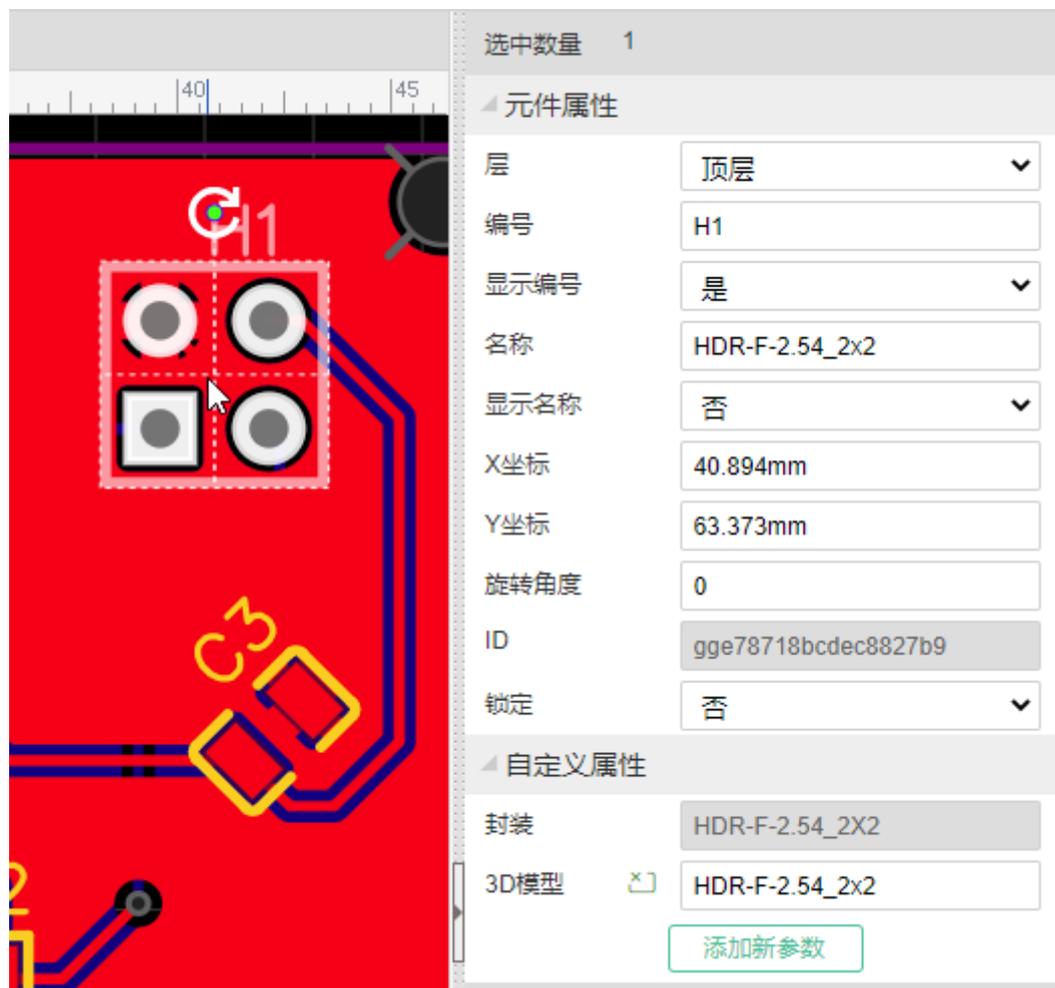


注意：

- 当你直接通过原理图转为PCB时，实时DRC检查是开启的，但是之前的IPC文档是关闭的，你需要自行打开。
- 设计规则检查只能帮你发现部分很明显的错误。
- DRC错误的颜色你可以在层管理器里面进行设置。

封装属性

当你鼠标经过封装时，封装整体高亮后点击即可选中整个封装，可在右边属性面板对其属性进行查看与修改。



封装的属性：

- **层**：含顶层和底层，切换后封装将切换至对应层。当切换至底层，封装会镜像显示，因为在嘉立创EDA下绘制底层是以顶视图绘制。选中封装按快捷键 T 或 B 可以快速换层。
- **编号**：与原理图的器件编号相对应。不运行清空或者删除，如果你不想编号显示请将编号设置为不显示。
- **显示编号**：把编号设置为可见或者不可见。
- **名称**：与原理图的器件名称相对应。当直接放置新的封装在PCB，该名称取的是封装的标题。
- **显示名称**：设置为可见或者不可见。
- **X坐标和Y坐标**：可修改封装坐标。
- **旋转角度**：旋转角度以封装自身原点旋转。

- **锁定**：锁定元件的位置避免被鼠标移动，但不影响手动设置坐标，并且会同时锁定图元的层
- **ID**：嘉立创EDA会自动为每一个对象分配一个序号，做文件保存时的标识，你无法对其修改。

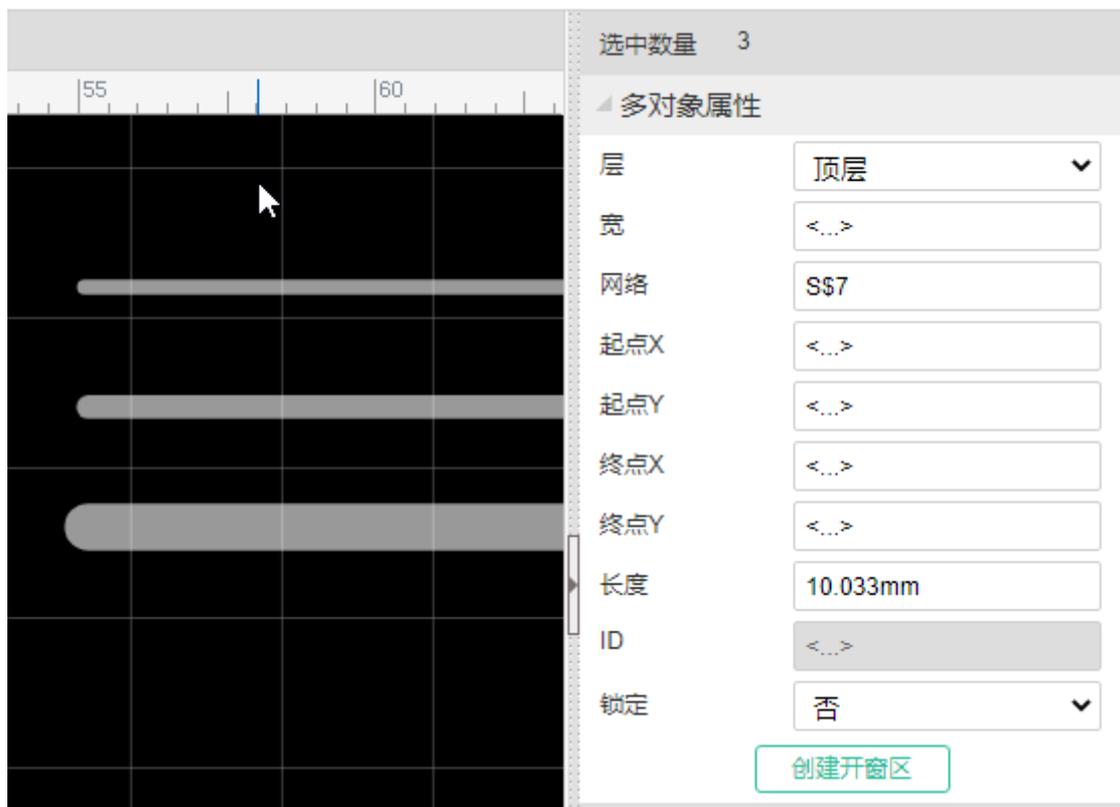
自定义属性

- **封装**：封装的标题，不允许修改。
- **3D模型**：封装绑定的 3D 模型，点击小图标移除绑定的模型。点击输入框打开 3D 模型管理器检查 3D 模型。
- **添加新参数**：这个与原理图符号的自定义属性基本一致，无原理图PCB封装添加参数后，选择In BOM可在BOM中体现。

批量修改属性

嘉立创EDA目前允许部分对象批量选择后修改属性。使用“CTRL”+ 鼠标点选，或者框选进行批量选择。也使用使用元素筛选后批量框选，具体看“PCB - 层与元素工具”章节。

比如选择了 3 条导线，不同属性的合并显示为 <...>，直接修改属性即可应用到全部选择的图元。



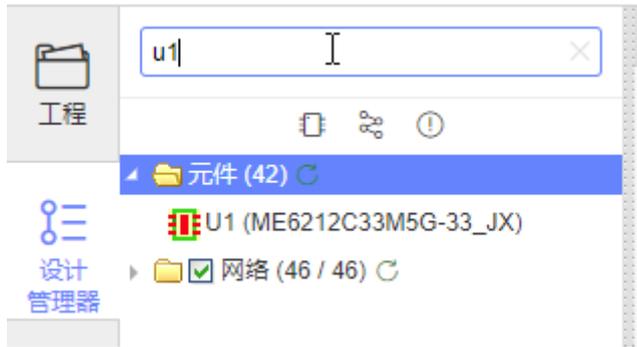
设计管理器

PCB的设计管理器与原理图的设计管理器一样，在左边导航面板找到；也可以通过快捷键“CTRL + D”切换至设计管理器。

在PCB设计管理器的功能：

- 过滤

- 在筛选器搜索你想要的器件或网络。



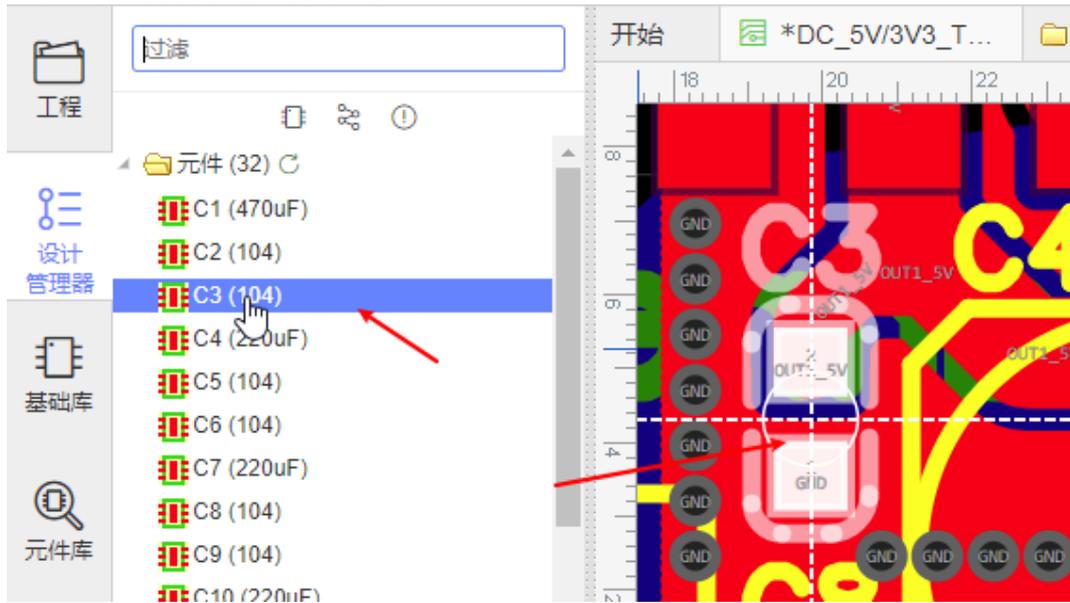
- 跳转

- 点击筛选框下面的小图标进行文件夹跳转。



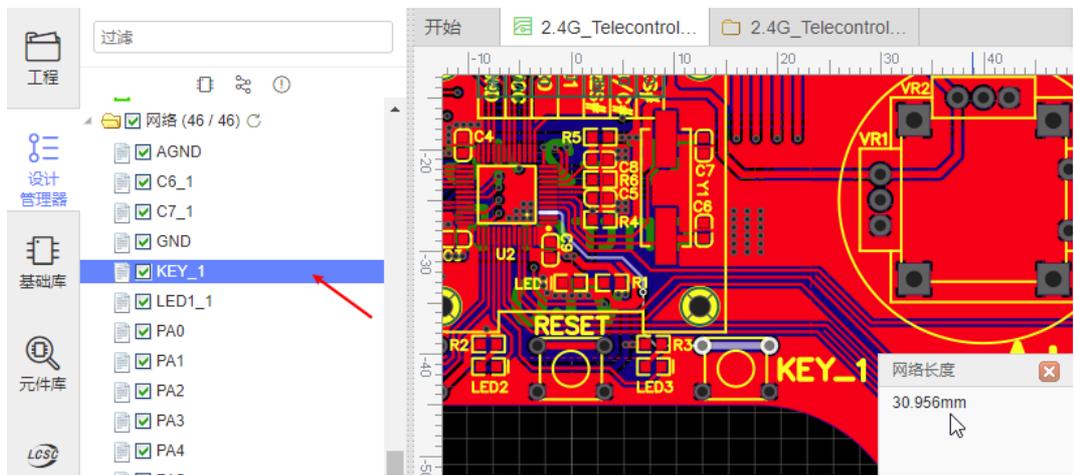
- 元件

- 选中一个封装并使它在画布中高亮。

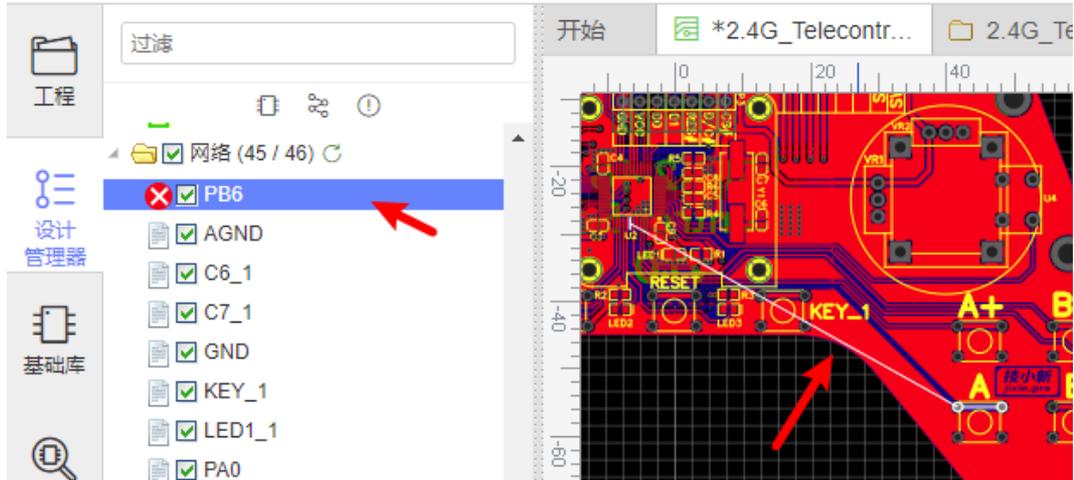


- 网络

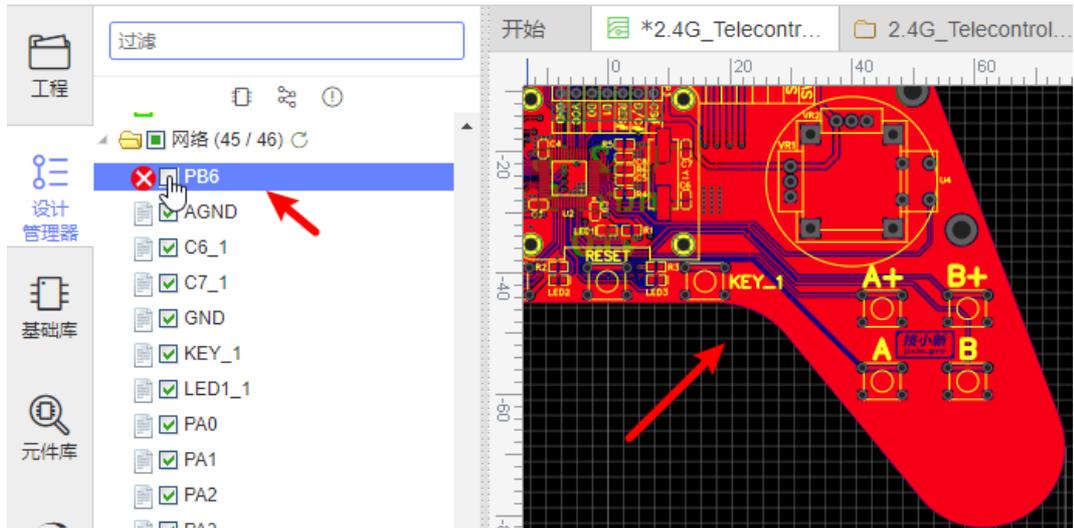
- 选中一个网络后，可以高亮全部与它连接的走线，过孔和焊盘；会在右下角显示该网络的总长度。



- 当一个网络布线不完整会在网络名前面显示红色叉图标。



- 勾选或不勾选一个网络可以使整个网络的飞线显示或隐藏。



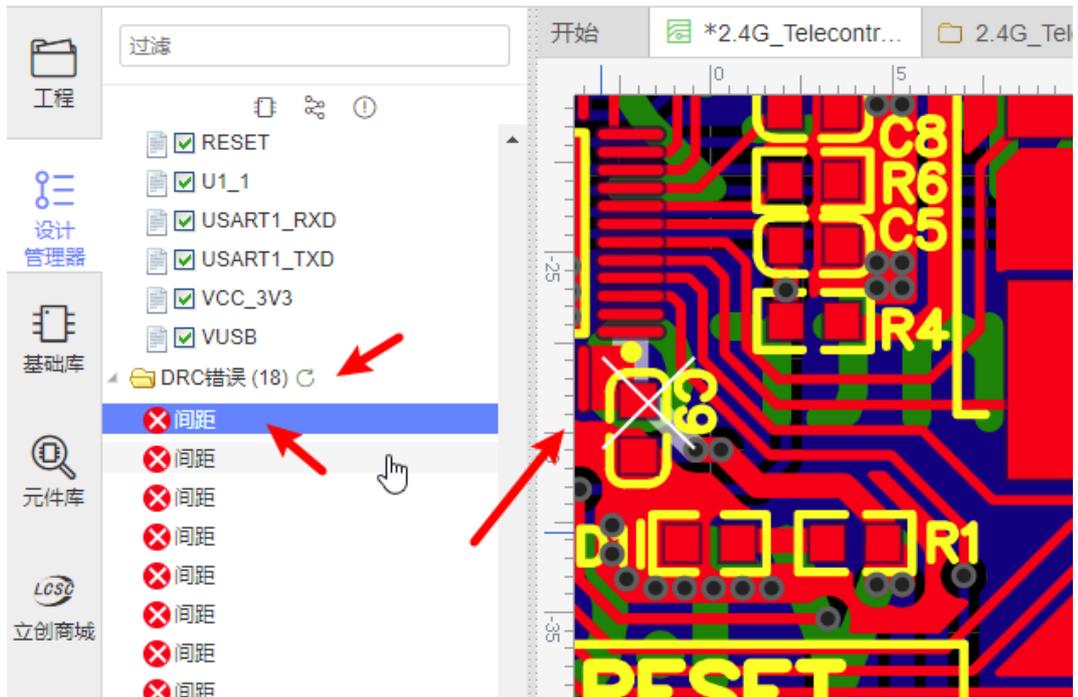
- 双击一个网络名可以将它的所有导线连接删除，以便重新绘制走线。



- 当一个网络没有布线完全的时候，可以在网络文件夹的二级网络飞线文件夹进行定位和列出当前网络的飞线。



- DRC设计规则检查
 - 查看PCB的DRC错误信息列表。点击DRC错误可以定位到画布位置。点击刷新图标进行刷新列表。



注意：

- 设计管理器的文件夹不会自动刷新数据，你必须手动点击文件夹图标后面的刷新图标进行刷新。



导入变更

导入变更

当你修改了原理图，你可以很方便地导入变更到PCB。你可以通过：

- 1、可使用原理图的 **更新PCB** 功能。

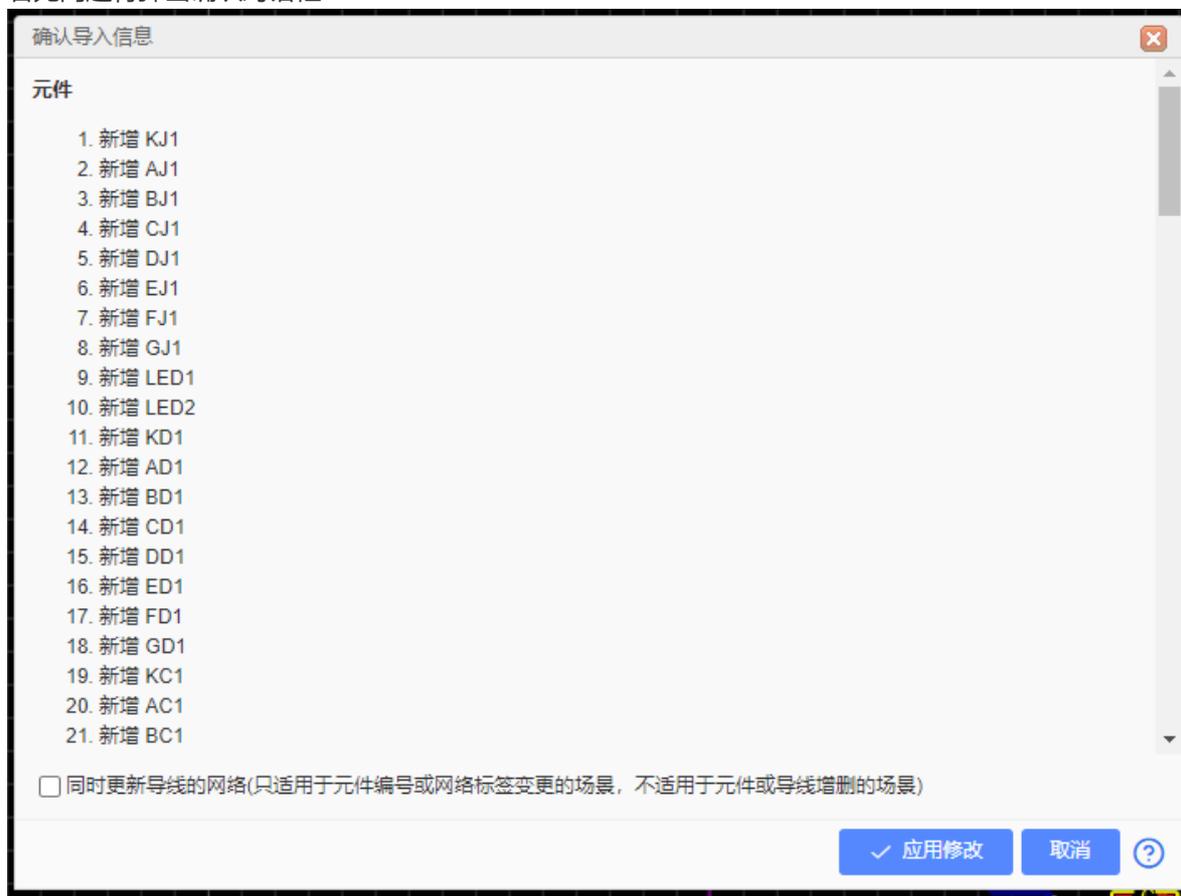


- 2、在PCB **导入修改信息** 菜单。



如果原理图存在错误，会直接弹窗提醒，如标注重复，封装缺失等。具体可以查看：[原理图 - 原理图转PCB](#)

若无问题将弹出确认对话框：



如果你需要同时更新PCB里面的导线网络，则勾选“同时更新导线的网络”选项。编辑器会根据焊盘的网络自动更新关联的导线网络。

若确认无问题点击“**应用修改**”即可更新PCB。

注意：

- 因为原理图网络名是计算后生成，当你修改了原理图后部分网络如果出现变更，那么更新至PCB后，原网络已经布好的走线并不会被删除。
- 当勾选“同时更新导线的网络”后，更新焊盘网络并把焊盘相关的导线会跟随焊盘的网络更新，可能会出现导线网络变化的情况，你需要手动将导线旧的网络名改为新的网络名！大部分原理图更新网

络后都可以更新到PCB，比如修改了器件编号，修改了网络标签等。但如果原理图有增删器件，PCB的导线网络需要手动修改，可以通过：点击导线-右键菜单-选择连接-右边属性修改网络。

- PCB导入变更后，有些变更你将无法撤销！

拼板

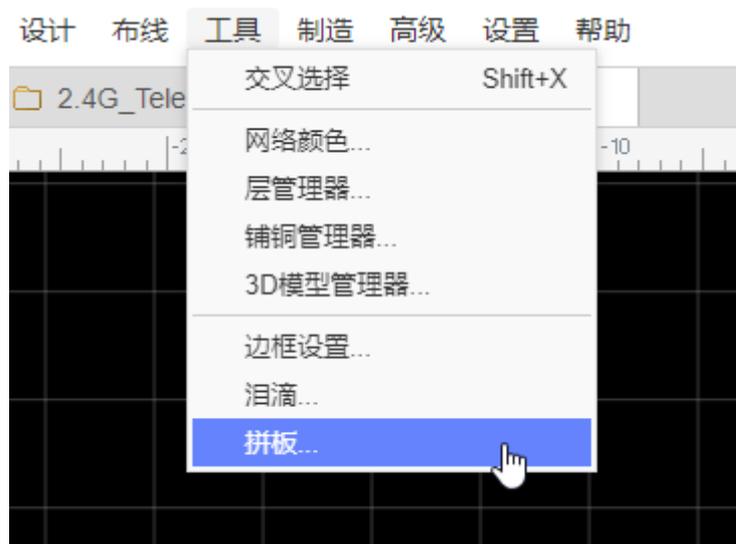
自带拼板

视频教程：[嘉立创EDA使用教程 自带拼板 | 哔哩哔哩](#)

注意：为了减少拼板的文件体积，自带拼板在**拼板后是以拼接边框的方式**，不需要重复拼接板子里面的元素。不需要做其他处理，嘉立创会自动处理你的拼板文件。

一般其他板厂也会支持这样的拼板文件，若不确定请联系对应的板厂的技术支持。

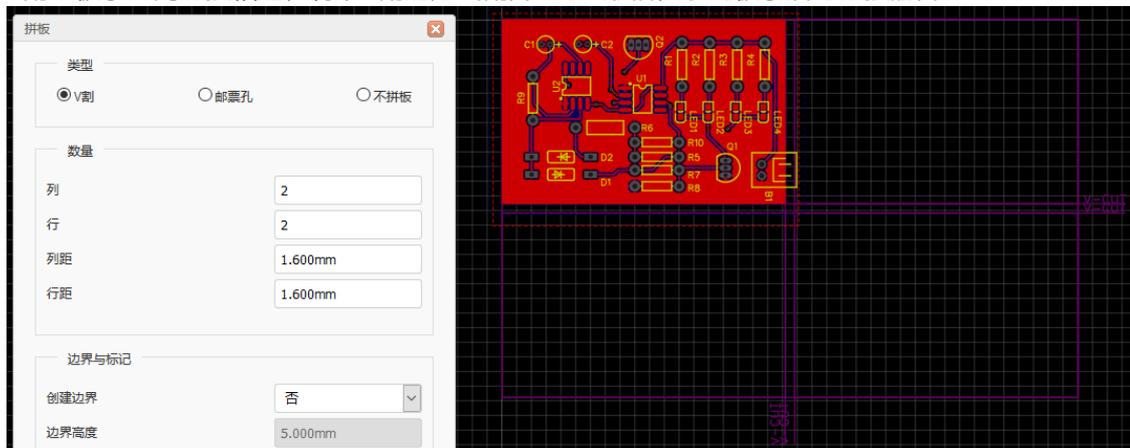
嘉立创EDA自带拼板工具，在：**顶部菜单 - 工具 - 拼板**。



拼板对话框：

类型：

- V割：板子之间直接相连，将以V割的方式割开一条V形槽，拿到板子后可直接掰开。



当选择“V割”时，编辑器会自动在机械层添加V割线条。也会体现在Gerber的机械文件。

- 邮票孔：板子之间通过数个过孔相连，其他间距会割掉，拿到板子后可直接掰开。

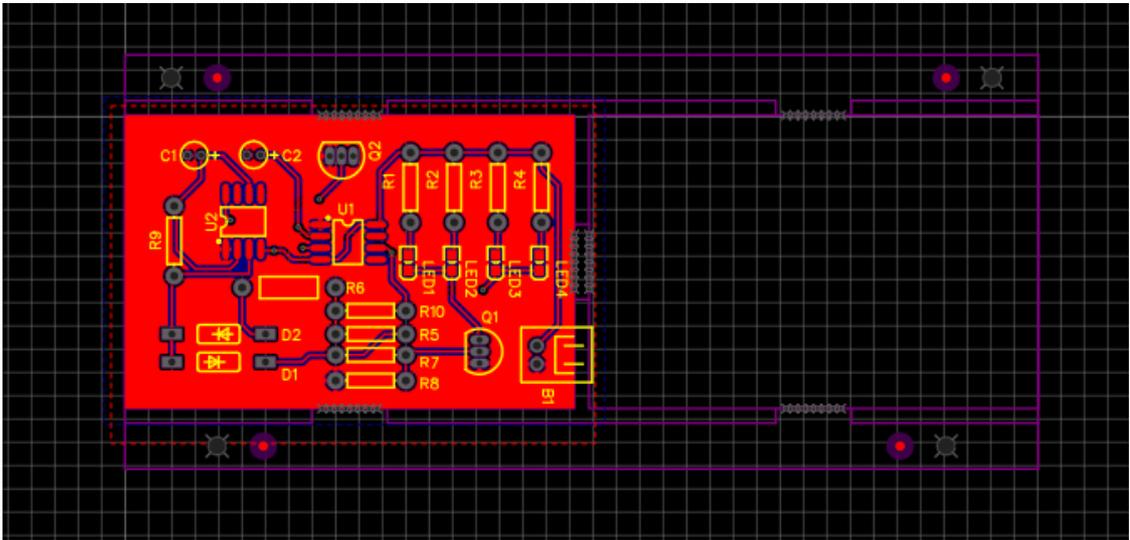


- 不拼板：取消拼板。

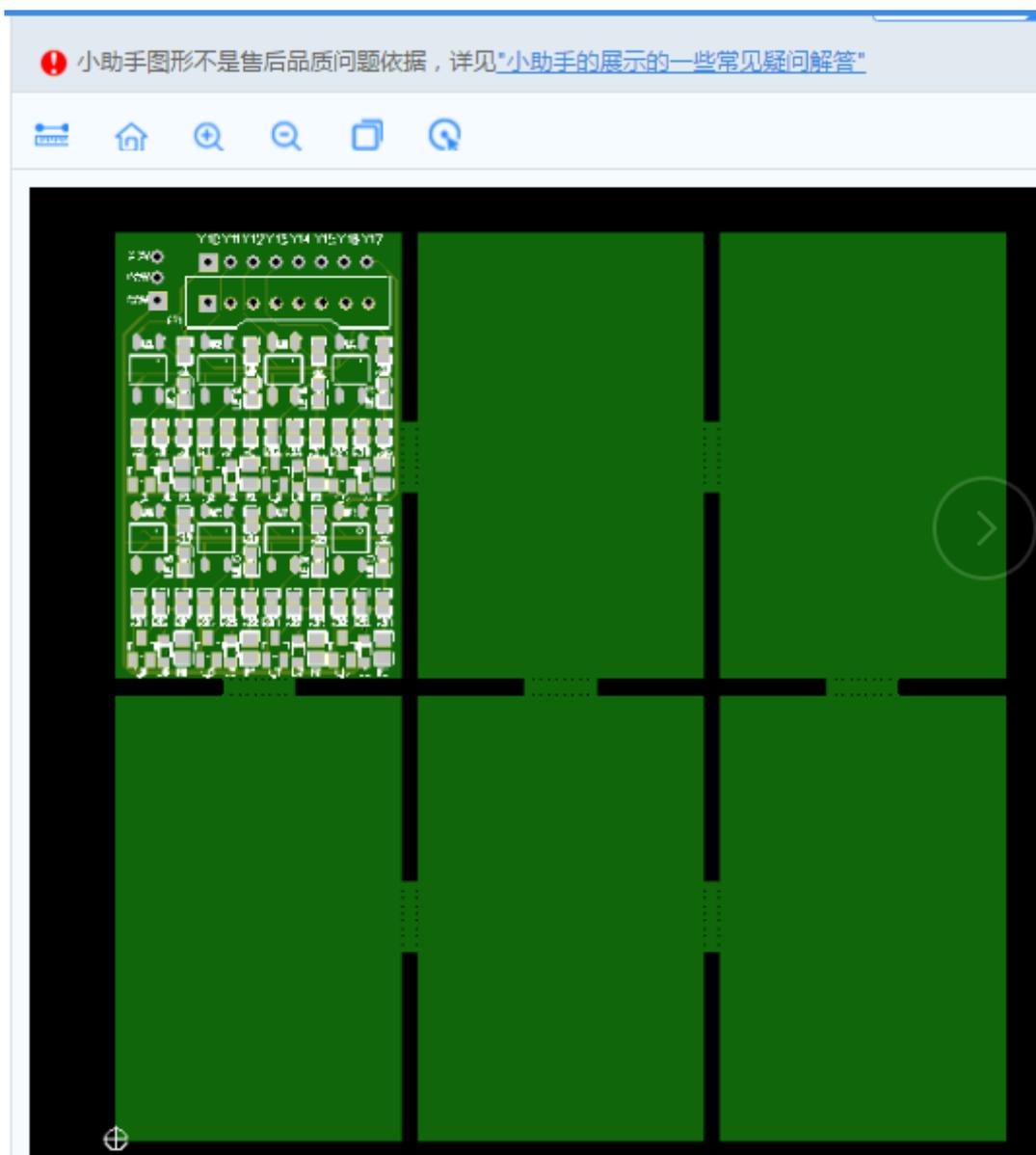
数量：行数和列数至少一个大于1；行距和列距至少1.6mm（小于1.6mm板厂无法生产）。

边界与标记:

- 创建边界: 是或否。根据设计需要是否创建拼板边界。
- 边界高度: 高度至少 3mm, 默认 5mm, 小于 3mm 板厂无法生产。
- 边界位置: 顶部和底部, 坐边和右边。
- 创建定位孔: 是或否。用于SMT机器固定板子位置。嘉立创不需要创建。
- 创建定位点: 是或否。用于SMT机器定位坐标。嘉立创不需要创建。



在嘉立创上传拼板文件后, 制造预览会显示如下, 只有第一个 PCB 预览正常:



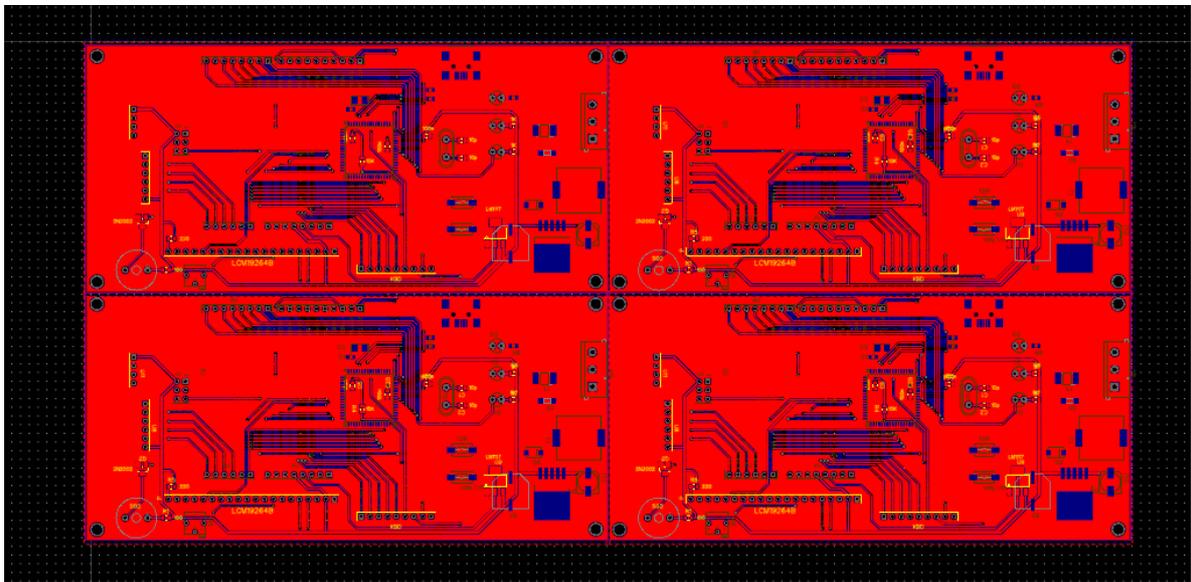
不需要做其他处理，嘉立创会自动处理你的拼板文件。

手动拼板

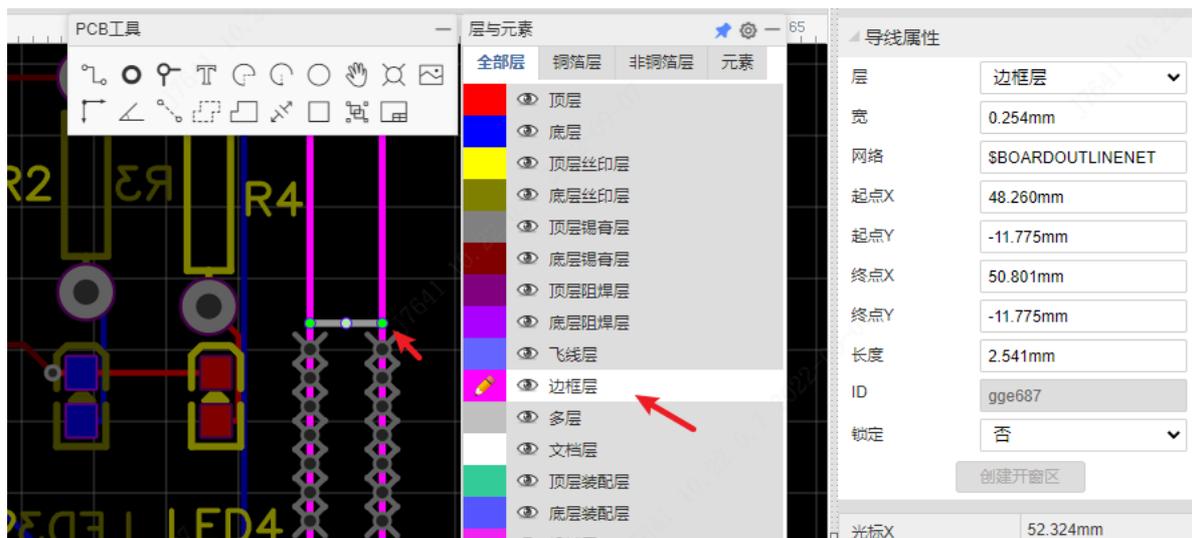
视频教程：[嘉立创EDA使用教程 手动拼版 | 哔哩哔哩](#)

步骤：

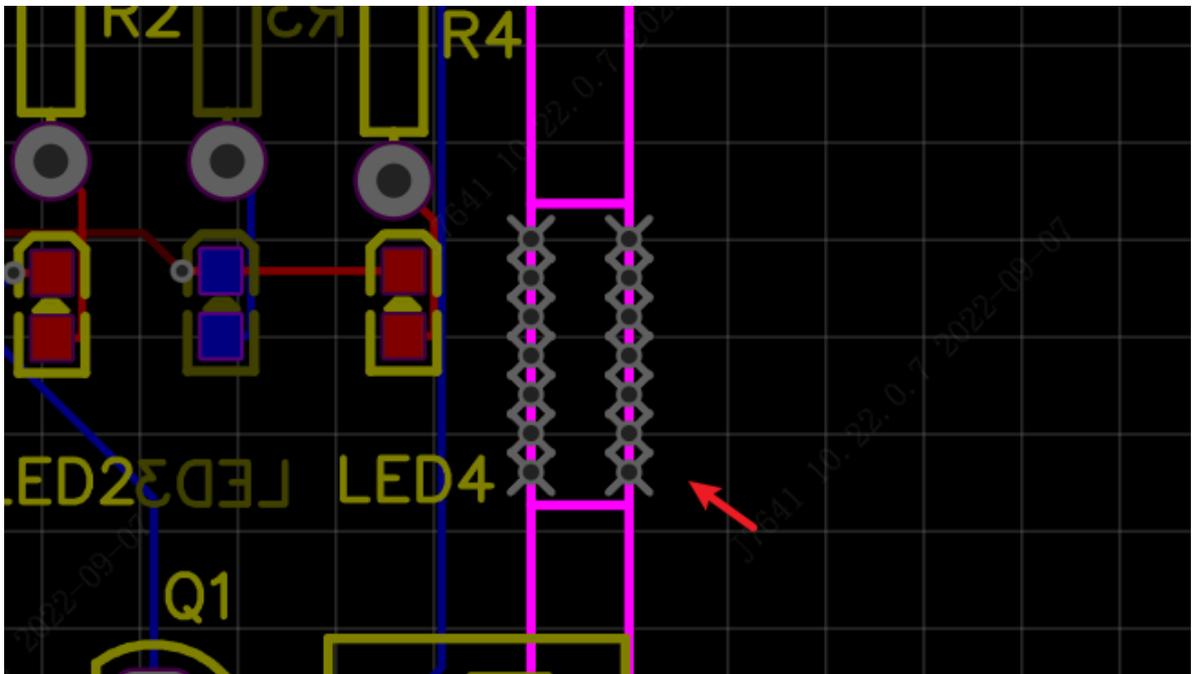
- 1、先全选 PCB，快捷键 **CTRL+A**
- 2、根据参考点复制整块 PCB，快捷键 **CTRL+C**
- 3、根据选点的参考点粘贴整块 PCB，快捷键 **CTRL+SHIFT+V**。该快捷键会保持元件编号不变，并且隐藏飞线层。可以在粘贴的时候对位，或者放置后批量框选再对位，也可以把板子组合后再移动对位。
- 4、不断进行对位粘贴即可，完成后 **SHIFT+B** 重建铺铜。建议铺铜最后绘制。如果每个板子单独铺铜，可能在拼板后无法正常铺铜。



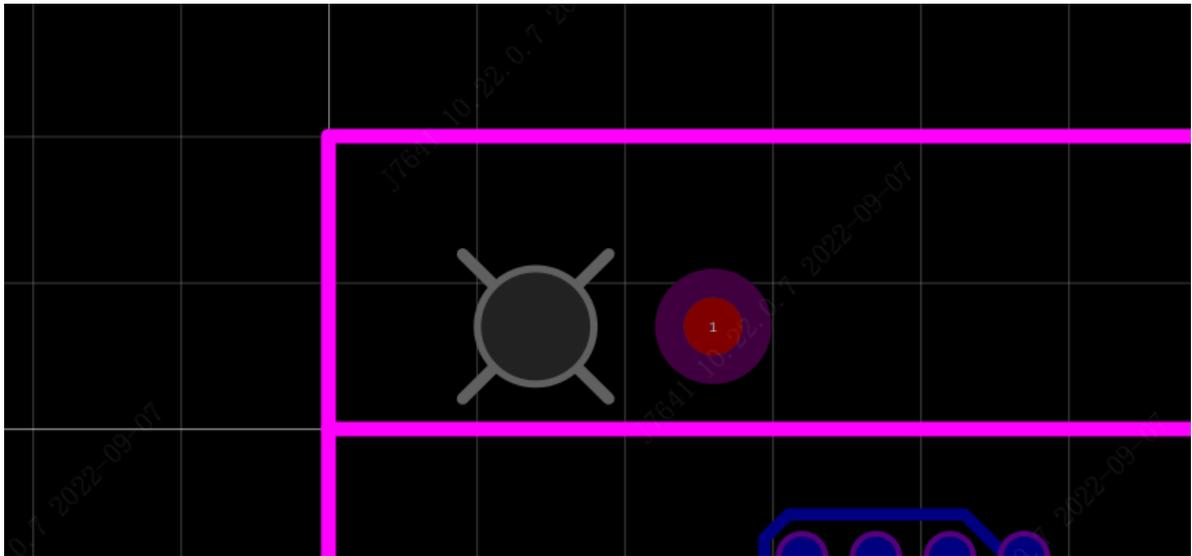
- 5、如果需要工艺边和V割线，则在边框层（板框层）绘制边框导线。



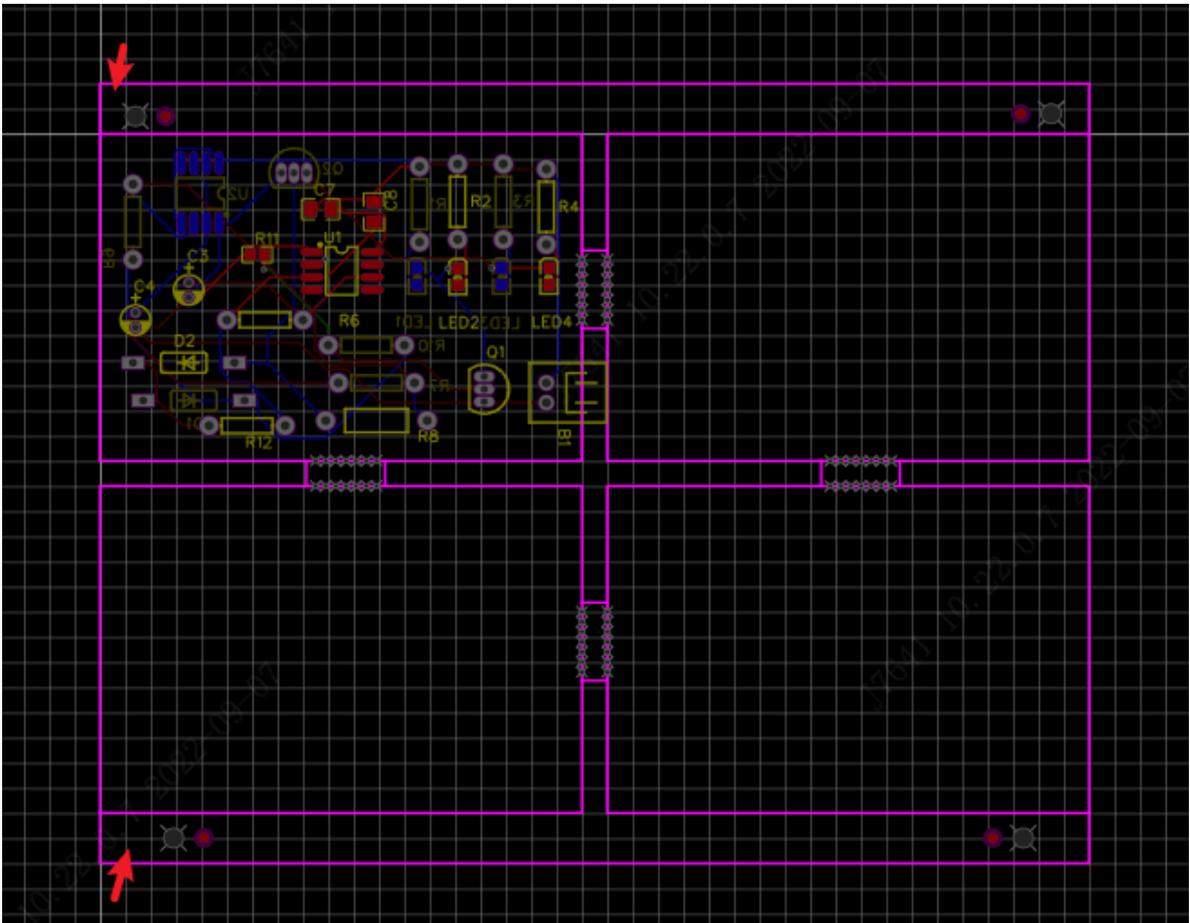
- 6、如果需要邮票孔，放置圆形挖槽区域，设置好大小和间距，放在边框线上。邮票孔直径0.55mm，间距0.85mm。具体参数可以参考：[嘉立创V割拼板](#) 和 [嘉立创邮票孔拼板](#)



7、如果需要定位孔和定位点，可以放置圆形挖槽区域（定位孔），加单层焊盘（定位点）。定位点需要在顶层和底层信号层均放置，定位孔直径2mm，定位点焊盘直径1mm，阻焊扩展0.5mm。



定位孔和定位点需要在对角放置，并且上边和下边距离左右边界的距离不能一样，否则SMT无法准确定位，如图。



注意

- 有内电层的板子不能使用手动拼板，否则内电层无法正常生效。
- 编辑器自带拼板和手动拼板不能同时进行。

绘制无原理图PCB

在一些小PCB制作，你可能并不需要绘制原理图。嘉立创EDA允许你直接进行PCB绘制。

步骤：

- 1、新建工程。
- 2、新建一个PCB文档。
- 3、在左边导航面板的**元件库**中搜索和放置你所需要的封装。
- 4、对每个封装添加自定义属性，以便于导出BOM表。
- 5、之后你可以根据前面叙述的**PCB工具 - 连接焊盘**功能将网络连接起来，再进行导线和其他绘制。

其他：

- 直接新建的PCB将默认隐藏飞线层。

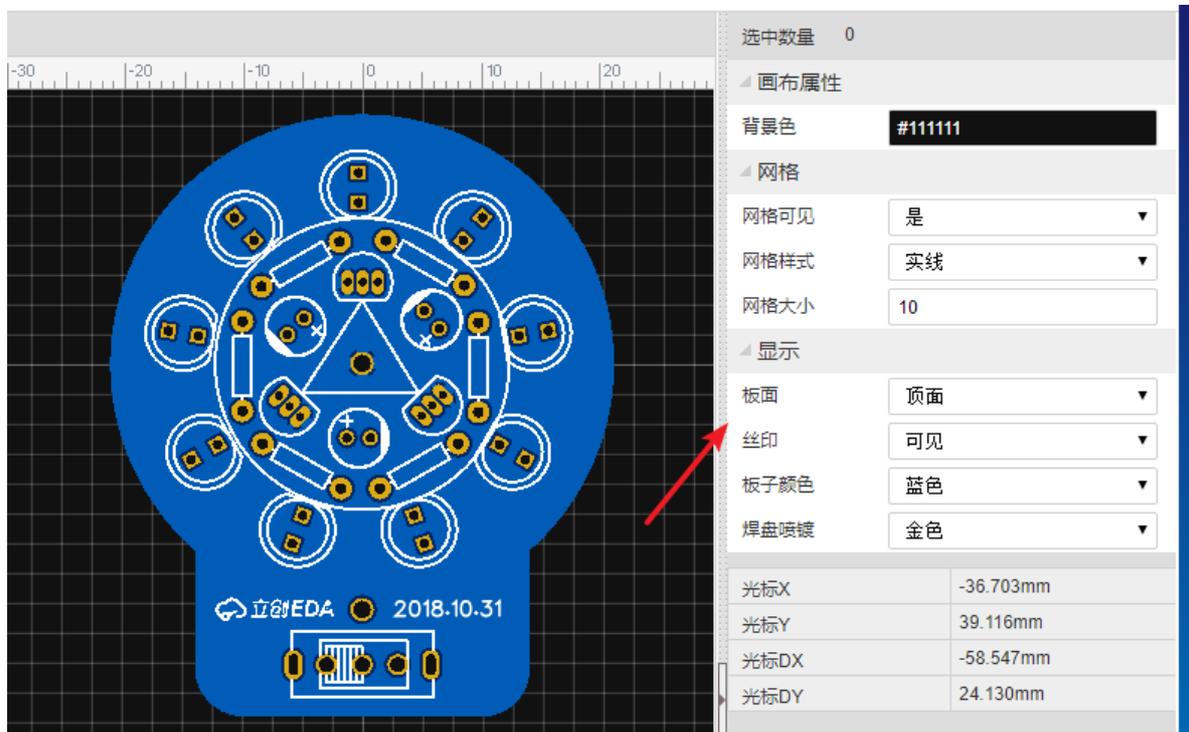
PCB预览

2D预览

嘉立创EDA提供了2D照片预览。在PCB下，在顶部点击打开：**顶部菜单 - 视图 - 2D/3D预览**。



在切换至照片预览后，可在右边属性面板换板面，选择颜色等。



3D预览

选择3D预览菜单后，服务器会生成3D文件，编辑器加载完成后即可进行3D预览。



使用方法：

- 在右边属性面板可以修改预览的参数；
- 在左下角图标可以重置画布位置；
- 鼠标左键可以拖拽图形方向；
- 鼠标右键可以平移图形位置。

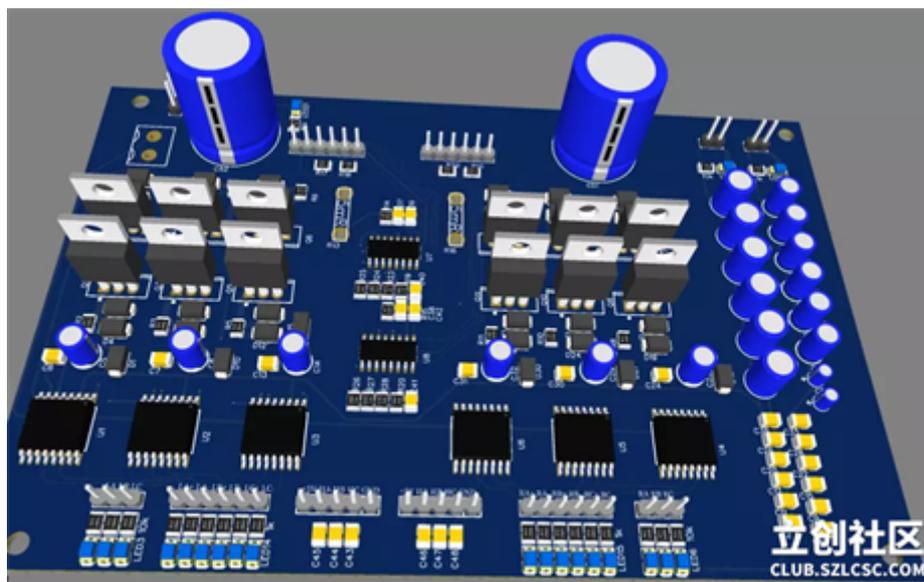
元件3D模型的3D预览在请查看“3D模型管理器”和“导入3D库”章节。

暂不支持导出3D模型文件。

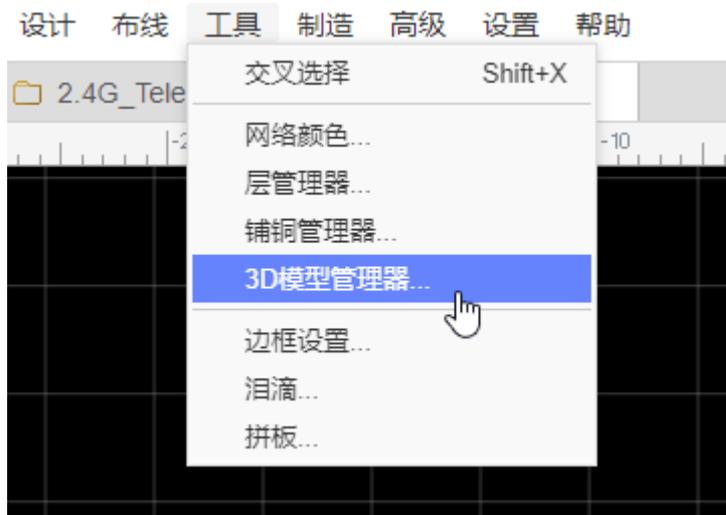
3D模型管理器

3D模型管理器

嘉立创EDA支持导入3D模型，PCB在进行3D预览的时候可以查看炫酷的3D模型。



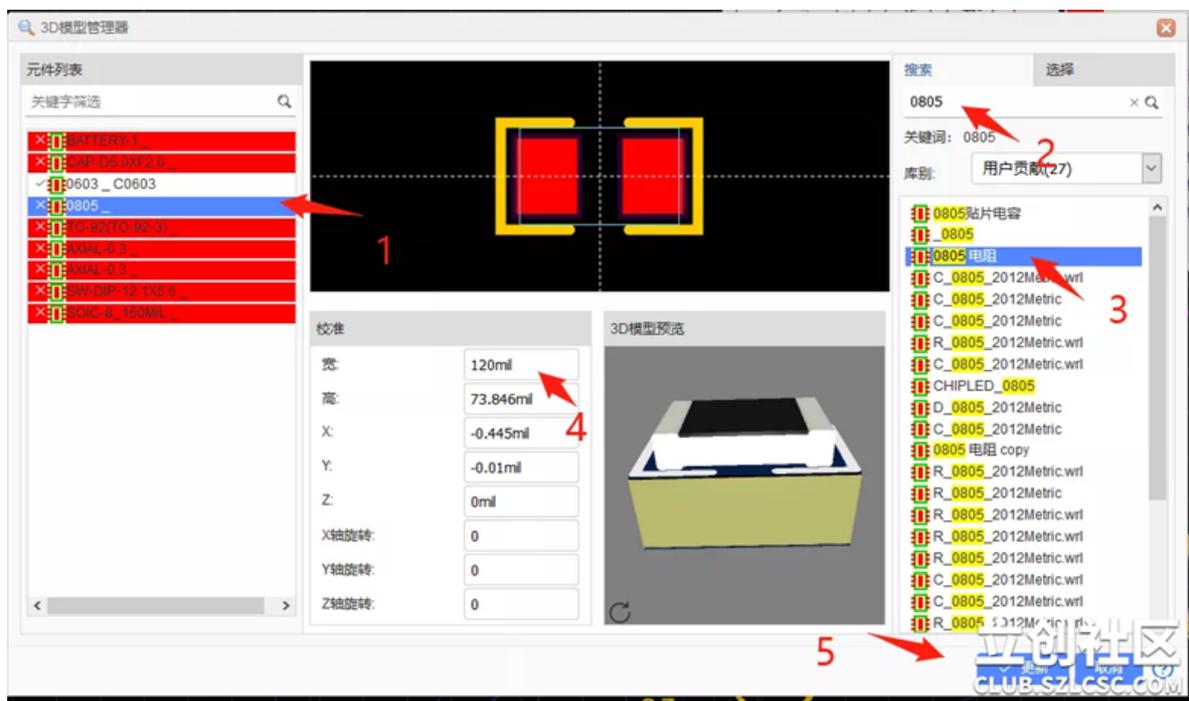
打开3D模型管理器：顶部菜单 - 工具 - 3D模型管理器



或者点击封装属性面板的**3D模型**属性输入框。



你打开3D模型管理器后可以为封装绑定3D模型，操作类似封装管理器。你可以自己导入或者搜索用户贡献的3D模型。导入教程请查看：[封装库 - 导入3D库](#)



绑定步骤：

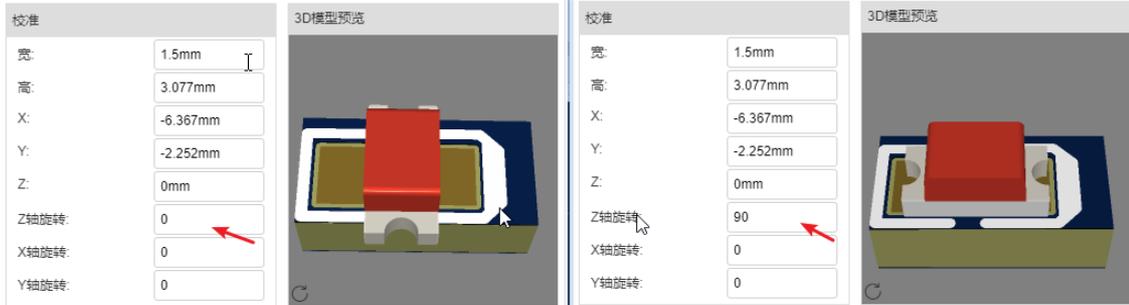
1、点击左侧封装列表的封装，中央区域会显示封装的预览。支持多选：按住CTRL+鼠标点选；按住SHIFT+点选。

2、在右侧列表选择自己导入的3D模型或者直接搜索用户上传的3D模型，使用关键字搜索，一般英文关键字。

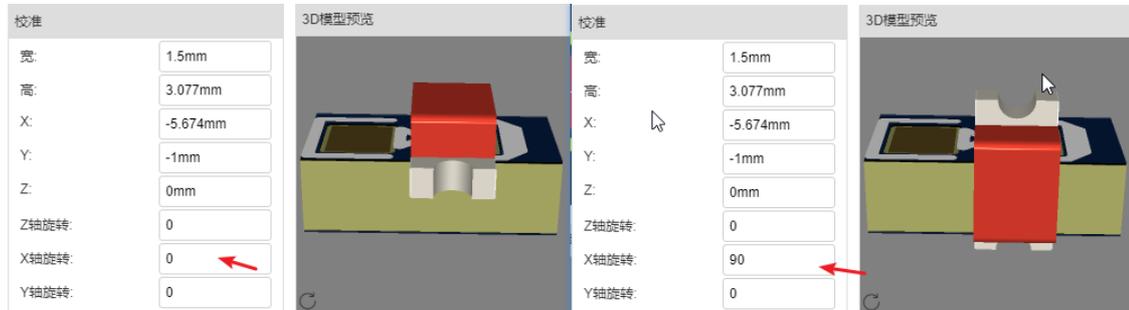
3、在3D模型库列表选中一个3D库，在中间预览区域显示3D模型的俯视图外边界2D线条。

4、调整参数：鼠标拖动 2D 边界线对准封装形状；也可以在下方输入参数的方式调整。参数右边可以直接进行预览，并且支持长按左键拖动3D预览界面。

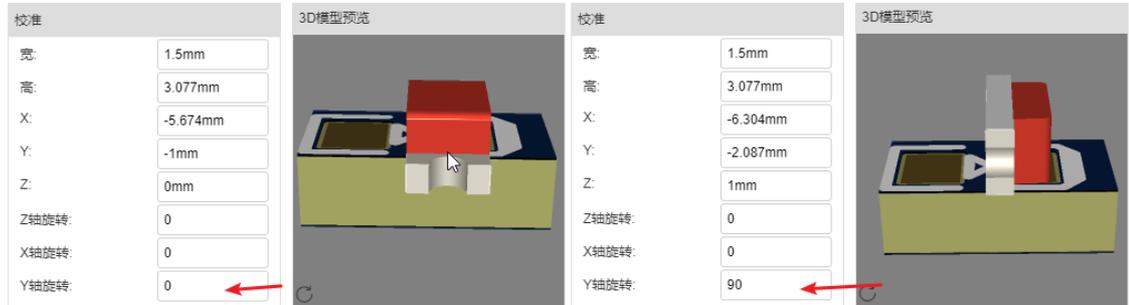
- 宽/高：3D模型的 2D 外形的宽/高
- X, Y：3D模型的 2D 外形的 X Y 坐标
- Z轴旋转：俯视图时，3D模型逆时针旋转。编辑器会自动识别封装的宽高，并自动设置Z轴旋转为90度。



- X轴旋转：侧视图时，3D模型逆时针旋转



- Y轴旋转：正视图时，3D模型逆时针旋转



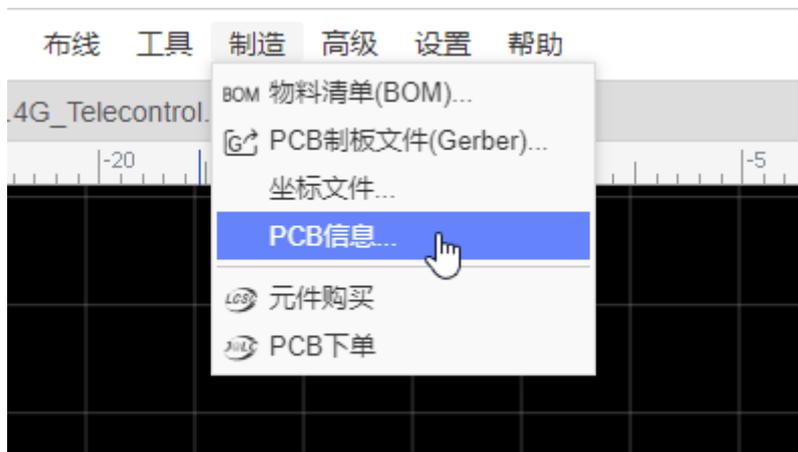
5、调整完毕后，点击“更新”按钮，完成封装的3D模型绑定。

6、在顶部预览菜单点击3D预览即可进行3D模型预览。

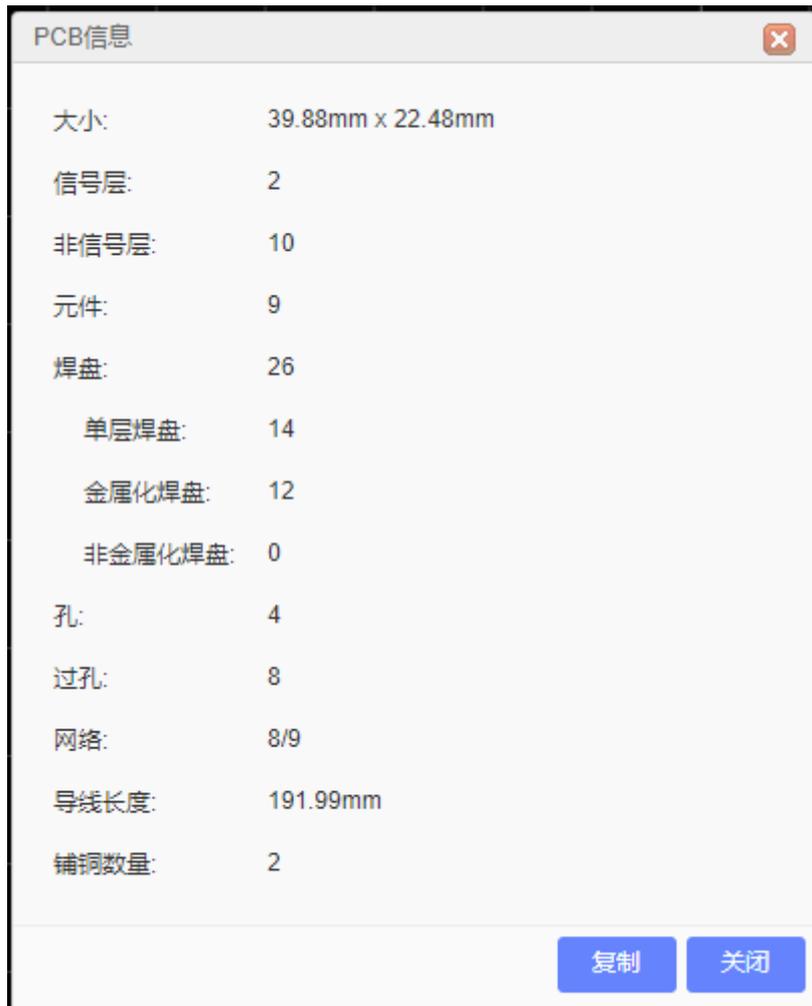
PCB信息

通过PCB信息查看可以很方便统计到PCB的设计信息。

入口：顶部菜单 - 制造 - PCB信息



其中网络显示的是：已布线网络/总网络数。

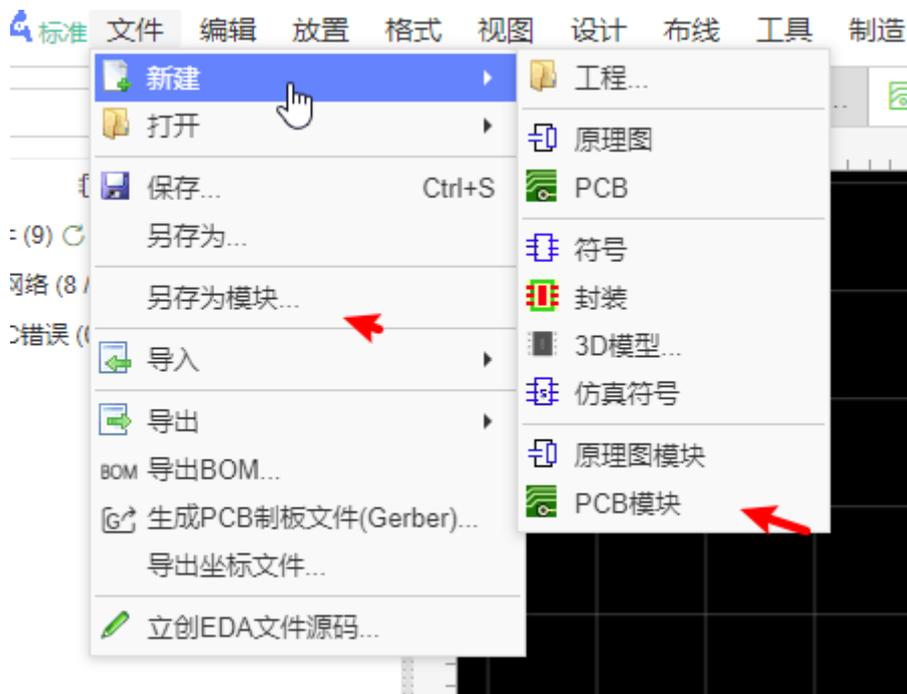


PCB模块

嘉立创EDA支持PCB模块功能，与原理图模块相似，以利于PCB模块的复用，避免重复设计。

创建方式

“打开原理图或PCB - 顶部菜单 - 文件 - 另存为模块” 或者 顶部菜单 - 新建 - PCB模块。



原理图PCB模块保存在 **元件库 > 原理图/PCB模块 > 工作区** 中，下次使用在这里直接放置即可。

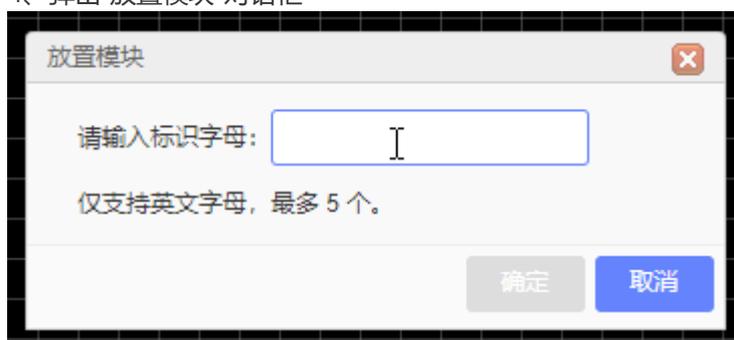


使用方法

从6.4.1开始，原理图模块和PCB模块，支持分别放置，并且导入更新后PCB的模块布局保持不变。

使用方法：

- 0、绘制原理图模块和PCB模块，并确保他们的器件编号是一一对应，封装也是对应的。模块的器件编号不能出现问号和编号重复的现象，比如 U?
- 1、打开同一个工程下的需要放置的原理图/PCB
- 2、打开元件库对话框，选择 PCB 模块库
- 3、选择保存的 原理图/PCB 模块，点击放置
- 4、弹出“放置模块”对话框



- **请输入标识字母：**仅支持大写的英文字母，最多输入五个字母。该字母会应用到模块的符号/封装编号上。比如模块的器件 U3，标识字母 K，放置在画布器件的编号变为 KU3。

点确定后，进入放置模式，每次放置后会继续弹窗输入标识字母。请确保每次输入的标识字母是唯一的。

5、当原理图模块和PCB模块均分别放置后，并且保证输入的标识字母，它们此时可以对应上器件ID，在PCB导入更新后，将保持PCB布局不变，并且会更新PCB里面的导线网络，完成模块的放置和关联。

注意：

- 模块由单独的器件与导线等组成，与符号库指定封装不同，它不能绑定另外一个模块。比如PCB模块放置在PCB后，已经拆散无法与原理图模块对应，只有独立的符号与封装之间对应，所以需要确保放置的模块输入相同的标识字母。

生成制造文件Gerber

生成Gerber

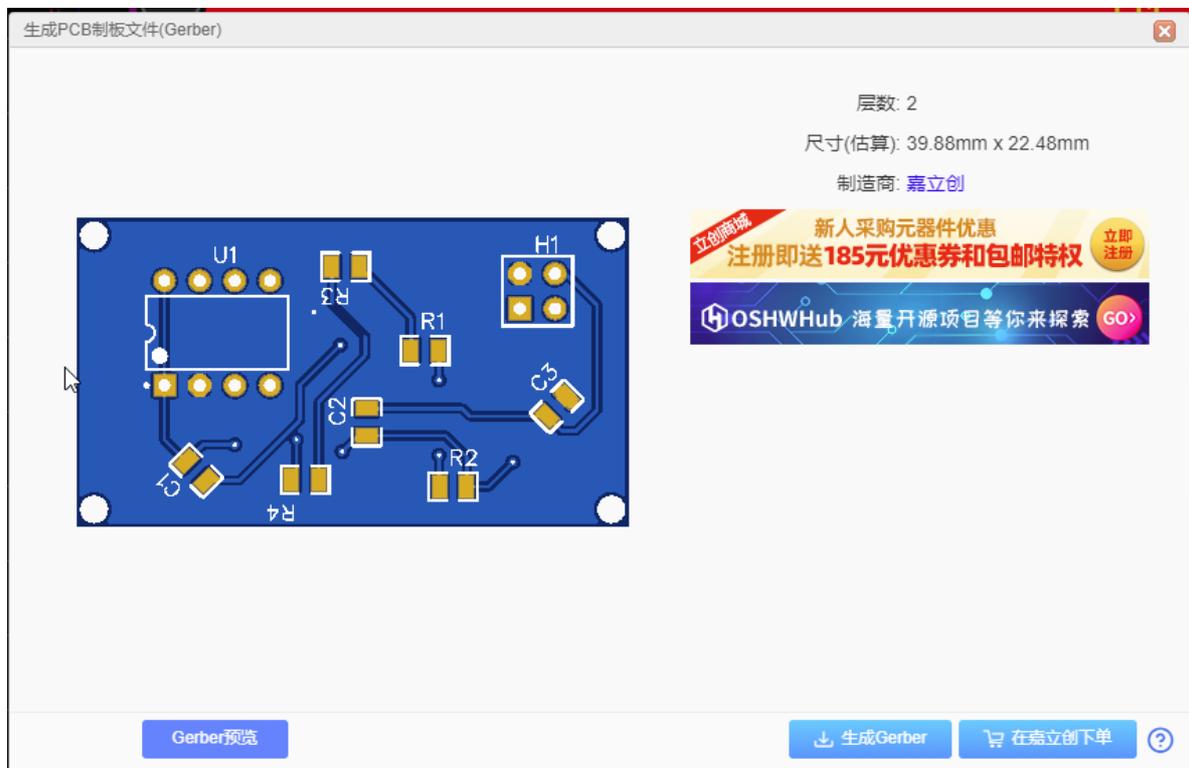
当你完成PCB设计之后，你可以生成Gerber文件，通过：**顶部菜单 - 文件 - 生成PCB制板文件(Gerber)** 或者 **顶部菜单 - 制造 - 生成PCB制板文件**。



点击后会打开弹窗是否检查DRC或者网络。根据需要选择对应按钮。



当检测没有网络错误或者DRC错误后，会弹出Gerber生成对话框：



点击按钮下载Gerber即可得到Gerber文件，一个 ZIP 压缩包，内部包含了制造文件和钻孔文件。

如果你需要PCB打样，建议通过嘉立创EDA的兄弟公司嘉立创：www.jlc.com

当然，你也可以将导出的Gerber文件发给任意一个厂家进行生产，嘉立创EDA并没有做任何使用限制！！

Gerber文件的文件组成和编辑器的图层功能有一定的差别的，并不完全相同。

Gerber文件名：

生成后的Gerber文件是一个压缩包，解压后你可以看到有如下文件：

- **Gerber_BoardOutline.GKO**：边框文件。PCB板厂根据该文件进行切割板形状。嘉立创EDA绘制的槽，实心填充的非镀铜通孔在生成Gerber后在边框文件进行体现。
- **Gerber_TopLayer.GTL**：PCB顶层。顶层铜箔层。
- **Gerber_BottomLayer.GBL**：PCB底层。底层铜箔层。
- **Gerber_Inner1.G1**：内层铜箔层，信号层类型。
- **Gerber_Inner2.GP2**：内层铜箔层，内电层类型
- **Gerber_TopSilkLayer.GTO**：顶层丝印层。
- **Gerber_BottomSilkLayer.GBO***：底层丝印层。
- **Gerber_TopSolderMaskLayer.GTS**：顶层阻焊层。也可以称之为开窗层，默认板子盖油，在该层绘制的元素对应到顶层的区域则不盖油。
- **Gerber_BottomSolderMaskLayer.GBS**：底层阻焊。也可以称之为开窗层，默认板子盖油，在该层绘制的元素对应到底层的区域则不盖油。
- **Drill_PTH_Through**：金属化钻孔层。这个文件显示的是内壁需要金属化的钻孔位置。
- **Drill_NPTH_Through**：非金属化钻孔层。这个文件显示的是内壁不需要金属化的钻孔位置，比如通孔。
- **Gerber_TopPasteMaskLayer.GTP**：顶层助焊层。开钢网用。
- **Gerber_BottomPasteMaskLayer.GBP**：底层助焊层。开钢网用。
- **Gerber_TopAssemblyLayer.GTA**：顶层装配层。仅做读取，不影响PCB制造。曾用名称：ReadOnly.TopAssembly

- **Gerber_BottomAssemblyLayer.GBA**: 底层装配层。仅做读取，不影响PCB制造。曾用名称: ReadOnly.BottomAssembly
- **Gerber_MechanicalLayer.GML**: 机械层。曾用名称: ReadOnly.Mechanical。记录在 PCB 设计里面在机械层记录的信息，仅做信息记录用。比如: 工艺参数; V割路径等。
- **Gerber_DocumentLayer.GDL**: 文档层。记录PCB的备注信息用，不参与制造生产。

注意:

- 在生成制造文件之前，请务必进行照片预览，查看设计管理器的DRC 错误项，避免生成有缺陷的Gerber文件。
- 生成Gerber 是通过浏览器生成，所以必须通过浏览器自身的下载功能下载，不能使用任何第三方下载器
- Gerber文件的坐标跟随画布坐标
- 导出Gerber时，钻孔文件坐标格式精度默认3:3，当尺寸超出范围时自动用4:2格式，如果你在CAM350等查看工具发现钻孔偏移，请调整钻孔坐标格式即可。

预览Gerber

在发送Gerber文件给制造商前，请使用 Gerber 查看器再次检查 Gerber 是否满足设计需求，是否具有设计缺陷。

Gerber 查看器有: Gerbv、FlatCAM、CAM350、ViewMate、GerberLogix 等一些 DFM 检查工具。

推荐免费的Gerbv:

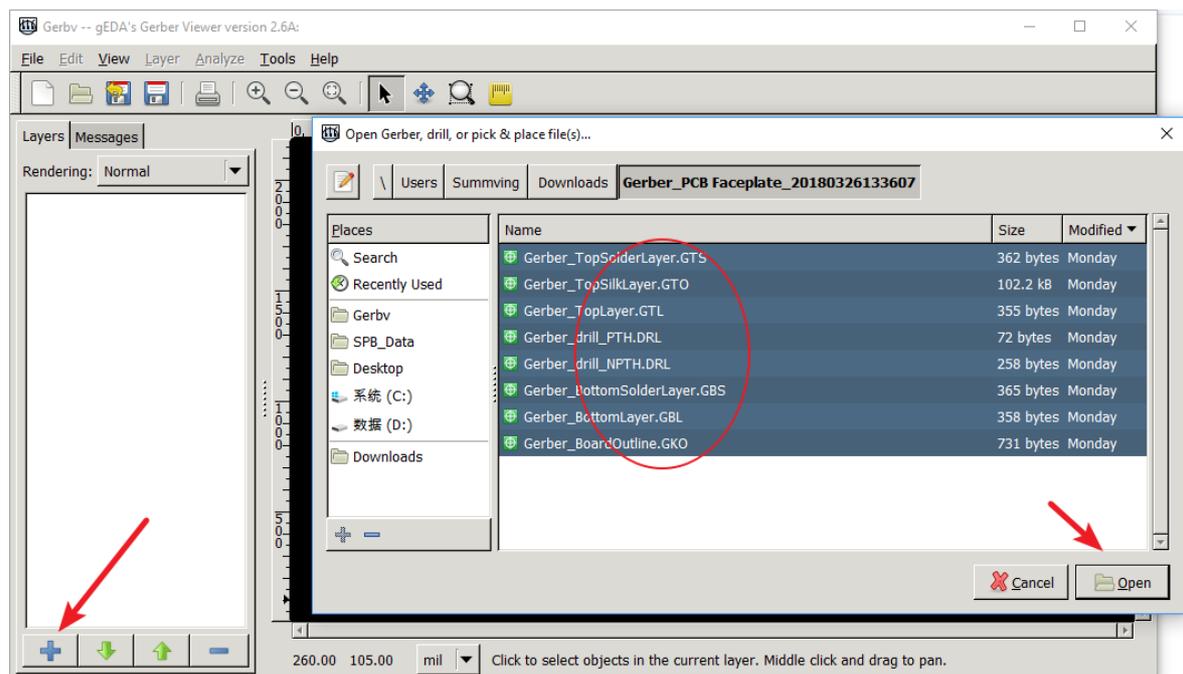
官网主页: <http://gerbv.geda-project.org/>

下载地址: <https://sourceforge.net/projects/gerbv/files/>

下载地址2: [Gerbv-2.6.0.exe](#)

Gerbv 使用方法:

1. 下载 Gerbv，并打开；解压下载的 Gerber 压缩包。
2. 点击左下角的加号 **+**，打开 Gerber 文件夹，并 **SHIFT+全选** 或者 **CTRL+A全选** 解压后的Gerber 文件。



3. 然后进行缩放，量测，换层，检查钻孔，铺铜等是否满足设计与制作要求。

也可以使用同样免费的 Flatcam: <http://flatcam.org/>

FlatCAM 可让您将设计带到 CNC 机器中。您可以打开 Gerber、Excellon 或 G 代码，对其进行编辑或从 scratch 创建，并输出 G 代码。隔离布线是 FlatCAM 非常适合的众多任务之一。它是开源的，用 Python 编写，在大多数平台上运行。

其他免费在线 Gerber 预览工具：

www.jlc.com
tracespace.io/view
gerber.ucamco.com

BOM表导出

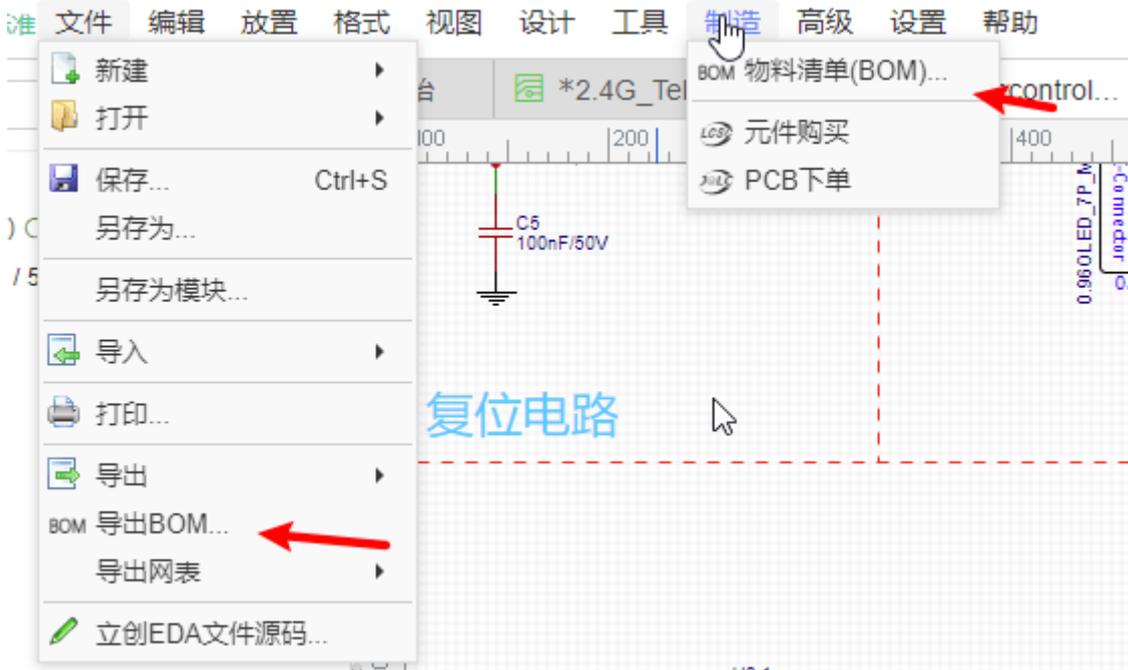
嘉立创EDA支持单独PCB导出BOM表(物料清单)，以便于你购买所需的零件。

需要注意：

- 1、在v6.4.17版本之前，当工程内有原理图，导出的BOM信息来自于原理图的符号，给器件分配的立创商品编号也是写入原理图的符号中。当工程内只有PCB时，导出的BOM信息来自PCB内的封装，给器件分配的立创商品编号也是写入PCB的封装中。
- 2、在v6.4.17版本及之后，原理图的BOM和PCB的BOM已经独立导出，在BOM对话框分配的元件编号也是独立写入对应的文件中。导出 BOM 时请区分要导出的是哪个文件的 BOM。

BOM导出可以通过：

顶部菜单 - 制造 - 物料清单，或者 **顶部菜单 - 文件 - 导出BOM**



点击后会弹出一个导出对话框，

导出前，你还可以为零件指定立创商城的零件编号，以利于在立创商城上方便购买元件，下单时直接上传BOM表即可：

编号	元件名称	编号	封装	数量	制造商料号	制造商	供应商	供应商编号	价格
1	asasa	C1	C1206	1					
2	adada	C2	C1206	1					
3	0.1u	C3,C4	C1206	2					

OSHWHub 海量开源项目等你来探索

导出BOM 购买元件/检查库存 取消

点击分配图标后会打开元件库搜索框，在这里找到你想要的零件然后点击“分配”完成编号指定，分配的编号将出现在BOM中。

搜索库

1u

类型 原理图库

库别 立创商城(13) 立创贴片(0)

标题 (零件名称)	封装	容量	电感系数	制造商	描述
CT4-0805B105K	RAD-0.2	1uF		ReliaPro	1uF (105) ±10% 50V
0603B105K160	0603	1uF(105)		WTC	
YFF31HC2A105MT000N	YFF-HC		1uF(105)	TDK	
0603YD105KAT2A	0603	1uF(105)		AVX	
NFM18PC105R0J3D	C1608_3T		1uF(105)	MuRata	
NFM21HC105R1C3D	0805-2*1.25MM		1uF(105)	MuRata	
CA45-A-35V-1UF-K	CASE-A_3216	1uF(105)		CEC	
SWPA252012S1R0NT	252012		1uH	Sunlord	
105J 100V	CAP-CBB-7.0*5.0	1uF		ReliaPro	1uF (105) ±5% 100V
CT4-1206Y105M101	RAD-0.2	1uF		ReliaPro	1uF (105) ±20% 100V
FNR8040S1R0MT	IND-808040		1uH	cjiang	

原理图库 > 立创商城 > 电容 > 直插独石电容 > CT4-0805B105K

¥ 0.0900 立创商城编号: C26435 库存: 0 起订量: 20 销售商: 立创商城

分配 取消

在这个对话框里，直接点击“导出BOM”按钮即可下载CSV格式的BOM表。目前BOM与立创商城打通，将实现一键加入购物车功能，届时将大大方便用户采购元件。

BOM打开后如图：

	A	B	C	D	E	F	G	H	I	J	K
	ID	Name	Designator	Footprint	Quantity	Manufacturer	Manufacturer	Supplier	Supplier Pa	LCSC	Assembly
	1	HDR-M-2.54	KJ1,AJ1,BJ1	HDR-M-2.54	8			LCSC	C66690		
	2	NE555P~NA	U1	DIP-8	1	NE555P	TI	LCSC	C46749		
	3	MC306(6pF	C1	CAP-D3.0X	1	HV010M05C	CapXon	LCSC	C59954		
	4	0.1u	C63,C73	C1210K	2						
	5	MC306(6pF	C8	C1210	1						
	6	19-217/GHC	LED1,LED2	LED0603-R-	2	19-217/GHC	EVERLIGHT	LCSC	C72043	Yes	
	7	1N4148W	KD1,AD1,B	SOD-123FL	8	1N4148W	Tak Cheong	LCSC	C129216		
	8	CAP-1uF	C2	C0805	1	RVT2A1R0N	HONOR	LCSC	C87863		
	9	CAP-1uF	C4	RAD-0.1	1	?					
	10	CAP-1uF	C5	R0805	1	?					
	11	HDR-IDC-2.	P1	IDC-TH_6P-	1	2X3 2.54mn	BOOMELE	LCSC	C11214		
	12	0.1u	KC1,AC1,BC	C1210	8						
	13	1KOHM	R2	R0805	1	?					
	14	1KΩ	R1	AXIAL-0.3	1	?					
	15	2N3906(TO	KQ1,AQ1,B	TO-92-3_L4	8	2N3906	CJ	LCSC	C9809		
	16	1m	KL1,AL1,BL1	L0402	8						

支持导出价格，价格列是取当前立创商城的第一阶梯单价。

注意：

- 为了支持多语言，嘉立创EDA的BOM和坐标文件(CSV文件)均采用UNICODE编码，以制表符为CSV分隔符，如果你上传BOM至元件商城(如立创商城)无法使用，或者发送坐标文件至PCB制造商(如深圳嘉立创)无法使用，请自行转换CSV文件编码与分隔符。
- 推荐的转换方式：使用Excel或WPS另存为新的CSV文件。以Excel为例，用Excel打开CSV文件后，依次点击或选择：另存为——其它格式——CSV(逗号分隔)(* .csv)。也可以使用任何文本编辑器(如Windows记事本)打开该CSV文件，另存为ANSI或UTF-8编码格式。如有必要，还需替换所有制表符为英文逗号。

更多信息请查看 [导出](#) 章节。

导出坐标

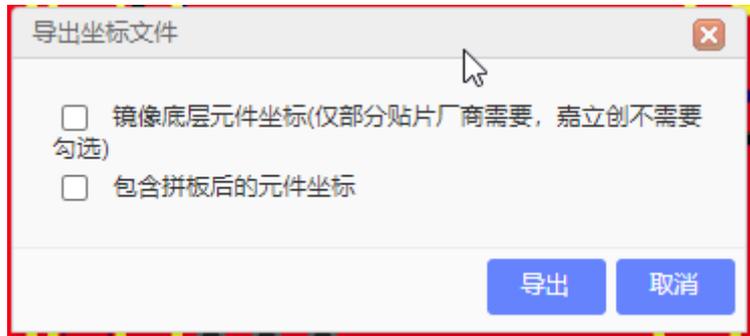
嘉立创EDA支持导出SMT坐标信息，以便于工厂进行SMT贴片。

坐标文件只在PCB文件中导出。

导出可点击：[顶部菜单 > 文件 > 导出坐标文件](#) 或 [顶部菜单 - 制造 - 坐标文件](#)



点击后会弹出导出对话框：



- 1、**镜像底层元件坐标**：有部分贴片厂商需要底层元件镜像后的坐标，可以勾选该选项，一般不需要勾选。在嘉立创打样不需要勾选。
- 2、**包含拼板后的元件坐标**：如果使用了编辑器的自带拼板功能，可以勾选该选项，嘉立创不需勾选，一些板厂会需要该功能。

导出的文件格式为CSV，打开后如下：

	A	B	C	D	E	F	G	H	I	J
1	Designator	Footprint	Mid X	Mid Y	Ref X	Ref Y	Pad X	Pad Y	TB	Rotation
2	Q1	SOT23	580mil	430mil	580mil	430mil	617mil	473mil	T	180
3	Q2	SOT23	770mil	430mil	770mil	430mil	807mil	473mil	T	180
4	Q3	SOT23	1040mil	120mil	1040mil	120mil	1003mil	77mil	T	0
5	R1	1206	680mil	150mil	680mil	150mil	680mil	95mil	T	90
6	R2	1206	500mil	150mil	500mil	150mil	500mil	95mil	T	90
7	R3	1206	540mil	750mil	540mil	750mil	540mil	695mil	T	90
8	R4	1206	910mil	750mil	910mil	750mil	910mil	695mil	T	90
9	R5	1206	730mil	750mil	730mil	750mil	730mil	695mil	T	90
10	C1	1206	820mil	200mil	820mil	200mil	820mil	255mil	T	270
11	C2	1206	1100mil	750mil	1100mil	750mil	1100mil	805mil	T	270
12	JP2	JST-2-SMD	1076.5mil	450mil	1120mil	450mil	974mil	489mil	T	270
13	JP1	JST-3-SMD	275.5mil	450.5mil	190mil	450mil	378mil	372mil	T	90
14										

支持封装中心(Mid X/Y)、封装原点(Ref X/Y)、1号焊盘(Pad X/Y)三种类型的坐标。表头说明：

- Designator: 位号
- Comment: 器件。器件的名称，一般是元件的制造商编号。
- Footprint: 封装，器件绑定的封装名。
- Mid X, Mid Y: 封装的中心坐标。

- Ref X, Ref Y: 封装的原点坐标。
- Pad X, Pad Y: 封装第一个焊盘的坐标。
- Layer: 封装所在的层。
- Rotation: 封装的旋转角度。

目前导出的文件支持mil和mm单位，导出的单位跟随PCB的画布单位设置。

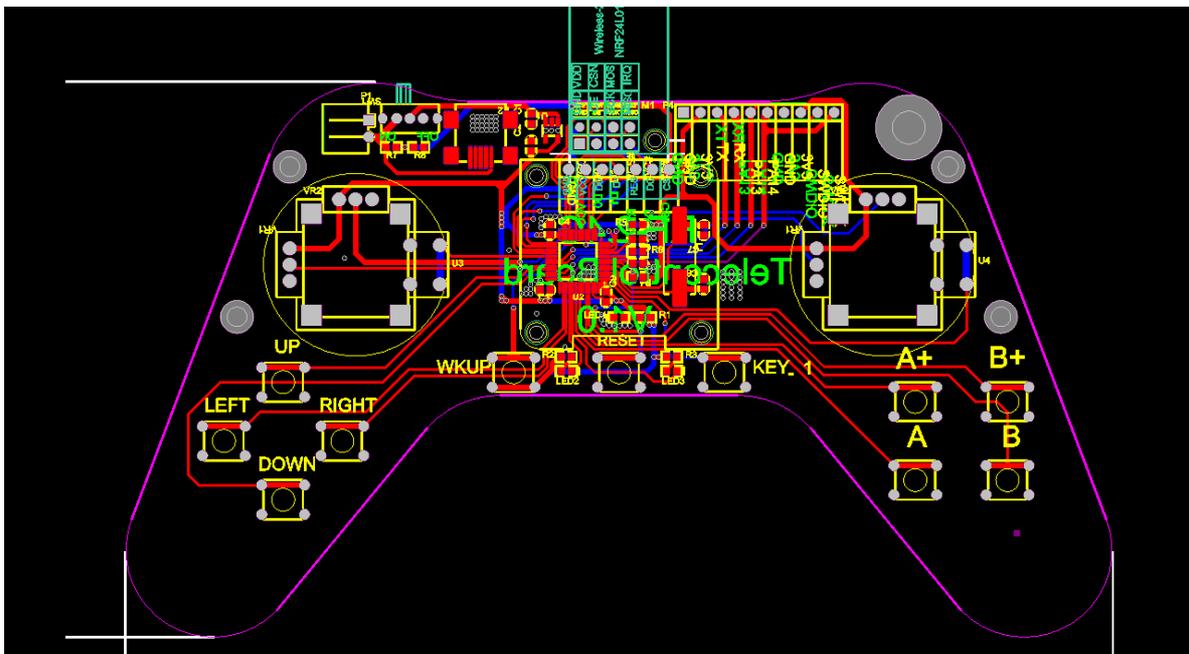
注意：

- 如果目前编辑器画布的坐标系是SVG坐标系(上负下正)还是笛卡尔坐标系(上正下负)，坐标文件的坐标系都是上正下负。
- 为了支持多语言，嘉立创EDA的BOM和坐标文件(CSV文件)均采用UNICODE编码，以制表符为CSV分隔符，
如果你上传BOM至元件商城(如立创商城)无法使用，或者发送坐标文件至PCB制造商(如深圳嘉立创)无法使用，请自行转换CSV文件编码与分隔符。
- 推荐的转换方式：使用Excel或WPS另存为新的CSV文件。以Excel为例，用Excel打开CSV文件后，依次点击或选择：另存为 - 其它格式 - CSV(逗号分隔)(* .csv)。也可以使用任何文本编辑器(如Windows记事本)打开该CSV文件，另存为ANSI或UTF-8编码格式。
如有必要，还需替换所有制表符为英文逗号。

导出DXF

嘉立创EDA支持将 PCB 导出 DXF。

目前嘉立创EDA支持导出全图层和全对象的DXF文件：



你可以很容易在CAD工具中进行编辑，进行切换图层。

元件/PCB下单流程

元件购买

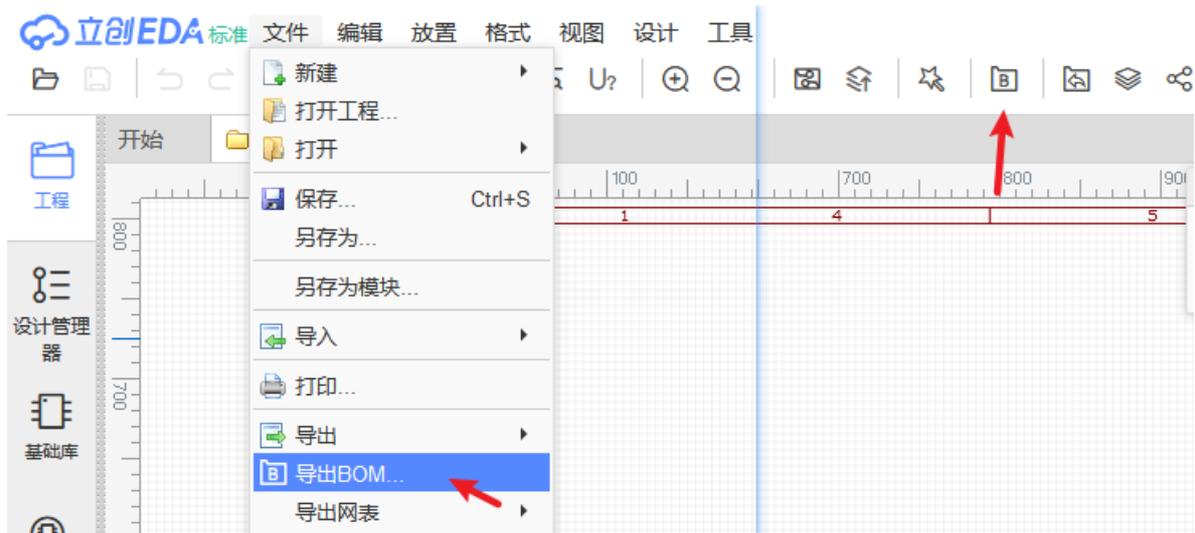
准备工作

- 1、在嘉立创EDA设计好原理图和 PCB。
- 2、需要注意，原理图的 BOM 和 PCB 的 BOM 是独立的。

注意：如果需要在嘉立创贴片，贴片元件需要在嘉立创下 SMT 订单时选购，立创商城和嘉立创的元件购买是独立的，包括库存和价格都是独立的。

一键下单元器件

- 1、在嘉立创EDA打开原理图，
- 2、点击 **顶部菜单 - 制造 - BOM** 或 **顶部菜单 - 文件 - 导出BOM** 按钮。



- 3、会打开BOM对话框，点击 **购买元件/检查库存** 按钮后，跳转到立创商城，

编号	元件名称	编号	封装	数量	制造商料号	制造商	供应商	供应商编号	价格
1	TF-018	CARD1	TF-SMD_TF-018	1	TF-018	台湾汉博	LCSC	C961679	
2	DF1504S-T	D1	DFS_4P-L8.3...	1	DF1504S-T	Diodes Inc...	LCSC	C460869	2.53
3	MB10S_C...	D2	DIO-BG-SMD_...	1	MB10S	MDD	LCSC	C2488	0.12631
4	PHE1300...	Q1	TO-92-3_L4.9...	1	PHE13003C,412	WeEn Se...	LCSC	C256388	1.82
5	DTC144E...	Q2	SC-70-3_L2.1...	1	DTC144EUAT106	ROHM	LCSC	C84979	0.12591
6	PTN7806...	U1	PWRM-TH_PT...	1	PTN78060WAH	TI(德州仪器)	LCSC	C2681319	
7	IW3681-10	U2	SOIC-8_L5.0...	1	IW3681-10	Dialog Se...	LCSC	C425007	
8	DIO8850B...	U3	SOT-23-6_L2...	1	DIO8850BCST6	DIOO(帝奥)	LCSC	C428285	
9	GN1629B	U4	SOP-32_L20...	1	GN1629B	GN(芯芯半)	LCSC	C427458	
10	GN1650	U5	SOP-16_L9.9...	1	GN1650	GN(芯芯半)	LCSC	C427456	
11	MT7727EK	U6	SOP-8_7P-L4...	1	MT7727EK	MAXIC(美)	LCSC	C428255	
12	MT3111	U7	SOP-8_L5.0...	1	MT3111	TPOWER(...)	LCSC	C440392	
13	FOD3150	U8	PDIP-8_L9.5...	1	FOD3150	ON(安森美)	LCSC	C899246	

At the bottom of the dialog box, there are buttons for 'Export BOM', 'Purchase components/Check inventory', and 'Cancel'. A red arrow points to the 'Purchase components/Check inventory' button.

- 4、此时点击网页 BOM 列表的 **更换型号** 按钮进行元件搜索，并添加进购物车，即可购买。

BOM_5cf5422bf67c40d9a383650bfb182400_20210426133803 匹配情况分析结果
当前系统自动识别搜索条件, 优先现货与价格为您推荐最优商品。若识别有误, 请切换搜索条件

导入BOM清单 保存BOM清单 导出报价

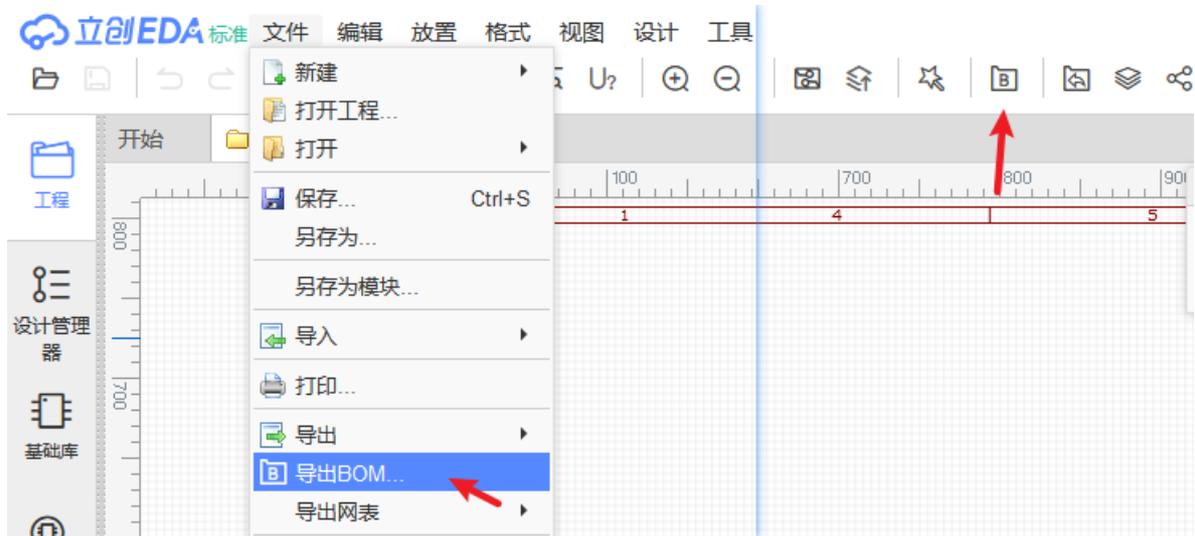
筛选 价格优先匹配 库存优先匹配 不接受替代料 指定品牌 **重新配单** 已选择型号共 18 种 | 总价: **¥217.42** **加入购物车**

全部 (20) 完全匹配 (18) 待确认 (0) 无法匹配 (2) **采购套数1** | **批量修改套数**

□	序号	需求型号/规格	封装	单套用量	总数	备损(PCS)	推荐商品	包装/起订量	推荐数量	现货/订贷	单价	小计	操作
<input checked="" type="checkbox"/>	1	TF-018 C961679	TF-SMD_TF-018	1	1	0	TF简易短卡座9P中间边上带锁 测H1.5/1.7卡座 台湾汉博 SMD	包装: 1000 起订量: 1 递增量: 1	1	订贷	1.2272	1.23	更换型号 🗑️
<input checked="" type="checkbox"/>	2	DF1504S-T C460869	DFS_4P-L8.3-W6.4- P5.10-LS10.1-TR	1	1	0	DF1504S-T DIODES(黄台) DF-S	包装: 1500 起订量: 1 递增量: 1	1	现货	1.8832	1.88	更换型号 🗑️

手动下单元器件

- 1、在嘉立创EDA打开原理图,
- 2、点击 **顶部菜单 - 制造 - BOM** 或 **顶部菜单 - 文件 - 导出BOM** 按钮,



- 3、会打开BOM对话框, 点击 **下载 BOM** 按钮后, 下载 CSV 格式的 BOM 表。如果有需要可以自行用表格软件打开另存为其他格式。

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
编号	元件名称	编号	封装	数量	制造商料号	制造商	供应商	供应商编号	价格												
1	TF-018	CARD1	TF-SMD_TF-018	1	TF-018	台湾汉博	LCSC	C961679		分配立创编号											
2	DF1504S-T	D1	DFS_4P-L8.3-...	1	DF1504S-T	Diodes Inc...	LCSC	C460869	2.53	分配立创编号											
3	MB10S_C...	D2	DIO-BG-SMD_...	1	MB10S	MDD	LCSC	C2488	0.1263	分配立创编号											
4	PHE1300...	Q1	TO-92-3_L4.9-...	1	PHE13003C,412	WeEn Se...	LCSC	C256388	1.82	分配立创编号											
5	DTC144E...	Q2	SC-70-3_L2.1-...	1	DTC144EUAT106	ROHM	LCSC	C84979	0.1259	分配立创编号											
6	PTN7806...	U1	PWRM-TH_PT...	1	PTN78060WAH	TI(德州仪器)	LCSC	C2681319		分配立创编号											
7	IW3681-10	U2	SOIC-8_L5.0-...	1	IW3681-10	Dialog Se...	LCSC	C425007		分配立创编号											
8	DIO8850B...	U3	SOT-23-6_L2...	1	DIO8850BCST6	DIOO(蒂美)	LCSC	C428285		分配立创编号											
9	GN1629B	U4	SOP-32_L20...	1	GN1629B	GN(芯芯半...)	LCSC	C427458		分配立创编号											
10	GN1650	U5	SOP-16_L9.9-...	1	GN1650	GN(芯芯半...)	LCSC	C427456		分配立创编号											
11	MT7727EK	U6	SOP-8_7P-L4...	1	MT7727EK	MAXIC(美...)	LCSC	C428255		分配立创编号											
12	MT3111	U7	SOP-8_L5.0-...	1	MT3111	TPOWER(...)	LCSC	C440392		分配立创编号											
13	FOD3150	U8	PDIP-8_L9.5-...	1	FOD3150	ON(安森美)	LCSC	C899246		分配立创编号											

- 4、前往立创商城 (<https://szlcsc.com>) ,选择 **BOM 配单**, 导入 BOM, 进行下单。

BOM智能配单，给您最优的选择，一键下单

- 海量现货库存，一站式配单
- 智能推荐，优先保证现货与低价，省时省力
- 随意切换搜索条件，快速同步匹配结果

管理BOM列表

可手动输入或Excel复制粘贴，示例：
ULN2003D10131R 500
1nF,0402,50V,X7R 30

多型号配单

上传BOM文件 下载模板

拖拽BOM文件至此框或点击按钮上传文件

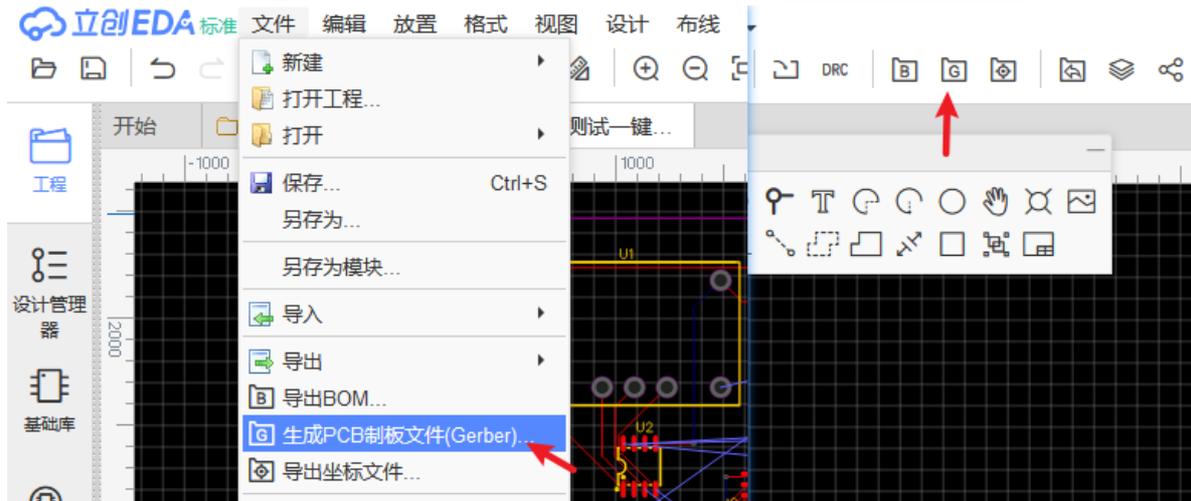
要求：
- 文件必须是xls、xlsx、csv格式
- 文件大小必须小于4MB
- 支持立创商城商品编号精确搜索
- 为了更好的BOM搜索体验，您可以参考模板修改

PCB下单

一键下单PCB

1、在嘉立创EDA打开 PCB，

2、点击“顶部菜单 - 制造 - 生成PCB制板文件” 菜单，生成Gerber。 [生成制造文件 Gerber](#)



3、在 **生成PCB制板文件** 对话框，点击 **在嘉立创下单** 按钮



4、会生成需要一键下单的 Gerber 文件和坐标文件, BOM 文件。点击确定, 打开嘉立创的下单页面, 没有登录的需要先登录嘉立创, 使用嘉立创EDA账号登录, 无需再次注册。



5、填写好各种参数后, 提交订单。



6、等审核通过后, 再去订单列表付款即可完成 PCB 下单。



下单成功，请等待审核!

温馨提示:

嘉立创工作人员审核后，会以下单助手发短信提示您，请第一时间到网上确认。 [下载PC电脑端助手](#)

[返回订单列表](#)

审单时间:

周一至周六: **上午9:00 - 11:50** **下午:13:20 - 18:00**,

法定节假日审单时间另行通告。

生产安排时间 (订单越早确认越好, 因为能更好的保证你的出货时间)

周一至周六: **上午9:00 - 下午18:00前**确认的当天安排,超出则交期顺延一天。

周日不安排订单生产。

法定节假日生产安排时间另行通告。

您的PCB服务专员:

戎焕杰 电话: 18681562994 QQ: [800005884](#)

继续下新单

重新下新订单, 需要重新选择订单工艺信息

再下相同工艺订单

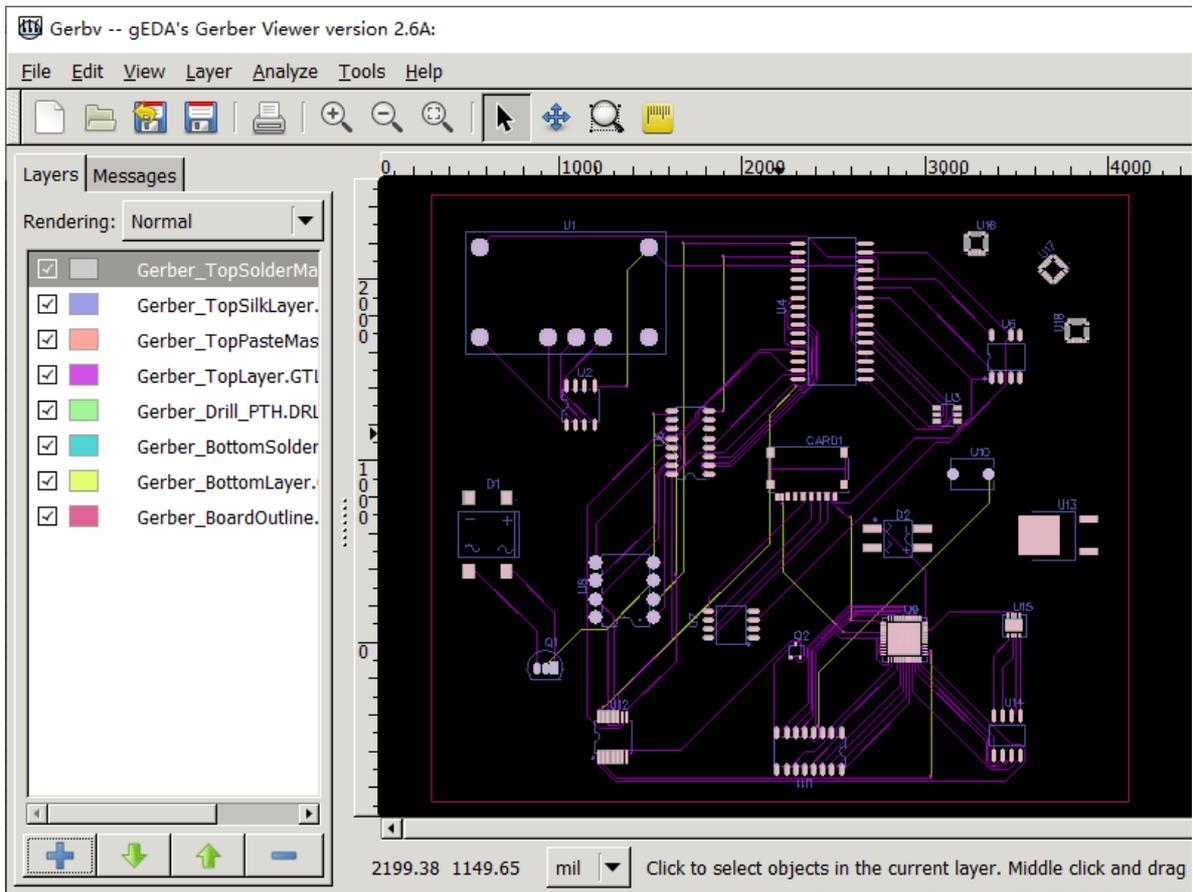
根据当前订单工艺, 仅需重传文件, 即可下新订单, 不需要重新选择订单工艺信息

手动下单PCB

- 1、在嘉立创EDA打开 PCB
- 2、根据前面一键下单的步骤2, 和步骤3, 点击 **生成Gerber** 按钮, 导出 Gerber 在本地。



- 3、在本地预览 Gerber 是否符合设计要求, 是否有设计错误:
[Gerber查看器](#)



4、前往深圳嘉立创 <https://www.jlc.com>，可使用嘉立创EDA账号直接登录，无需再次注册。



5、进入下单平台后，在左侧找到：“PCB订单管理 - 在线下单”。



5、填写相关参数后上传当前的 Gerber 文件(ZIP压缩包), 填写好各项参数, 然后提交订单, 等待嘉立创审核订单



6、审核通过后, 确认订单并付款(支持微信支付宝扫码付款), PCB 开始进入生产阶段。完成 PCB 下单。

SMT下单

一键下单SMT

1、在嘉立创EDA打开 PCB, 前期操作同 **一键下PCB订单** 的步骤 1 到步骤 4。

2、根据前面 **一键下PCB订单** 的步骤 4 之后, 在填写参数页面, 选项“本单是否需要SMT贴片”选择 **需要**



3、提交订单后, 在下单成功页面, 点击按钮 **不等审核结果, 继续去下SMT订单**。



4、选择需要的下单参数后, 点击 **下一步, BOM匹配**。贴片数量根据自己需要, BOM 清单和坐标清单均选择 **使用系统生成的BOM/坐标**。

SMT信息

发票类型 增值税电子发票

贴片数量

SMT分板定位孔

PCB交期: 2021-04-28 20:00:00; SMT预计最快发货日期: 2021-04-29 20:00:00

资料文件

BOM清单

坐标清单

拼版方式 我的坐标是单片

5、系统会自动加载 BOM 和坐标文件和 Gerber 文件，在左侧关联好需要贴的物料型号后，点击按钮**备料完成，下一步**。可以在该界面预览贴片图，更换BOM，更换坐标，下载BOM和坐标等操作。

SMT下单 文件名: eda_file_..._20210426143855e9774ae22f644d9aac285631062ecc44 网络支付总费: 302.78元

物料型号	封装	位号	元件编号	用料信息	私有库存	操作
PIC32MM0016GPIQ20-VML QFN-20_L4.0-W4.0-P0.5-BL-EP	QFN-20_EP_4.0x4.0x0.5P QFN-20_L4.0-W4.0-P0.5-BL-EP	U5	C86180 C86180	扩展 使用: 7 库存: 0 单价: 7	约值26.11元 129.61%	<input type="checkbox"/> <input type="button" value="先整盘预订 分批使用"/> <input type="button" value="立即预订"/> <input type="button" value="私盘管理"/>
ALURFSAB409-7TR D2PAK-7_L10.6-W9.6-P1.27-L515.9-BR	TO-263-6 D2PAK-7_L10.6-W9.6-P1.27-L515.9-BR	U4	C533424 C533424	扩展 使用: 5 库存: 0 单价: 5	约值197.25元 162.65%	<input type="checkbox"/> <input type="button" value="先整盘预订 分批使用"/> <input type="button" value="立即预订"/> <input type="button" value="私盘管理"/>
LP3668D SOIC-8_7P-L5.0-W4.0-P1.27-L56.1-BL-PE7	SOP-7_3.9x4.9x1.27P SOIC-8_7P-L5.0-W4.0-P1.27-L56.1-BL-PE7	U3	C360136 C360136	扩展 使用: 6 库存: 0 单价: 6	约值1.99元 184.89%	<input type="checkbox"/> <input type="button" value="先整盘预订 分批使用"/> <input type="button" value="立即预订"/> <input type="button" value="私盘管理"/>
SN74VNC1G123DCUT VSSOP-8_2.0x2.3x0.5P VSSOP-8_L2.4-W2.1-P0.50-L53.2-BR	VSSOP-8_2.0x2.3x0.5P VSSOP-8_L2.4-W2.1-P0.50-L53.2-BR	U1	C77272	扩展 使用: 15 库存: 113 单价: 4	约值5.85元 113.22%	<input type="checkbox"/> <input type="button" value="先整盘预订 分批使用"/> <input type="button" value="立即预订"/> <input type="button" value="私盘管理"/>
STPS5H100B-TR TO-252-3_L6.6-W6.1-P4.56-L58.9-TL	TO-252-2 TO-252-3_L6.6-W6.1-P4.56-L58.9-TL	U2	C10648	扩展 使用: 5 库存: 1855 单价: 2.342	约值3.51元 129.97%	<input type="checkbox"/> <input type="button" value="先整盘预订 分批使用"/> <input type="button" value="立即预订"/> <input type="button" value="私盘管理"/>
H1102NLT XFMR-SMD_H1102NLT	SOP-16_7.1x12.7x1.27P XFMR-SMD_H1102NLT	T1	C18584	扩展 使用: 5 库存: 9282 单价: 6.76	约值12.95元 138.31%	<input type="checkbox"/> <input type="button" value="先整盘预订 分批使用"/> <input type="button" value="立即预订"/> <input type="button" value="私盘管理"/>
BA7812FP-E2 TO-252-3_L6.6-W5.5-P4.58-L58.6-BR-CW	TO-252-2 TO-252-3_L6.6-W5.5-P4.58-L58.6-BR-CW	Q1	C79642	扩展 使用: 5 库存: 2254 单价: 1.963	约值4.26元 143.4%	<input type="checkbox"/> <input type="button" value="先整盘预订 分批使用"/> <input type="button" value="立即预订"/> <input type="button" value="私盘管理"/>

贴片图 (自由只支持贴片一次, 请选择需要贴的元件)

6、提交信息后，打开 SMT 结算页面，核对信息无误后，点击**确认下单**完成 SMT 下单。

钢网费: 0元

其它费用: 10元

优惠费用: 50元

网络支付总费: 191.08元

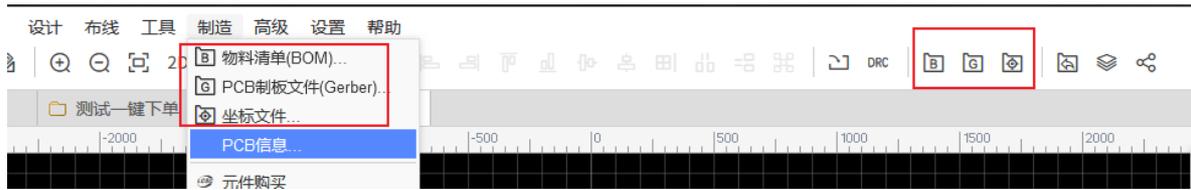
[查看价格明细](#)

C77272等, 共1种元件需求数量 小于 最小出库数量

[阅读并接受《SMT样品贴片制作协议》](#)

手动下单SMT

- 1、在嘉立创EDA打开 PCB，前期操作同 **一键下PCB订单** 的步骤 1 到步骤 4。
- 2、下载好 BOM 文件，坐标文件，Gerber文件在本地。



- 3、本地检查 BOM，坐标文件，Gerber 文件是否有误。
- 4、然后访问打开嘉立创网站的下单系统 <https://www.jlc.com>，先下单 PCB 订单，步骤同前面的 **手动下单PCB**。



- 5、完成PCB下单后，在下单系统左侧找到：“SMT 贴片加工 - 在线下 SMT 订单”，在 PCB 订单列表选择刚刚下的 PCB 订单，点击按钮 **去下SMT**。



	订单日期	PCB订单状态	订单类型	订单数量	PCB尺寸	操作
示订单	2021-04-26 14:51:08	等待客户确认	样板	5片	10CM*10CM	去下SMT
20210426143855e97...	2021-04-26 14:39:37	等待嘉立创审核	样板	5片	4.25CM*3.44CM	去下SMT
202104261421272f9d...	2021-04-26 14:24:03	等待客户确认	样板	5片	9.69CM*8.49CM	去下SMT

7、上传已经下载好在本地的坐标文件和 BOM 文件，点击 **下一步，BOM匹配** 按钮。后续的操作同前面的一键下SMT订单的步骤 4，5，6。即可完成 SMT 下单。

SMT信息

发票类型 增值税电子发票

贴片数量 5片全贴 2片全贴3片不贴

SMT分板定位孔 使用客户自己画的 嘉立创添加

PCB交期: 2021-04-28 20:00:00; SMT预计最快发货日期: 2021-04-29 20:00:00

资料文件

BOM清单 使用系统生成的BOM 使用我自己的BOM

[下载BOM](#)

坐标清单 使用系统生成的坐标 使用我自己的坐标

拼版方式 我的坐标是单片

[下载坐标](#)

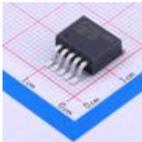
[返回](#) [下一步，BOM匹配](#)

常见问题

1、在立创商城有库存的元件，但在嘉立创无法贴或者没有库存。因为元件库存是独立的，只有部分才可以贴。

具体是否可贴可以查看立创商城的贴片标识：

综合排序 价格 销量 新品 - 现货商品 折扣



LM2575SX-ADJ/NOPB DC-DC芯片

封装: TO-263-5

品牌: TI(德州仪器)

型号: LM2575SX-ADJ/NOPB

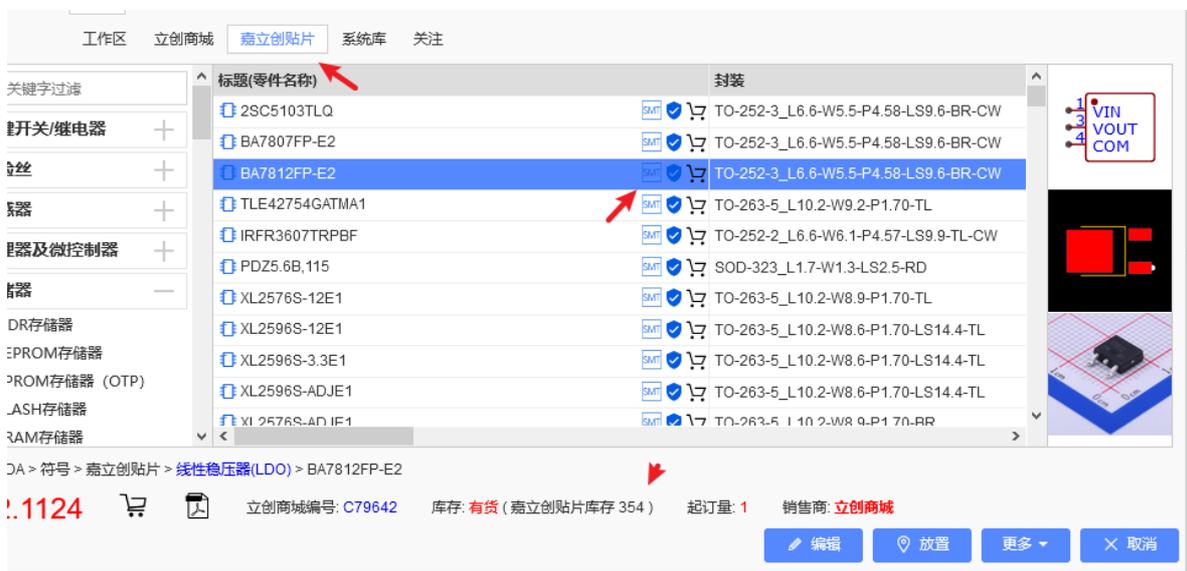
描述: 最大输入电压: 40V 可输出...

"嘉立创SMT可贴"

编号: **C85292**

[数据手册](#) [免费验证板](#)

和嘉立创EDA的嘉立创贴片库别：



2、PCB 下单时，在制造预览提示找不到边框。请检查 PCB 设计，如果是存在边框的，请联系嘉立创客服。

3、SMT 下单时，在贴片预览图提示封装极性错误。

请检查使用的封装极性是否正确，一般是在嘉立创EDA使用的封装的 0 度和嘉立创封装的 0 度不一致导致，如果是封装错误请联系嘉立创EDA修复，如果正确的可以忽略，嘉立创会人工修正。

或者在原理图重新绑定其他正确的封装，更新到 PCB。

4、在立创商城购买的元件可以和 PCB 一起寄送吗？目前不可以。

更多信息请查看：[嘉立创PCB下单流程](#)

符号库

创建符号库

符号库

创建符号库

如前面章节所说，创建符号可以：

- 在原理图中使用“符号库向导”和“组合/解散”功能创建一个符号库符号，创建后如果要在其他的原理图文档中使用该符号
- 可对它进行复制(快捷键CTRL + C)，切换文档后粘贴(快捷键CTRL + V)。

但这两种方法创建的库文件不会保存在“我的库文件”中，所以需要保存在“我的库文件”中时，可创建一个符号库文件。

建议在新建一个符号库之前，先在“元件库”中搜索，可避免重复工作，或者可以在相近元件的库文件上直接编辑另存为一个新的库文件，以减少工作量。

以下是创建一个符号库的具体方法：

1、新建符号库：

通过 顶部菜单 - 文件 - 新建 - 符号



会打开一个空白库文件。

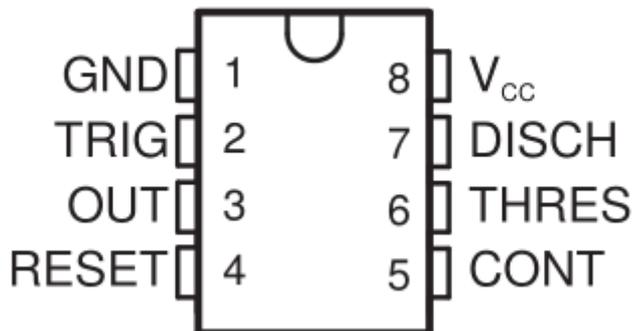
2. 绘制图形符号

- 获取元件的规格书

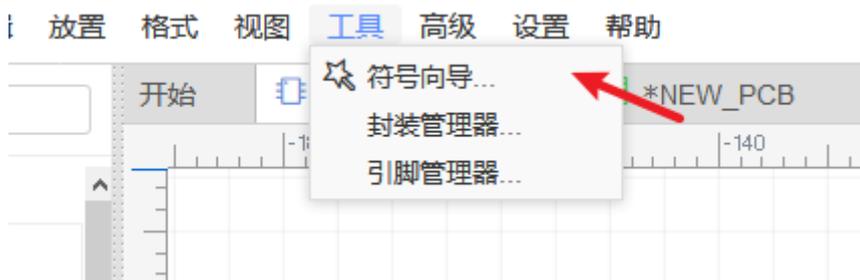
比如NE555DR，规格书下载地址 [LCSC: NE555DR](http://www.lcsc.com/NE555DR).

然后根据规格书绘制图形和放置引脚。该元件有8个脚。

(TOP VIEW)



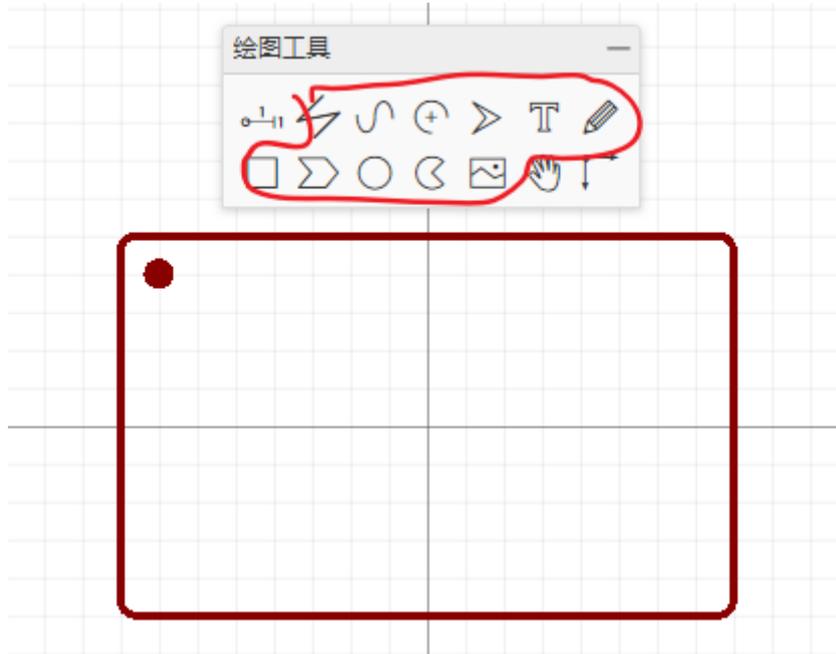
- 使用符号库向导创建



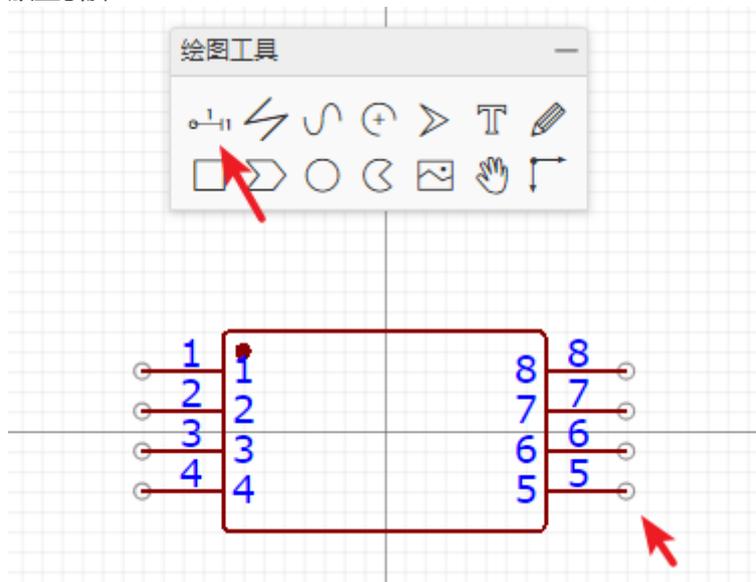
更多信息请查看下一章节的 符号库向导。

- 手动创建

- 使用“绘图工具”绘制元件的边框图形



- 放置引脚



引脚的端点需要朝外，它是作为连接导线的连接点。更多关于引脚的信息请查看后面的“符号库- 属性 - 引脚属性”章节。

3. 编辑引脚

修改引脚属性：

- 可以通过点击每个引脚，然后在右边属性面板修改，

- 也可以通过 **顶部菜单 - 工具 - 引脚管理器** 修改引脚的名称和编号。

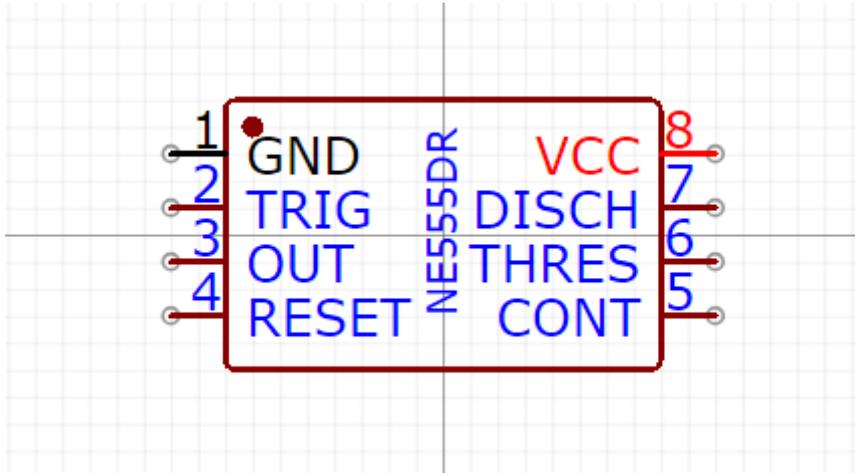


引脚编号必须和封装的焊盘编号一一对应，否则可能原理图无法正常转PCB。

注意：引脚如果隐藏后，将根据引脚名生成一个网络进行连接，如果不是需要，建议不进行隐藏。

4. 修改细节

比如修改引脚长度，颜色，其他属性，放置标识文本等。



5. 设置属性

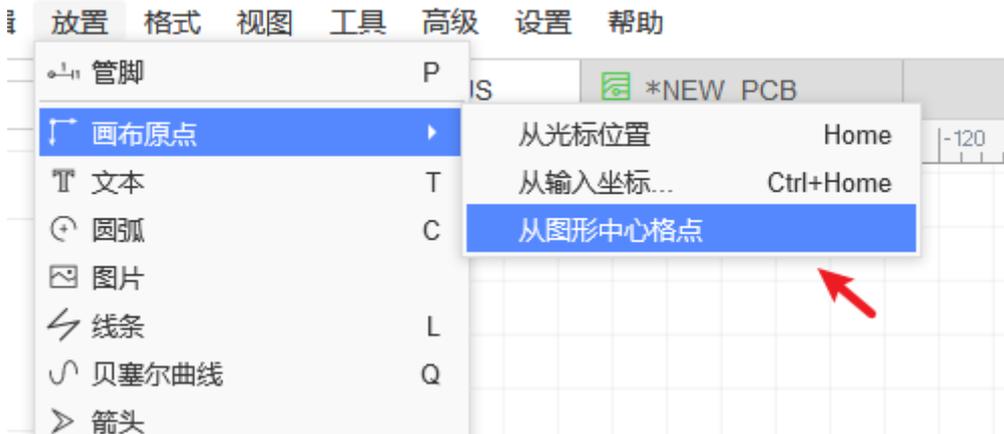
你可以设置厂商名称，厂商料号，封装(建议设置，点击后弹出封装管理器设置，封装管理器的使用请查阅前面章节)，库的名称，编号(放置在原理图里面的默认编号)，更多属性请查看后面的“符号库属性”。

ALT键栅格	5
自定义属性	
供应商	LCSC
立创商城	C7593
编号	U?
名称	NE555DR
封装	SOIC-8_150MIL
制造商	TI
制造商料号	NE555DR
LCSC Assembly	Yes
Image	//image.lceda.cn/szlcsc/C
贡献者	
<input type="button" value="添加新参数"/>	

如果不需要元件在BOM或者转为PCB，可以在属性里面把“加入BOM”和“转为PCB”设置为否。当把转为PCB设置为否时，该器件符号将不会在封装管理器里面显示。

6. 设置原点

可以通过：“顶部菜单 - 放置 - 设置画布原点 - 从图形中心格点”进行一键设置原点到图形中心。

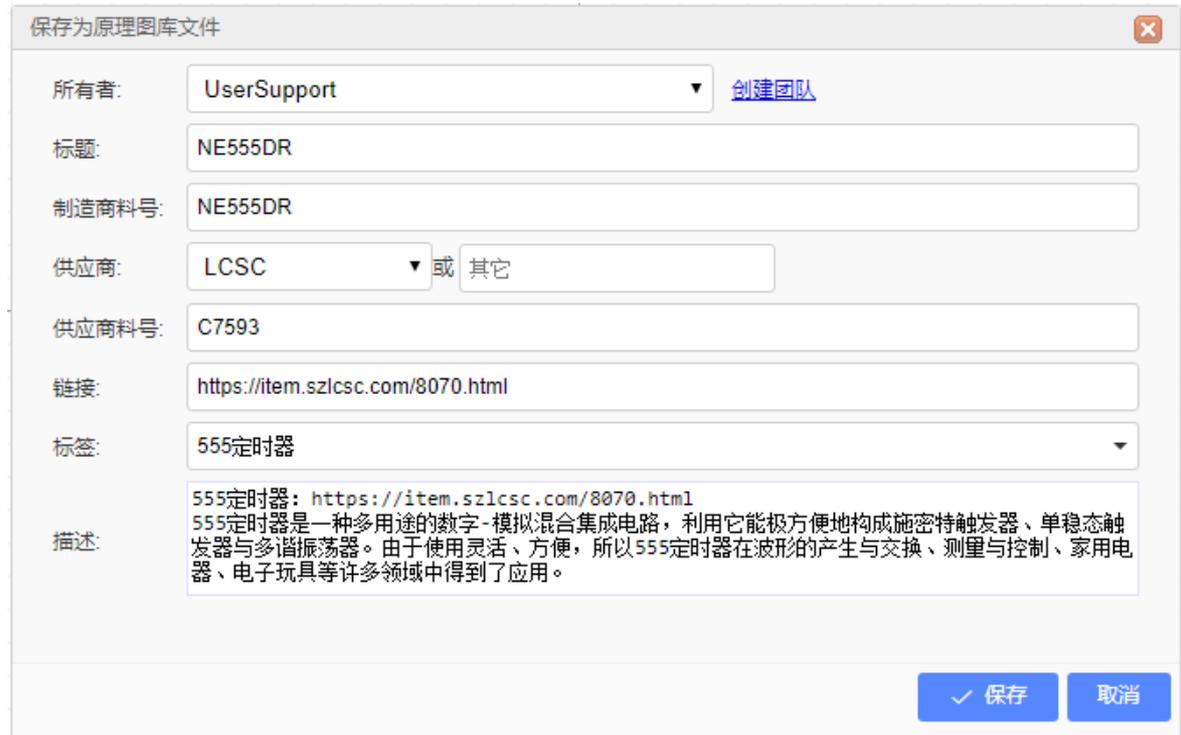


设置原点在图形中央有利于复制粘贴的时候鼠标在图形中央，旋转的时候可以围绕中心。

原点不能在总图形外部区域设置，必须设置的全部图形区域的内部。

7. 保存符号库

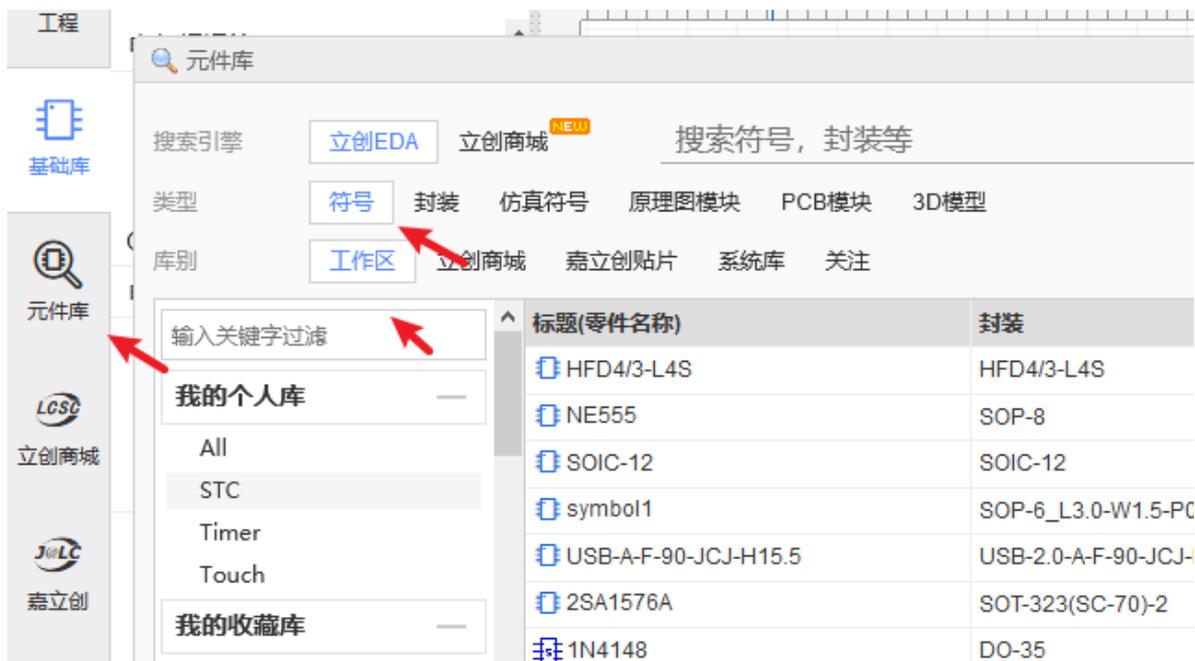
你可以设置库的所有者，标题，链接，分类标签，描述等。建议填上链接和描述，可以帮助更多人使用你贡献的库，也可以记录该元件的使用方法，利于经验积累。

The image shows a '保存为原理图库文件' (Save as Library File) dialog box. It contains the following fields:

- 所有者 (Owner): UserSupport (with a dropdown arrow and a '创建团队' (Create Team) link)
- 标题 (Title): NE555DR
- 制造商料号 (Manufacturer Part Number): NE555DR
- 供应商 (Supplier): LCSC (with a dropdown arrow and a '或其它' (Or Other) button)
- 供应商料号 (Supplier Part Number): C7593
- 链接 (Link): <https://item.szlcsc.com/8070.html>
- 标签 (Tag): 555定时器 (555 Timer)
- 描述 (Description): 555定时器: <https://item.szlcsc.com/8070.html>
555定时器是一种多用途的数字-模拟混合集成电路，利用它能极方便地构成施密特触发器、单稳态触发器与多谐振荡器。由于使用灵活、方便，所以555定时器在波形的产生与交换、测量与控制、家用电器、电子玩具等许多领域中得到了应用。

At the bottom right, there are two buttons: '保存' (Save) and '取消' (Cancel).

到此一个元件已经完成绘制。你可以在左边“元件库 - 符号库 - 工作区”中找到。



注意:

- 绘制符号库可以参考 [嘉立创EDA符号库与封装库创建规范.pdf](#), 减少错误发生。
- 符号图形请在原点上创建, 尽量保持原点在元件中央, 以便于元件翻转和旋转操作, 元件放置在原理图画布时鼠标光标的位置就是原点的位置。若你偏离原点创建, 在放置的时候, 鼠标光标也是出现在原点处。
- 引脚端点务必放置在格点上, 否则放置在原理图上后可能会连线困难。可以通过修改栅格和网格大小, 进行调整引脚所需的格点位置

符号库

创建符号库子库

当一个元件存在太多引脚时, 把它全部画在一个库文件中将会非常耗费空间, 所以可以通过创建子库 (也称为多part器件, 字母库, 多部件符号等), 具体查看下一章节 **创建子库**。

元件子库

当一个元件存在太多引脚时, 把它全部画在一个库文件中将会非常耗费空间, 所以可以通过创建子库 (也称为多part器件, 字母库, 多部件符号等) 来进行多符号组合该元件。所有子库合在一起时是一个完整的元件。每个子库均对应同一个封装, 仅对应的焊盘编号不一样。

在前面“原理图绘制: “元件库” 章节已经提到元件子库的放置。

创建方法:

- 创建了一个库文件,
- 在“元件库 > 符号 > 个人库”中选中新建的库文件,
- 点击右键“添加子库”即可依次添加子库。

如下图, 每次添加子库均会产生一个名称带 .1 , .2 , .3 等的子库文件。



添加后并对每个子库进行双击或者点击下方的“编辑”按钮进行编辑图形，引脚及编号等属性，保存后即可完成一个含子库的符号库文件的创建。

注意：

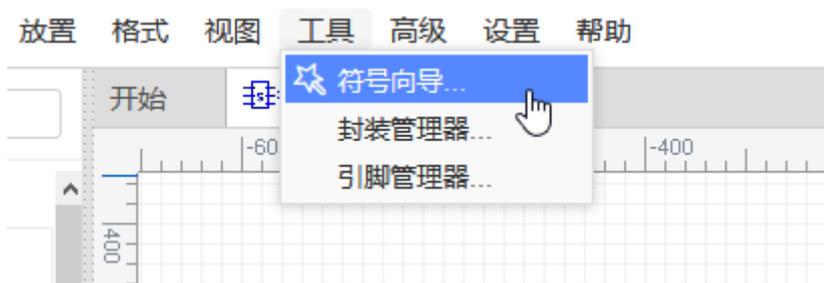
- 含子库的元件仅在父库指定一个封装即可，若你为每一个子库均指定不同的封装，那么嘉立创EDA将保留最后一个指定的封装做为元件的封装。
- 子库的编号必须均与父库保持一致。

符号库向导

嘉立创EDA提供一个可快速创建符号库符号的向导工具。

该工具可以在原理图和符号库编辑界面中使用。当在原理图中时，创建的符号不会保存在个人库中，仅在当前的原理图有效。

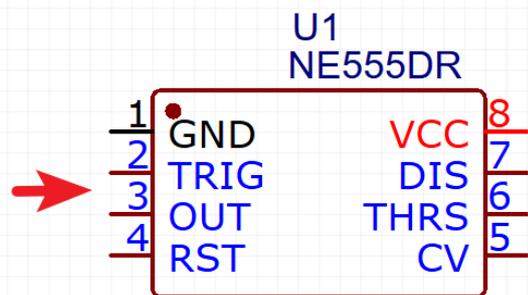
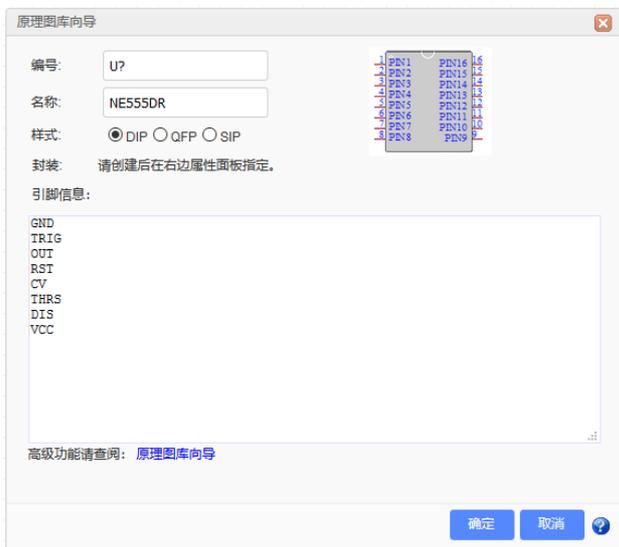
在工具栏点击打开，如果是在符号库文档中可以在 **顶部菜单 - 工具 - 符号向导** 打开。



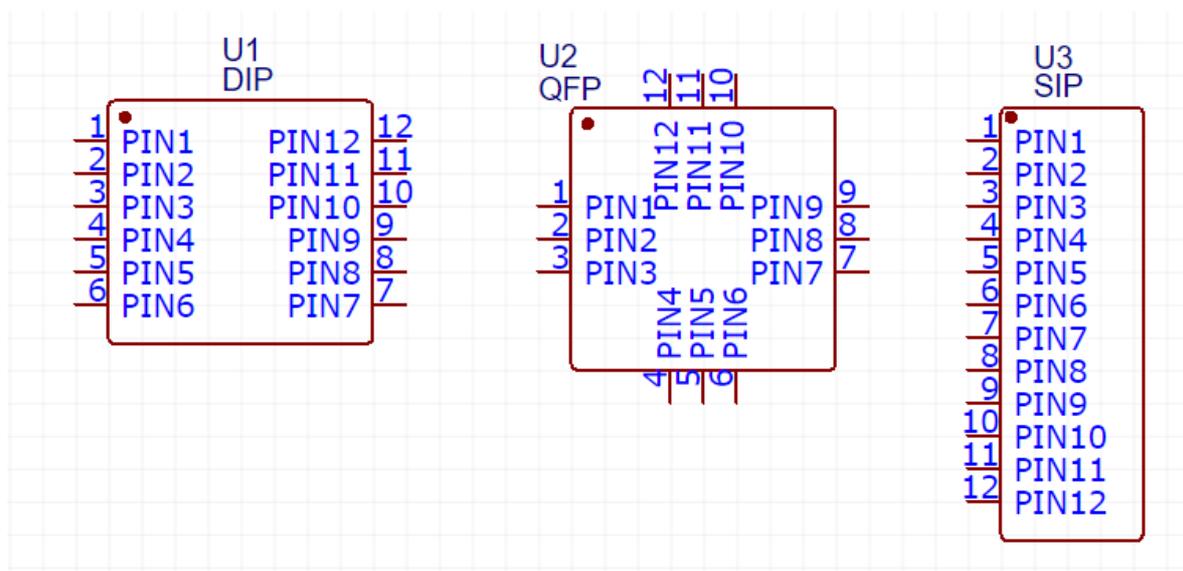
基础功能

仅输入引脚名称

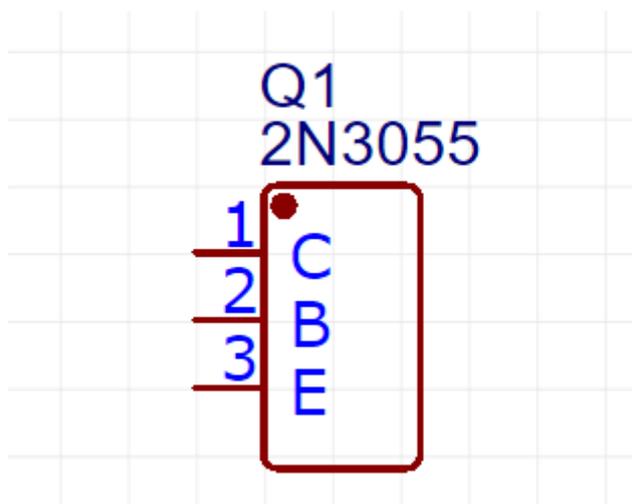
1.使用555定时器为例，当输入编号，名称，封装，选择样式，输入引脚编号和对应名称后，点击确定即可自动生成一个元件符号。



2.符号库向导目前暂时提供了三种图形样式：DIP, QPF 和 SIP。

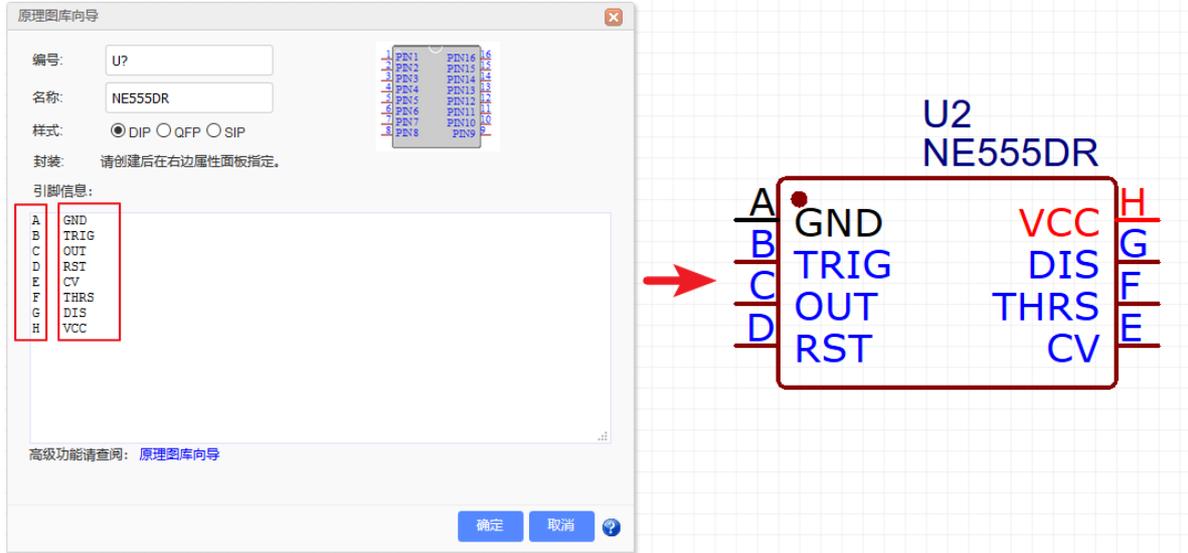


3.通过自定义引脚名字和封装，可以绘制方便识别的符号库，比如下方自定义的含EBC说明的3极管 2N3055符号。



输入引脚编号和名称

你还可以同时输入引脚的编号和名称，如图引脚编号已设置为字母：



高级功能

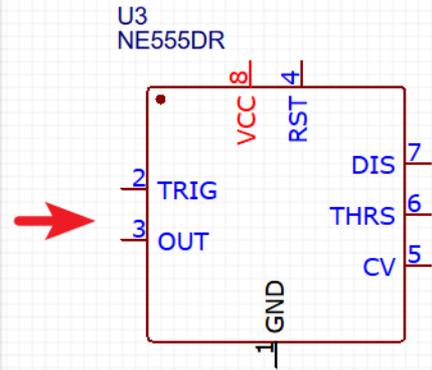
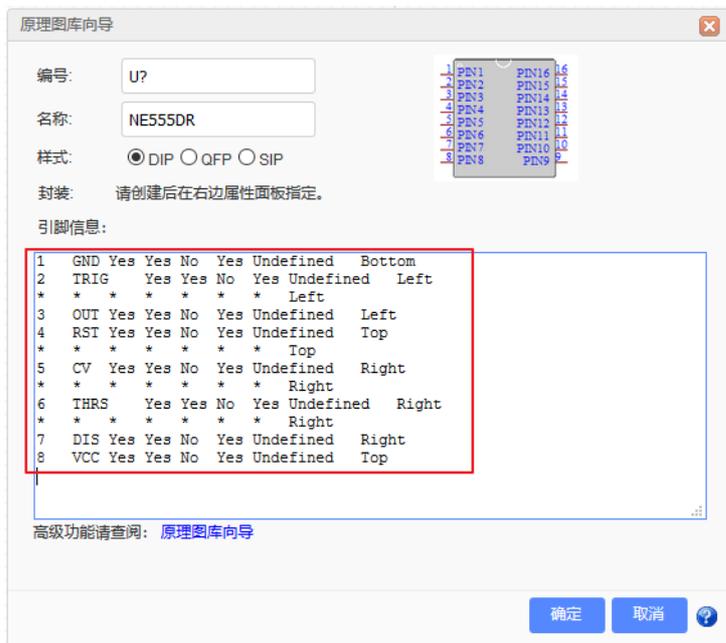
符号库向导支持高级功能，可以很方便地创建复杂大型的，并且利于使用的符号库。

1. 下载符号库创建模板：[Schematic Symbol Wizard Template.xlsx](#)

2. 使用Excel或者WPS打开后，编辑各个引脚的属性与方位，然后仅复制引脚的内容，粘贴到向导编辑框中。提示：如果你想引脚之间产生空格，你可以如下图放置 * 符号做分隔。

	A	B	C	D	E	F	G	H	I
1	Please copy the content without title, and paste on the schematic library wizard.								
2	Number	Name	Number Display	Name Display	Clock	Show	Electric	Position	
3	1	GND	Yes	Yes	No	Yes	Undefined	Bottom	
4	2	TRIG	Yes	Yes	No	Yes	Undefined	Left	
5	*	*	*	*	*	*	*	Left	
6	3	OUT	Yes	Yes	No	Yes	Undefined	Left	
7	4	RST	Yes	Yes	No	Yes	Undefined	Top	
8	*	*	*	*	*	*	*	Top	
9	5	CV	Yes	Yes	No	Yes	Undefined	Right	
10	*	*	*	*	*	*	*	Right	
11	6	THRS	Yes	Yes	No	Yes	Undefined	Right	
12	*	*	*	*	*	*	*	Right	
13	7	DIS	Yes	Yes	No	Yes	Undefined	Right	
14	8	VCC	Yes	Yes	No	Yes	Undefined	Top	
15									
16									
17									

3. 当使用了高级功能后，向导会根据你粘贴的格式创建图形样式，上面选择的三种样式将会被忽略。



注意:

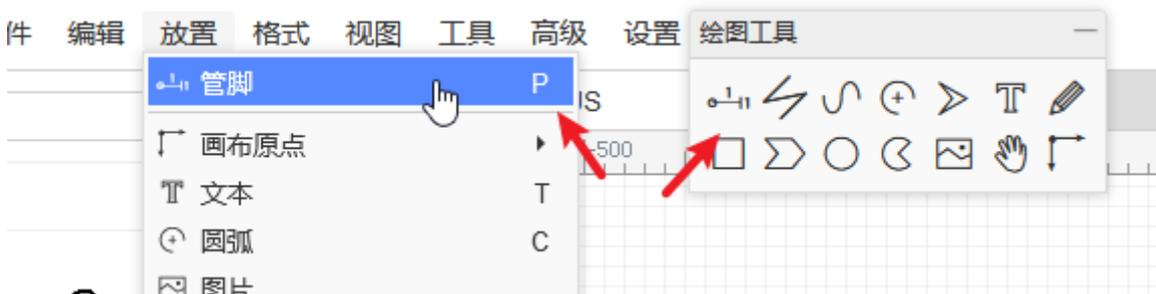
若你的输入格式不是一列，两列或者八列，将会报格式错误，无法生成图形符号。
你可以使用空格分隔每一列数据。
元件编号或名称不能存在空格，否则会被分开为两列。

符号属性

引脚属性

原理图符号的引脚是元件最重要的组成部分之一，它允许进行导线连接以构成整个电路。

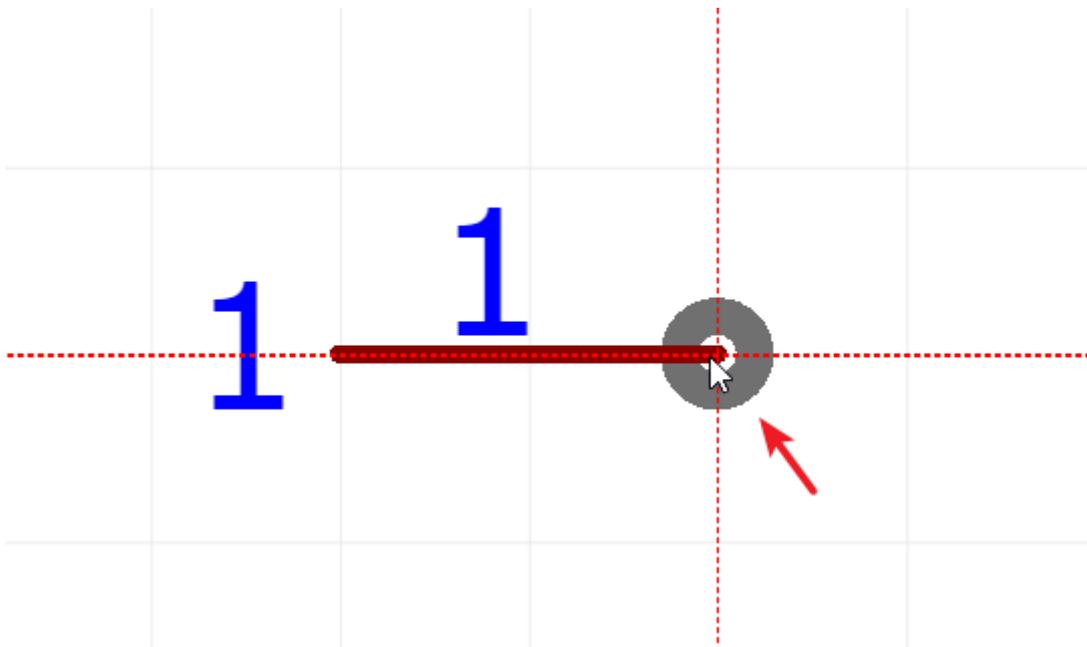
在工具栏点击使用或者使用默认快捷键“P”。



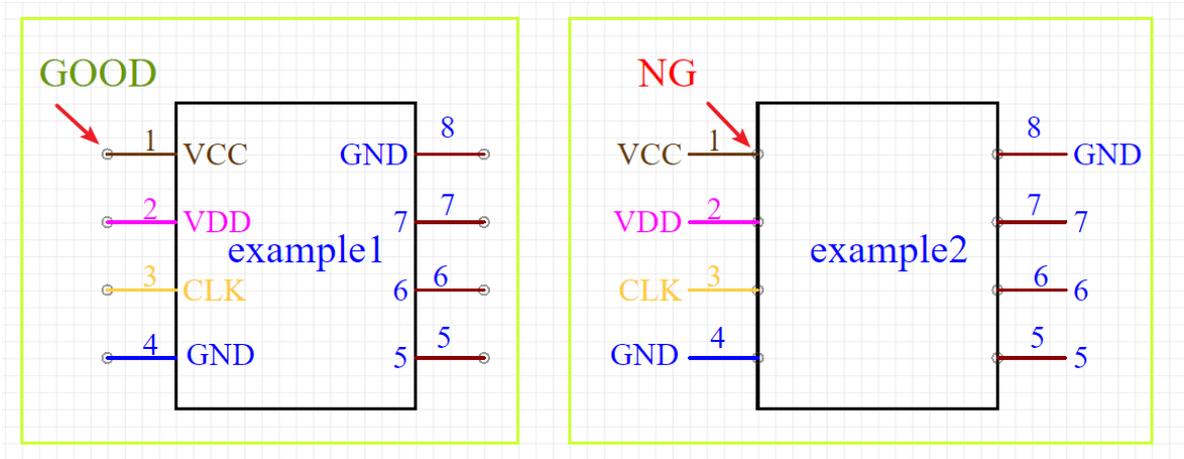
管脚方向

在放置在画布上之前，可以按空格键进行选择到想要的方向。

管脚的带圆圈端点是可进行导线连接的地方，所以该点正常需朝外放置。



如下图，左边图片是元件管脚的正确放置方式。



管脚属性

当你选中一个管脚时，可以在右边的属性面板查看和修改它的属性。

The image shows a software interface with a grid on the left and a properties panel on the right. On the grid, a red zigzag line is drawn, ending in a small grey circle at the coordinates (20, 0). The properties panel, titled '选中数量 1' (Selected Quantity 1) and '引脚属性' (Pin Properties), contains the following settings:

属性	值
名称	2
编号	2
仿真编号	2
显示名称	否
显示编号	否
长度	5
方向	0°
起点X	20
起点Y	0
引脚颜色	#800
名称颜色	#800
编号颜色	#800
圆圈	否
时钟	否
显示引脚	是
电气特性	未定义
字体	Verdana
字体大小	7pt
锁定	否

- **方向**：只支持 0°、90°、180° 和 270°。若你需要放置45°的引脚，你需要将引脚长度改为0，然后用画图工具画出45°线段。
- **起始X，起始Y**：引脚端点的坐标。你可编辑它的坐标到达你想要的位置。
- **长度**：引脚长度。
- **名称**：引脚的名字，如上图选中的引脚名字为“VCC”。
- **编号**：如上图选中的引脚编号为“8”。**该编号与元件对应的封装的焊盘编号相对应，并且两者的编号需要一致。**你还可以使用带字母的编号，如 A1, B1, C1, A2, B2等。
- **仿真编号**：这些序号是将原理图符号上的引脚映射到Spice仿真或子电路中对应功能的编号。
- **显示名字**：可选择是否隐藏管脚名称。
- **显示编号**：可选择是否隐藏管脚编号。
- **颜色**：你可以单独为管脚设置颜色，该颜色会共同应用在管脚名字和编号上。你不能单独为它们进行设置颜色。
- **圆圈**：是否将一个圆圈添加到管脚的内端，以表示逻辑(或模拟)反相。
- **时钟**：是否将一个“>”添加到管脚的内端，以表示逻辑时钟输入。
- **显示引脚**：可设置改引脚是否隐藏。
 - 当隐藏了该引脚后，放置该元件在原理图中将看不见该引脚。

- 该隐藏功能只在原理图中体现，在符号库编辑界面下一直保持显示状态。
- 若在原理图想将它显示，只需在元件属性中“修改器件”将“隐藏的引脚”选项取消勾选即可。
- 若你设置一个引脚的电气特性为Power，名称设置为VCC，且已将它隐藏，那么在原理图中它会自动与VCC电源(网络标签)连接，该功能可以让使用了多模块元件的原理图变得更加整洁清晰。
- **电气特性：**包含Undefined(未定义)、Input(信号输入)、Output(信号输出)、I/O(信号输入/输出)、Power(电源)。该功能在仿真时用。默认是Undefined。
- **字体及大小：**你也可以很方便的每个管脚名字和编号设置字体与大小，便于识别。

注意：

- 你可以很方便地使用鼠标对管脚编号和名字进行位置调整，但是当你需要翻转或旋转它们时，管脚整体都会被翻转或旋转，嘉立创EDA不允许单独翻转其中一个。
- 嘉立创EDA已经提供电气规则检查(ERC)，但是你的库文件需要仿真的话，仍然需要为它设置电气特性。

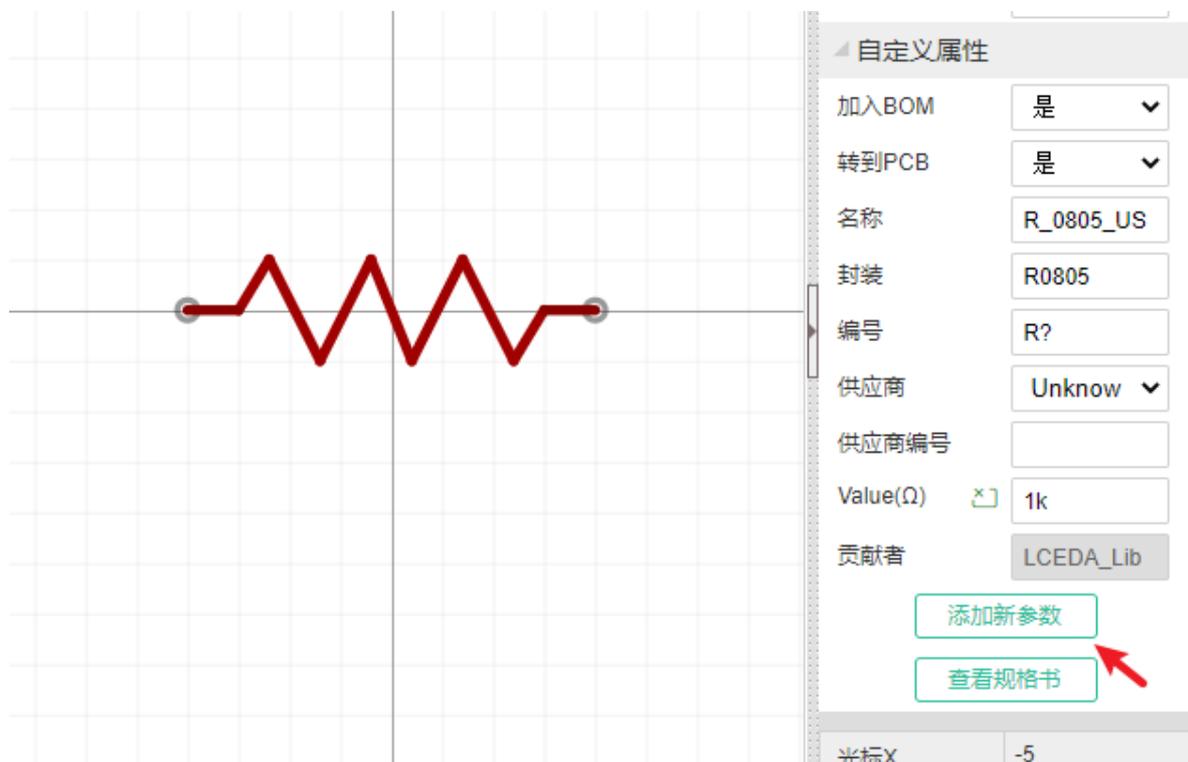
标签和描述

通过为库文件添加标签可以为它进行分类，可以添加描述记录库的使用信息。

可通过**元件库 > 符号库 > 个人库 > 点击库文件 > 右键 > 修改**进行修改。

符号自定义属性

在符号库画布中，点击空白处可在右边属性面板查看元件属性，此处的元件属性与在原理图中单击元件时的元件自定义属性基本一致。在原理图中对元件修改的自定义属性仅对所在文档有效，在符号库画布中设置的自定义属性对该元件的每次放置有效。



- **加入BOM：**决定这个符号是否在BOM中体现。
- **转到PCB：**是否转到PCB。如果设置为“否”，这个元件将不会在封装管理器里面出现，也不会被转到PCB里面。
- **封装：**击输入框，即可弹出封装管理器。并为元件库文件指定封装。封装管理器的使用请查看：原理图绘制 - 封装管理器章节。

- **供应商**：供应商名称，新建默认为Unknown。修改为其他供应商后，会自动出现供应商编号输入框。
- **名称**：元件库文件的名称。
- **编号**：默认的符号库预编号是 **U?**，子库符号预编号是 **U?.1**。如果你创建了一个电阻你可以设置为 **R?**。
- **制造商料号**：制造商厂商的原始物料编码，可以自行修改。
- **贡献者**：显示你用户名，若用户在编辑器使用了你的库文件时会看到你的用户名。
- **添加新参数**：可新增你想要的参数，如你自己的物料编号。是否包含在BOM。

符号值作为名称显示在原理图

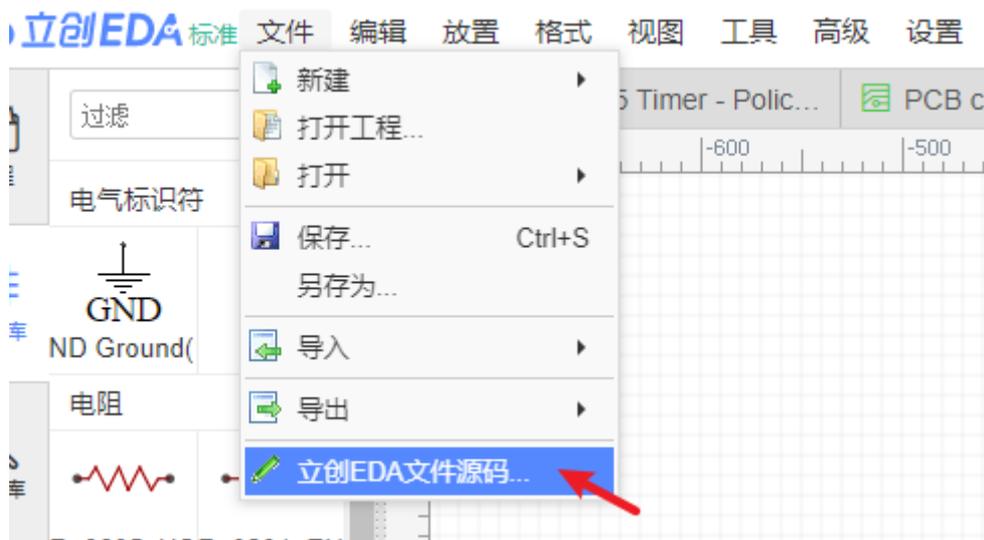
比如电阻阻值是 2K Ω ，名称是 ABC，自己新建的符号库，放在原理图里面时，并不会显示 2K Ω 作为元件名称，而是 ABC。直接修改 ABC 为 2K Ω 也可以达到目的，但是不是很合适。

嘉立创EDA目前没有提供常用的操作功能入口来实现符号值作为名称显示在原理图。

目前可以通过修改符号文件源码来实现。

如何进行：

- 1、完成电阻符号和属性的编辑。
- 2、打开文件源码。通过：顶部菜单 - 文件 - 嘉立创EDA文件源码。



3、添加或者修改 nameAlias 属性，如下图的符号放在原理图后，显示的元件名称将会是 1k。

```
拷贝文本框中的内容到记事本中，并保存它。你可以把内容粘贴到这里并再次编辑它。

{
  "head": {
    "docType": "2",
    "editorVersion": "6.4.3",
    "newgId": true,
    "c_para": {
      "package": "R0805",
      "name": "R_0805_US",
      "pre": "R?",
      "nameAlias": "Value(Ω)",
      "Value(Ω)": "1k",
      "BOM_Supplier_Part": "",
      "BOM_Supplier": "",
      "Contributor": "LCEDA_Lib"
    },
    "c_spiceCmd": null,
    "hasIdFlag": true,
    "x": 400,
    "y": 300
  }
}
```

4、修改后点击应用，保存。

可以直接双击常用库的电阻，打开符号编辑器后，查看文件源码获得示例。

后面嘉立创EDA将提供一个选项来实现这个功能。

编辑库文件

个人库文件

编辑完成后保存 **CTRL+S** 会打开一个对话框，你可以点击查找库按钮，确定要创建的原理图是否已存在，还可以下拉选择所有者，也可以先创建团队，再通过下拉框把库放到团队中，再输入元件名称和描述：

保存为符号

所有者: UserSupport [创建团队](#)

标题: R_0805_US

供应商: Unknow 或 其它

供应商编号: 296-6501-2-ND

制造商: ReliaPro

制造商料号: NE555DR

链接: http://www.ti.com/lit/ds/symlink/ne555.pdf

标签: 用分号分隔多个标签

描述:

保存

点击确认后，你可以在左边“元件库 - 符号库 - 工作区”中找到。

工程

元件库

基础库

元件库

LGSC 立创商城

J&LC 嘉立创

搜索引擎: [立创EDA](#) [立创商城](#) ^{NEW} 搜索符号, 封装等

类型: [符号](#) 封装 仿真符号 原理图模块 PCB模块 3D模型

库别: [工作区](#) [立创商城](#) [嘉立创贴片](#) [系统库](#) [关注](#)

输入关键字过滤

我的个人库

All

STC

Timer

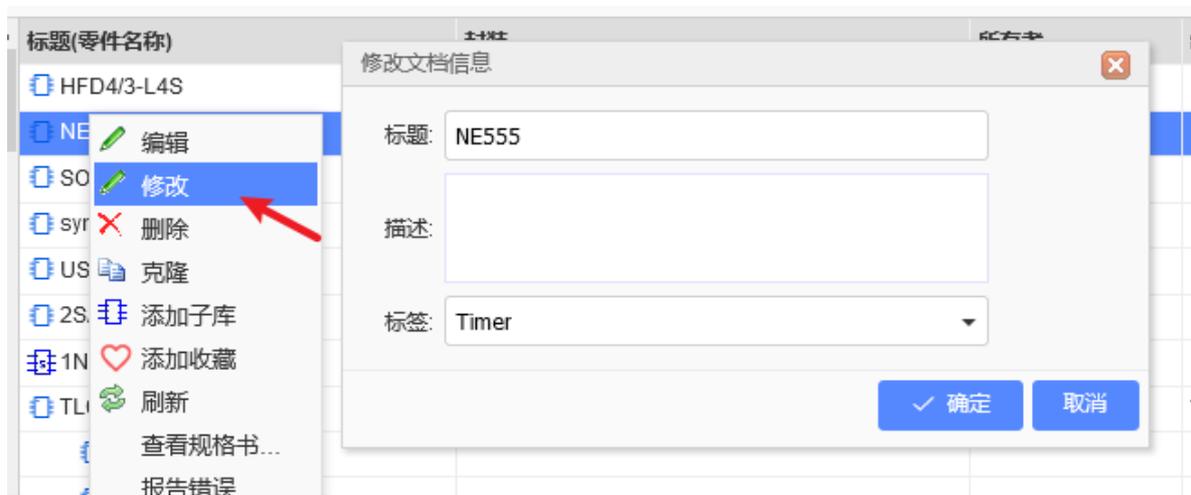
Touch

我的收藏库

标题(零件名称)	封装
HFD4/3-L4S	HFD4/3-L4S
NE555	SOP-8
SOIC-12	SOIC-12
symbol1	SOP-6_L3.0-W1.5-PC
USB-A-F-90-JCJ-H15.5	USB-2.0-A-F-90-JCJ-H
2SA1576A	SOT-323(SC-70)-2
1N4148	DO-35

标签

你可以选中它，点击右键“修改”或者右下角 **更多 > 修改** 为它添加一个标签，即该库的分类。添加后可以在符号库列表下出现，该元件将出现在该标签下，你可以给一个元件添加多个标签，但建议只添加一个即可。



若你需要再次修改库文件，你需要点击下面的“编辑”按钮。

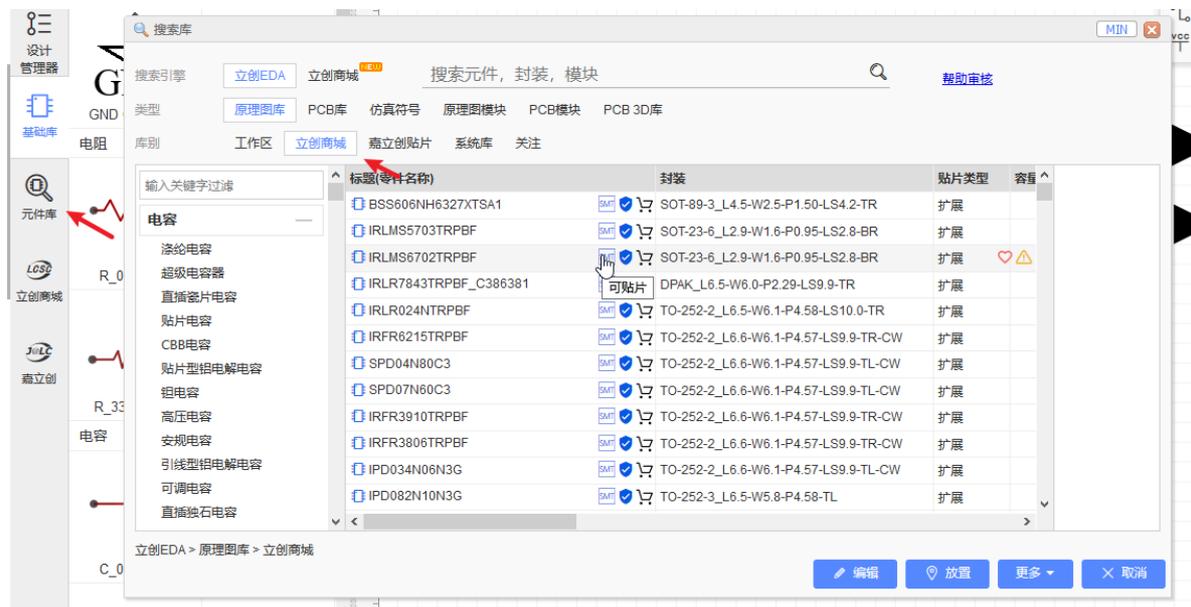
收藏

当你收藏了其他用户的库文件时，可以在收藏处找到，如果收藏的库文件有标签，则会自动生成标签。但是你无法修改它的信息。你可以通过“克隆”或“编辑保存”产生一个新的你个人的库文件。

编辑其他库文件

完成库文件的创建后需要在**元件库**中调出使用或者编辑，快捷键“SHIFT + F”调出。

会打开元件库搜索框，输入零件名称后搜索即可。



在搜索结果里可以选择你想要的类别，然后单击选择你所需的零件，再点击搜索框下方的“放置”即可放在画布中。你也可以直接移动鼠标至画布也可以进行放置。

放置：一些经常使用的零件，无需收藏，直接点击放置即可放在画布中。

编辑：这里可以编辑你自己的库文件；或者修改其它用户贡献的，系统库的库文件以适应你的需求，保存后会成你个人的库文件。

更多：你可以对一些非个人库文件进行收藏和克隆，可以对自己的库文件进行修改(标题，描述，标签)，删除，添加子库等操作。



编辑在原理图中的库

你可以点中它，然后在点击电气工具的“组合/解散符号...”按钮，然后把它打散，修改后再将其组合回来即可。详情可以查看“原理图绘制 - 电气工具 - 组合/解散符号...”章节。

封装库

创建封装库

封装库

创建封装库/封装库

在创建封装前，建议先搜索系统和用户贡献的封装，优先使用系统封装，如果找到类似的，可以克隆，或者打开另存为自己的封装，在这个基础上修改，会比自己重新创建要快。

当然也可以使用嘉立创EDA提供的封装向导创建比较简单的封装类型。

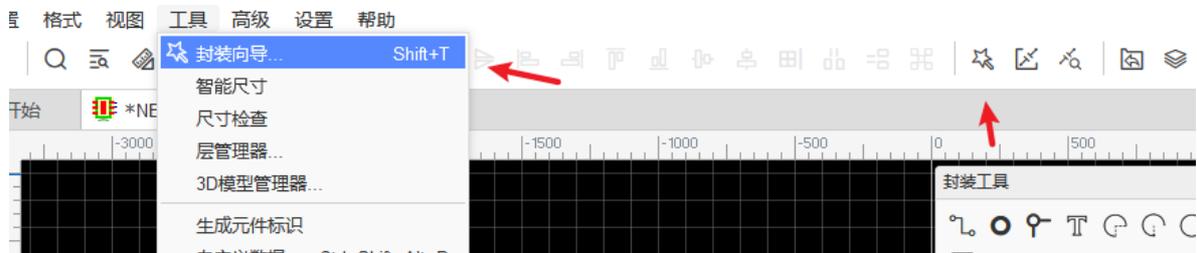
封装库工具

封装库工具的使用方法与PCB下的PCB工具一致，只是工具栏内少一些不需要的功能。



嘉立创EDA提供了一个简单易用的封装向导，你可以使用它快速创建需要的封装。

入口：顶部工具栏 - 工具 - 封装向导。

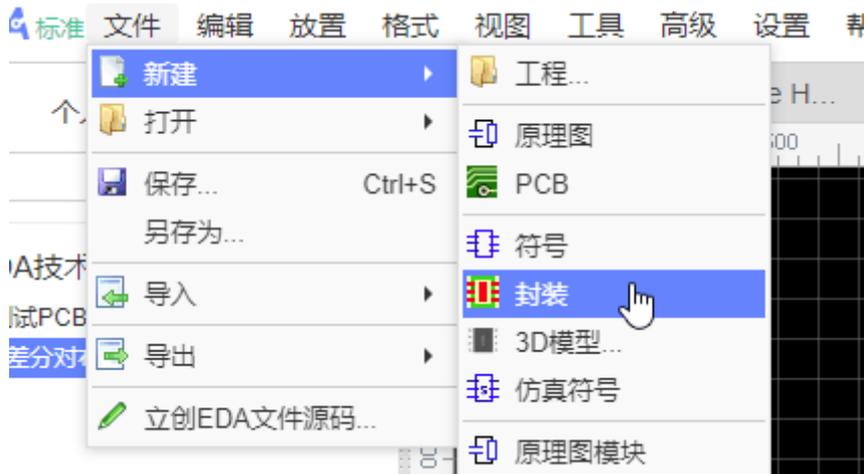


封装向导的使用请看下一个章节。

创建封装库

如果你需要一个PCB封装，但是嘉立创EDA的元件库中不存在，那么你可以自行进行创建。

创建封装库与创建符号库几乎一致，你可以通过：**文件 - 新建 - 封装** 建立。

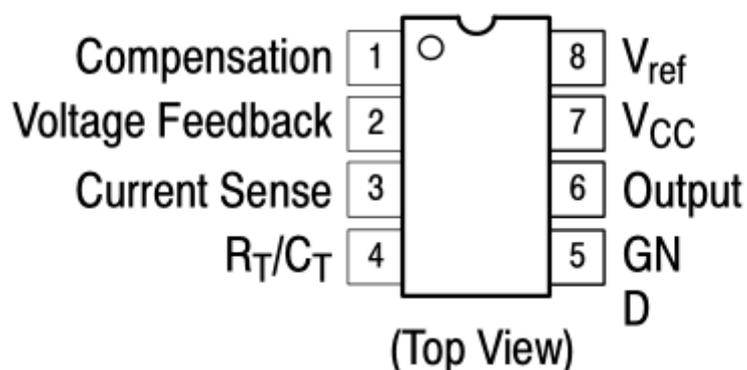


然后根据零件规格书来进行封装库绘制。

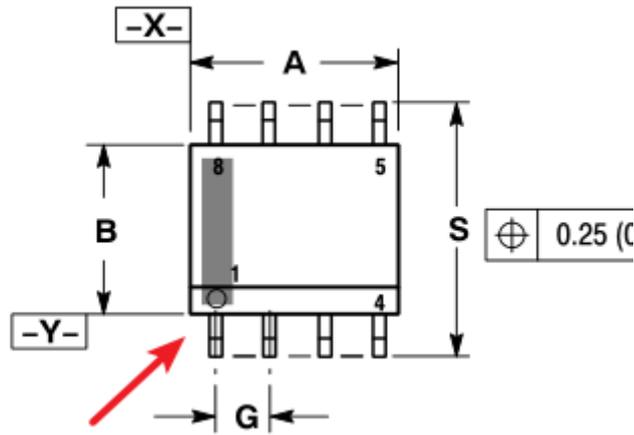
绘制步骤

- 1、下载需要绘制的元件规格书。
比如创建SOIC-8。 [如PDF: UC2844BD1R2G](#)
- 2、阅读规格书，获取封装尺寸，方位信息。
绘制封装时需要注意封装0度方向(0度就是你当前绘制的角度，当封装放置在PCB里面后它的角度在属性面板显示为0度)，利于SMT贴片。具体请查看：[PCB封装库0度图形制作标准](#)
- 3、查看封装的尺寸，引脚方向与极性，然后放置焊盘在画布上。需要根据自己实际情况适当调整焊盘的形状和大小。
 - 元件引脚方向，第一页，逆时针计数1到8脚。

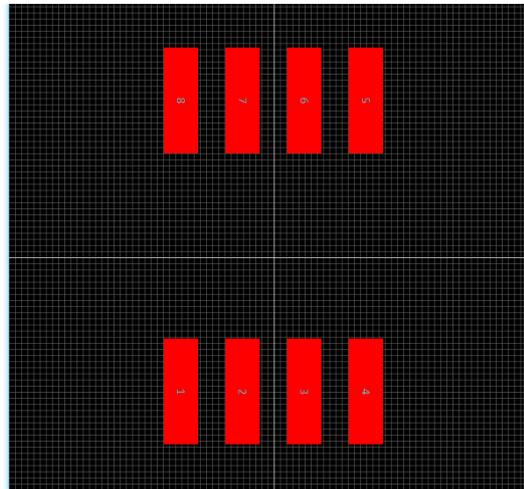
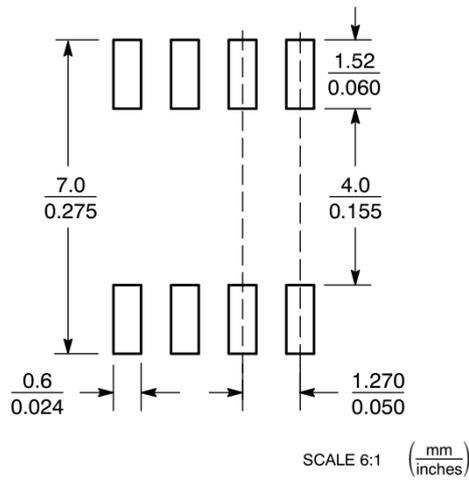
PIN CONNECTIONS



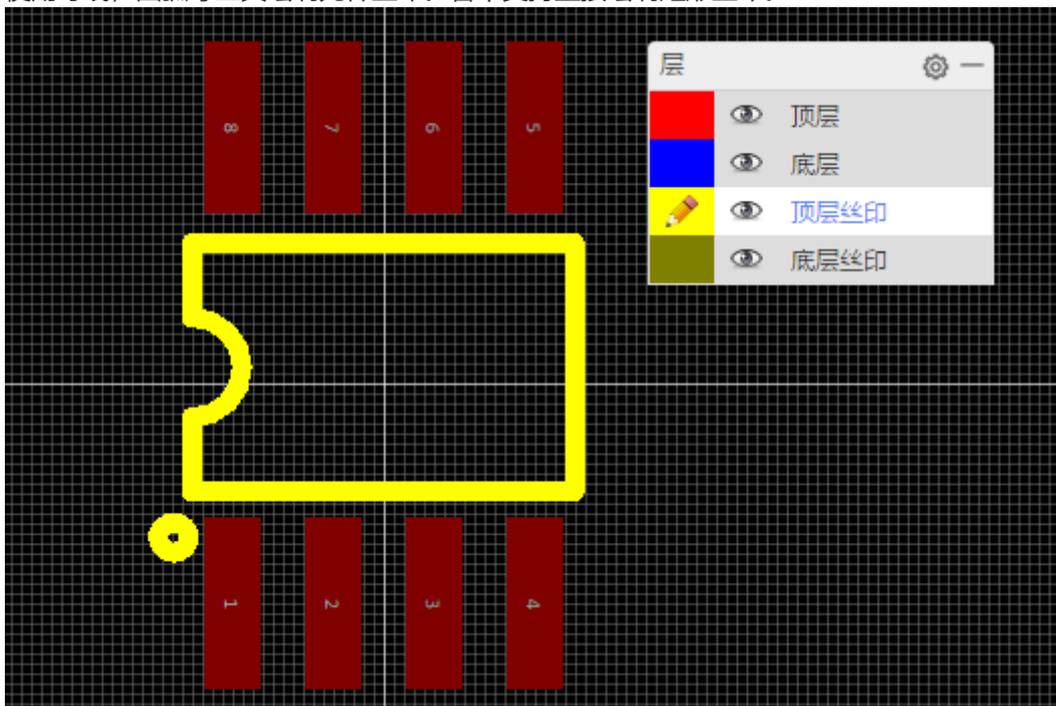
- 元件极性，第一页，第十八页，方向为横向摆放。



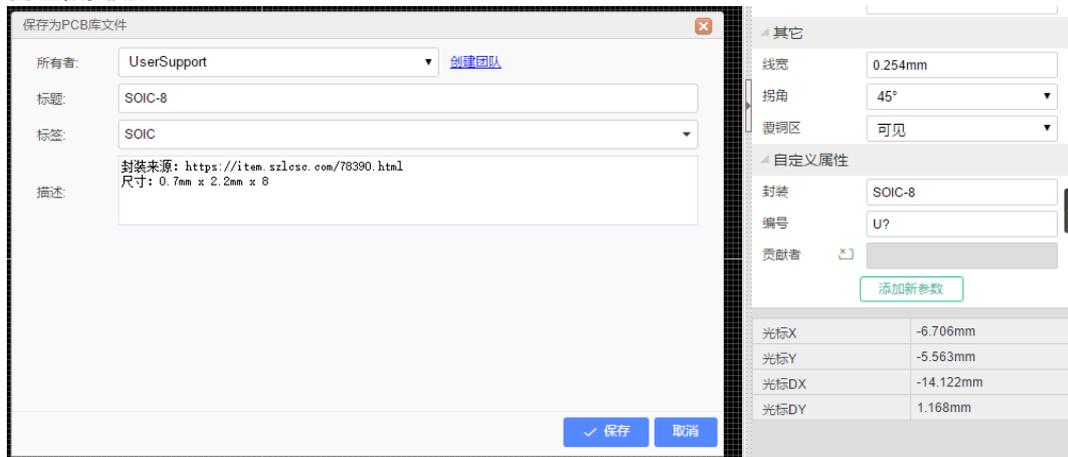
- 根据十八页的尺寸图放置焊盘在顶层(有些金手指封装需要顶层和底层同时放置)。需要修改焊盘的属性，其中包括焊盘编号、类型、大小。先确定第一个焊盘的坐标，然后放置多个，使用顶部菜单的对齐工具进行平均分布。如果移动焊盘步进距离不合适可以在右边修改栅格大小。



- 4、绘制元件边框丝印。有时还可以在机械层，文档层放置对应标识图形。
 - 将层切换至顶层丝印。
 - 使用导线，圆弧等工具绘制元件丝印。暂不支持直接绘制矩形丝印。



- 5、在右边自定义属性填入封装名称，编号。
 - 保存并填写分类标签，描述等信息。
 - 描述建议添加封装来源链接，封装尺寸信息。
 - 否则自己或者其他用户搜索到你的封装也不能直接使用。
 - 封装名称命名建议参考 [嘉立创EDA封装库命名参考规范.pdf](#)，以使用科学的命名规则，方便管理和复用。



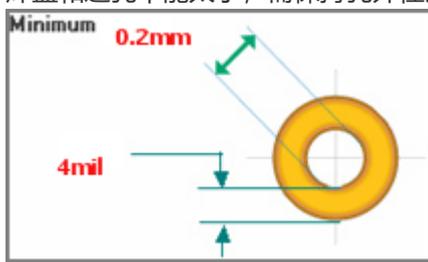
- 6、完成绘制再使用尺寸检查工具检查封装尺寸，通过：顶部菜单 - 工具 - 尺寸检查。
- 7、设置原点。
可以通过：“顶部菜单 - 放置 - 设置画布原点 - 从焊盘中心”进行设置。
- 8、检查无误后完成封装库的创建。

注意：

- 放置的焊盘至少要一个中心点尽量在格线上，以免使用封装时导线连接焊盘困难的问题。
- 焊盘编号可以设置数字和字母，其需与元件的引脚编号一一对应，否则元件在指定了这个封装后在原理图将会在封装管理器报错，无法转为PCB。
- 焊盘编号通过鼠标放置可以递增，如果通过粘贴复制放置编号将保持不变。
- 绘制完封装后封装的坐标原点建议修改到封装正中央：以利于放置时旋转时保持鼠标在图形正中心；SMT机器在识别元件中心时减少元件调整工作。

其他事项

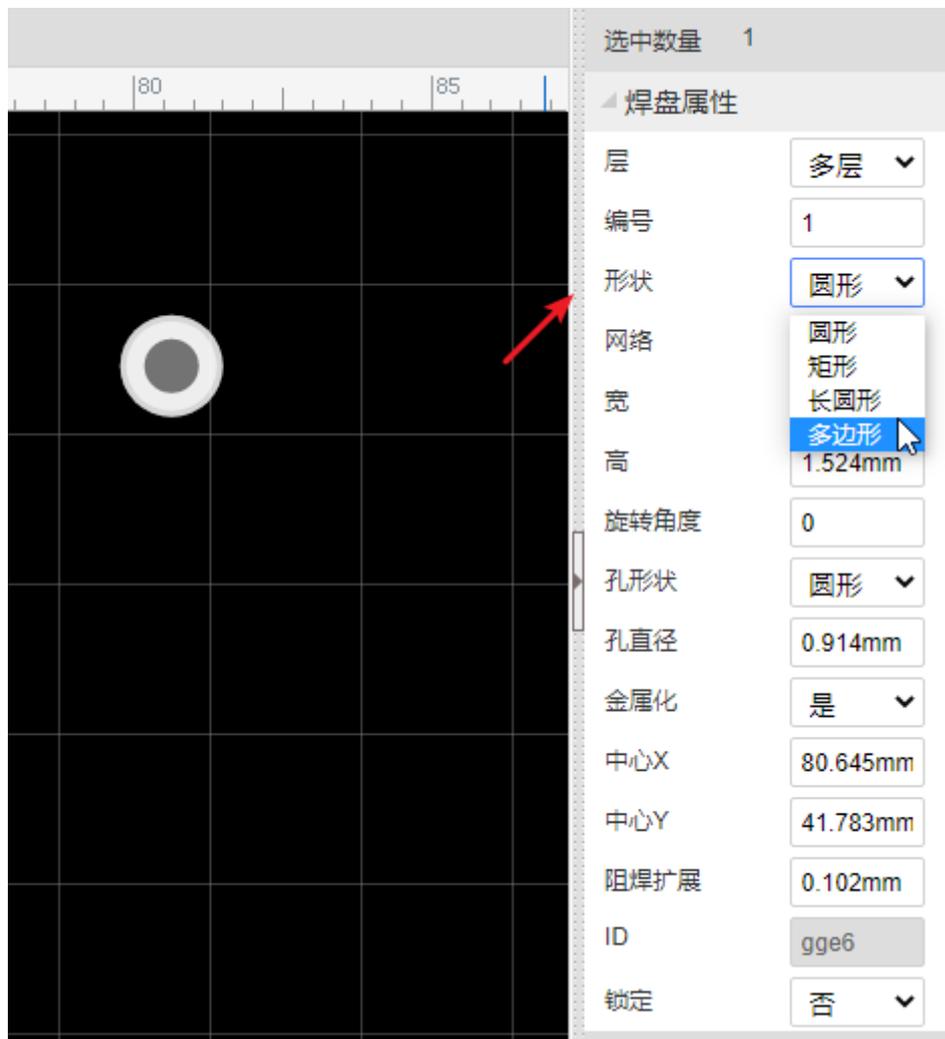
1. 设置准确的网格和栅格尺寸很重要，一些精密的封装需要准确的尺寸，否则可能导致无法贴片。
2. 请保持所有封装的边界线框，和文字在顶层丝印层绘制。放置封装在PCB时，嘉立创EDA会自动为封装的丝印切换至PCB对应的丝印层。
3. 按“CTRL+S”保存你的封装，然后你可以在左边导航栏的 **元件库 - 封装库 - 工作区** 中找到它。
4. 焊盘和过孔不能太小，需保持孔外径比孔内径 $\geq 4\text{mil}$ 。



焊盘属性

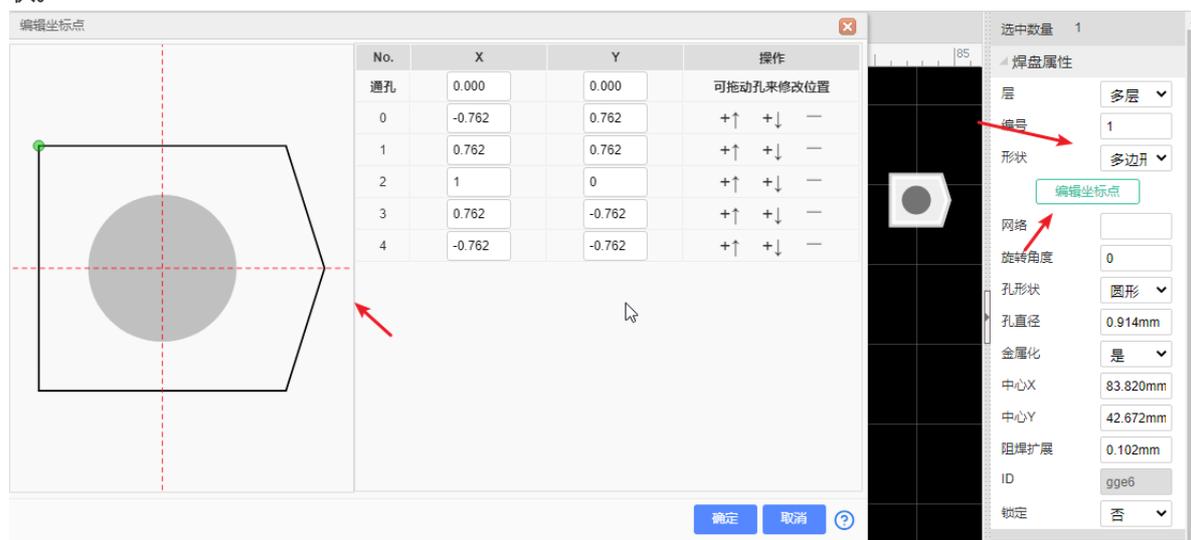
放置焊盘的快捷键是“P”。

当你选中一个焊盘时，可以在右边属性面板修改它对应的属性，或者鼠标左键双击，弹出属性对话框来修改它的属性。



编号: 若不是单独放置的焊盘, 该编号会与符号库文件的引脚编号相对应。

形状: 圆形, 矩形, 椭圆形和多边形。如下图所示, 选择多边形可以通过“编辑坐标点”创建复杂的形状。



层: 如果放置的焊盘是SMD类型或想它出现在单层, 那么层请选择顶层或底层; 若需要放置通孔类型焊盘, 那么层请选择全部, 焊盘将在顶层和底层出现。

网络: 如果PCB由原理图转来, 此处会默认生成网络; 若是单独放置的焊盘, 此处为空。你可以无需为它设置网络, 当走线连接到它时, 将自动为它添加网络。

宽和高: 当图形设置为圆时, 宽和高会等值; 当图形设置为多边形时, 宽和高将不允许编辑。

旋转角度: 你可以设置你想要的任意角度。

孔形状：内孔形状。有圆形，槽形。普通的DIP封装以及电容等都是圆形钻孔，但某些特殊元件的安装脚需要长方形、椭圆形或其他类型的通孔。这些长方形、椭圆形或者其他类型通孔都算作槽孔。

孔直径：内孔直径。这是通孔焊盘的钻孔直径，若是SMD类型焊盘请设置为0。

中心X和中心Y：修改这两处数值可以修改焊盘在画布中的位置。

金属化 该多层焊盘内壁是否有铜。当使用焊盘制作一个内壁无铜螺丝通孔时，需选择否。

编辑坐标点：支持多边形焊盘坐标点编辑。

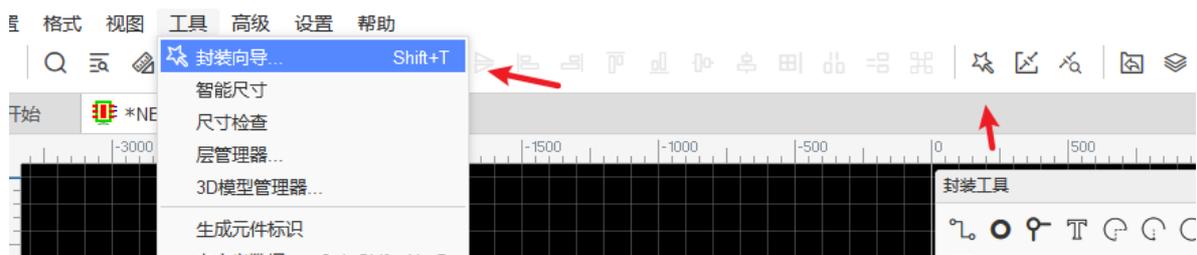
注意：

- 编辑坐标点仅在图形为多边形时有效；第一个坐标点在左下角，数值为XY，单位跟随画布。
- 焊盘编号通过鼠标放置可以递增，如果通过粘贴复制放置编号将保持不变。

封装向导

嘉立创EDA提供了一个简单易用的封装向导，你可以使用它快速创建需要的封装。

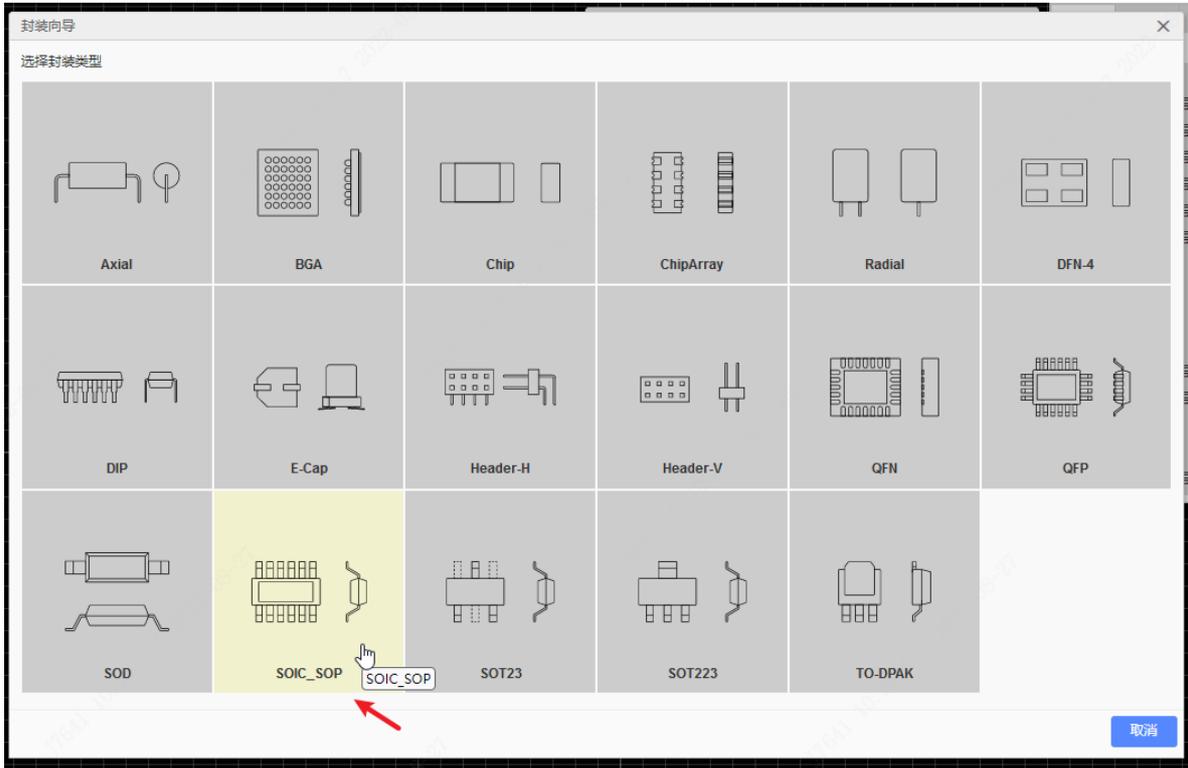
入口：顶部工具栏 - 工具 - 封装向导，或顶部工具栏“封装向导”按钮。



点击封装类型，显示封装向导具体输入参数，输入后点击预览即可在右边预览，点击应用更新画布的封装图形。

使用步骤：

- 1、选择需要创建的封装类型。点击示意图进入。比如选择 SOIC_SOP 类型封装：



2、根据规格书设置封装的物理尺寸。涉及外形长BL，外形宽BW，引脚跨距LS，引脚间距PP，引脚大小PW，如果有散热焊盘还有散热焊盘长EPL，焊盘宽EPW。

比如需要创建一个 SOP-8 的封装，规格书参考地址：[C368696 APW7172](https://www.onsemi.com/pdf/datasheet/C368696.pdf)

根据上图规格书可以得知该封装的物理尺寸如下，单位mm：

SYMBOL	SOP-8			
	MILLIMETERS		INCHES	
	MIN.	MAX.	MIN.	MAX.
A		1.75		0.069
A1	0.10	0.25	0.004	0.010
A2	1.25		0.049	
b	0.31	0.51	0.012	0.020
c	0.17	0.25	0.007	0.010
D	4.80	5.00	0.189	0.197
E	5.80	6.20	0.228	0.244
E1	3.80	4.00	0.150	0.157
e	1.27 BSC		0.050 BSC	
h	0.25	0.50	0.010	0.020
L	0.40	1.27	0.016	0.050
θ	0°	8°	0°	8°

引脚数量: 8

焊盘形状: 矩形

引脚跨距(LS): 5.80 ~ 6.20。对应尺寸 E 的最小最大值

本体长度(BW): 3.80 ~ 4.00。对应尺寸 E1 的最小最大值

本体宽度(BL): 4.80 ~ 5.00。对应尺寸 D 的最小最大值

引脚长度(PL): 0.40 ~ 1.27。对应尺寸 L 的最小最大值

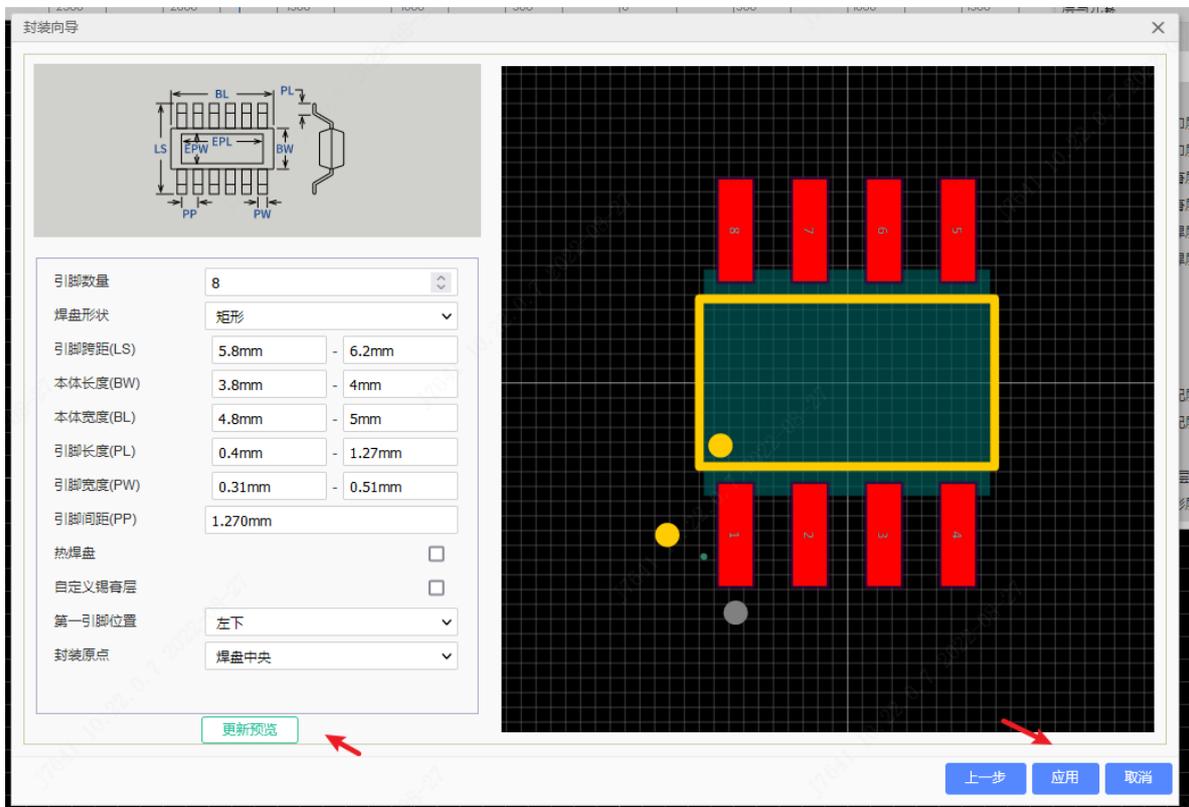
引脚宽度(PW): 0.31 ~ 0.51。对应尺寸 b 的最小最大值

引脚间距(PP): 1.27。对应尺寸 b 的最小最大值

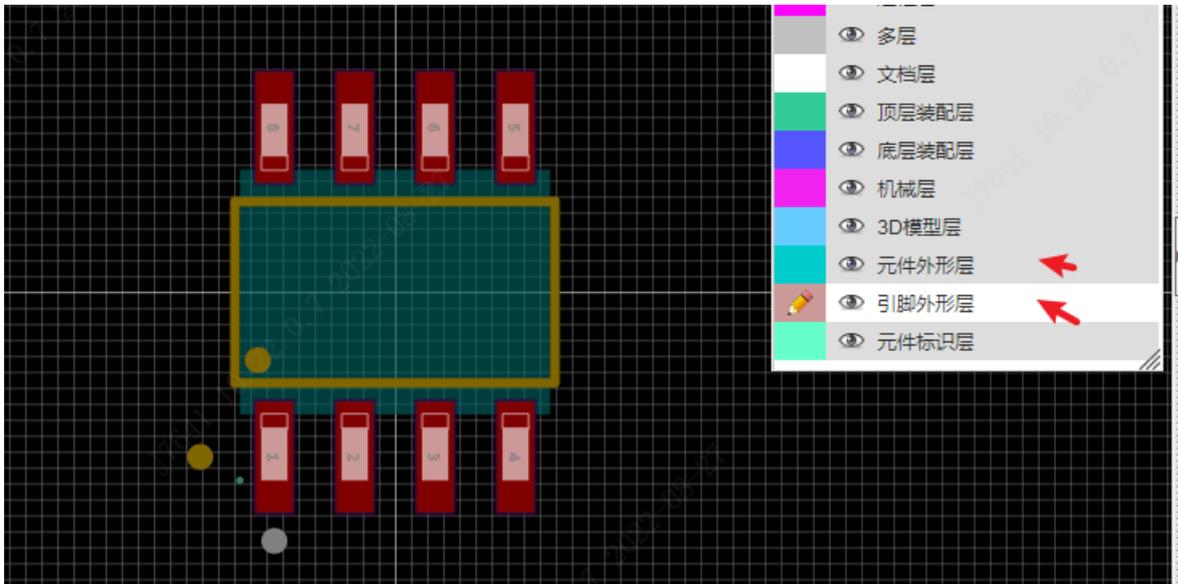
如果需要自定义热焊盘, 和自定义锡膏层, 可以勾选并设置相应的参数。第一引脚位置通常在坐下, 封装原点通常在焊盘中央。

3、点击更新预览按钮

点击下方的更新预览按钮后, 预览区会生成对应的封装内容。确认无误后, 点应用即可在画布生成封装。



开启元件相关的层就可以看到生成的引脚焊接大小和元件外型大小



注意：

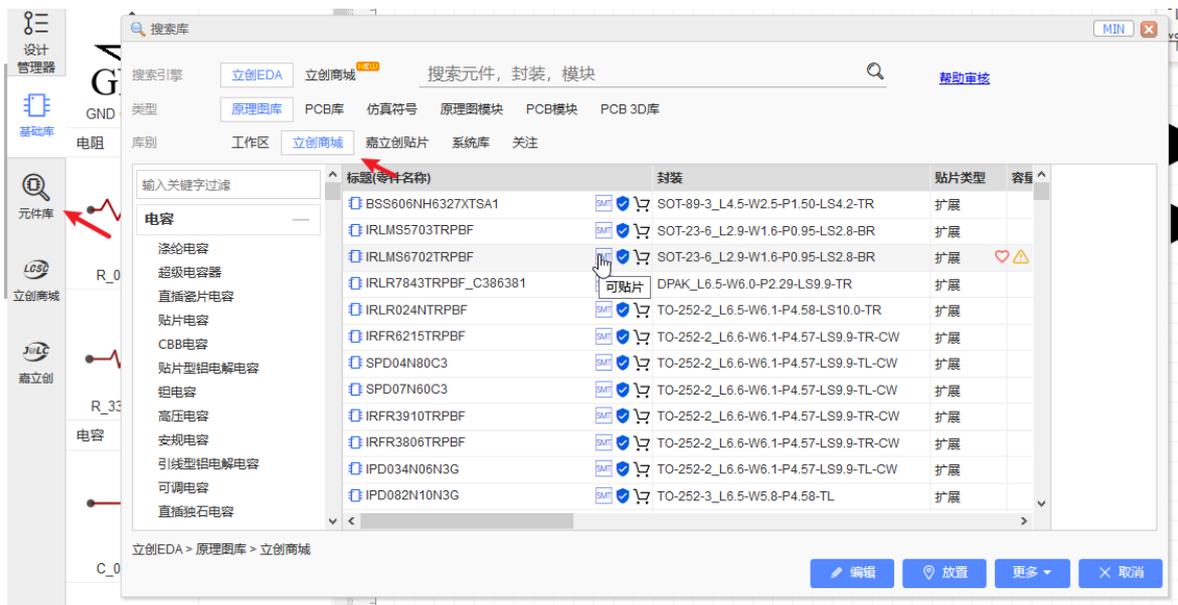
- 向导填写的是封装的物理尺寸，并不是封装焊盘的尺寸，向导会根据填写的参数自动预留余量来生成焊盘。
- 封装向导提供的参数和生成的尺寸仅供参考，生成后的封装尺寸请自行根据规格书的建议值和实际生产的相关信息进行调整。

编辑封装文件

在元件库里面打开编辑

完成库文件的创建后需要在**元件库**中调出使用或者编辑，快捷键“SHIFT + F”调出。

会打开元件库搜索框，输入零件名称后搜索即可。



在搜索结果里可以选择你想要的类别，然后单击选择你所需的零件，再点击搜索框下方的“放置”即可放在画布中。你也可以直接移动鼠标至画布也可以进行放置。

放置：一些经常使用的零件，无需收藏，直接点击放置即可放在画布中。

编辑：这里可以编辑你自己的库文件；或者修改其它用户贡献的，系统库的库文件以适应你的需求，保存后会成你个人的库文件。直接点击预览图也可以直接在编辑器打开选择的库。

更多：你可以对一些非个人库文件进行收藏和克隆，可以对自己的库文件进行修改(标题，描述，标签)，删除，添加子库等操作。

在PCB里面编辑

直接选中封装，然后点击“组合/解散...”功能，将封装解散后进行编辑，完成后再次点“组合/解散...”将其组合成一个封装即可。与符号库的组合解散功能一致。

注意：解散封装前，请确保封装的层属性已经切换到顶层，因为组合后的封装默认在顶层。

智能尺寸

智能尺寸

嘉立创EDA提供了一个强大的智能尺寸工具，方便绘制封装。

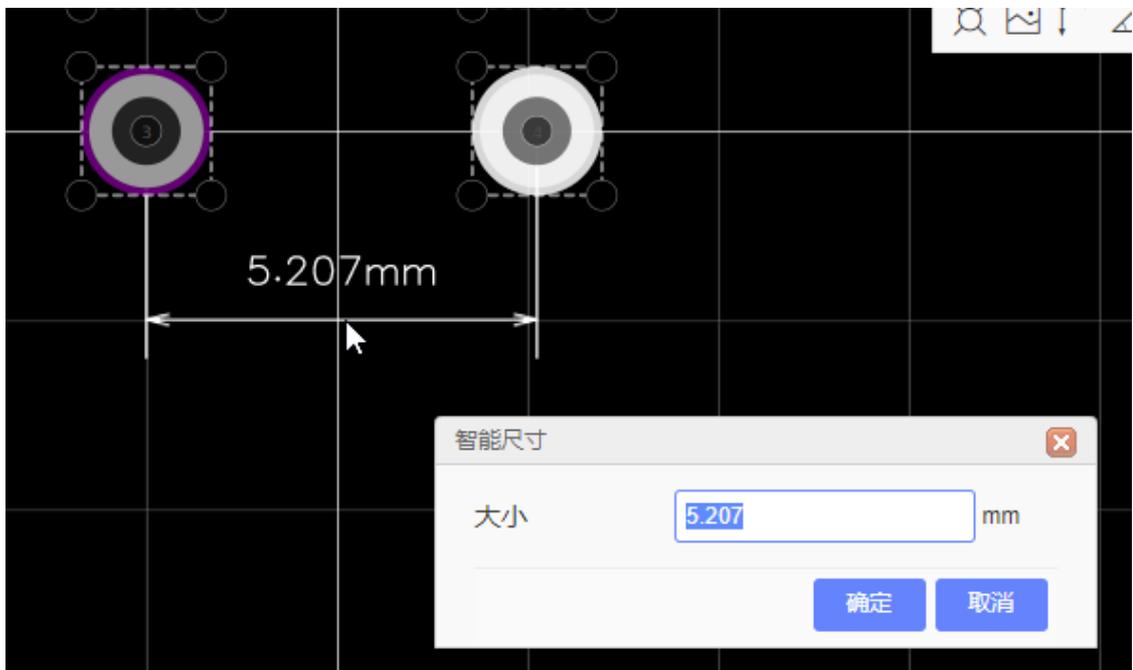
入口：**顶部菜单 - 工具 - 智能尺寸**

使用方法：

- 1、放置焊盘在画布后，
- 2、点击顶部菜单的智能尺寸，可以进入智能尺寸绘制模式



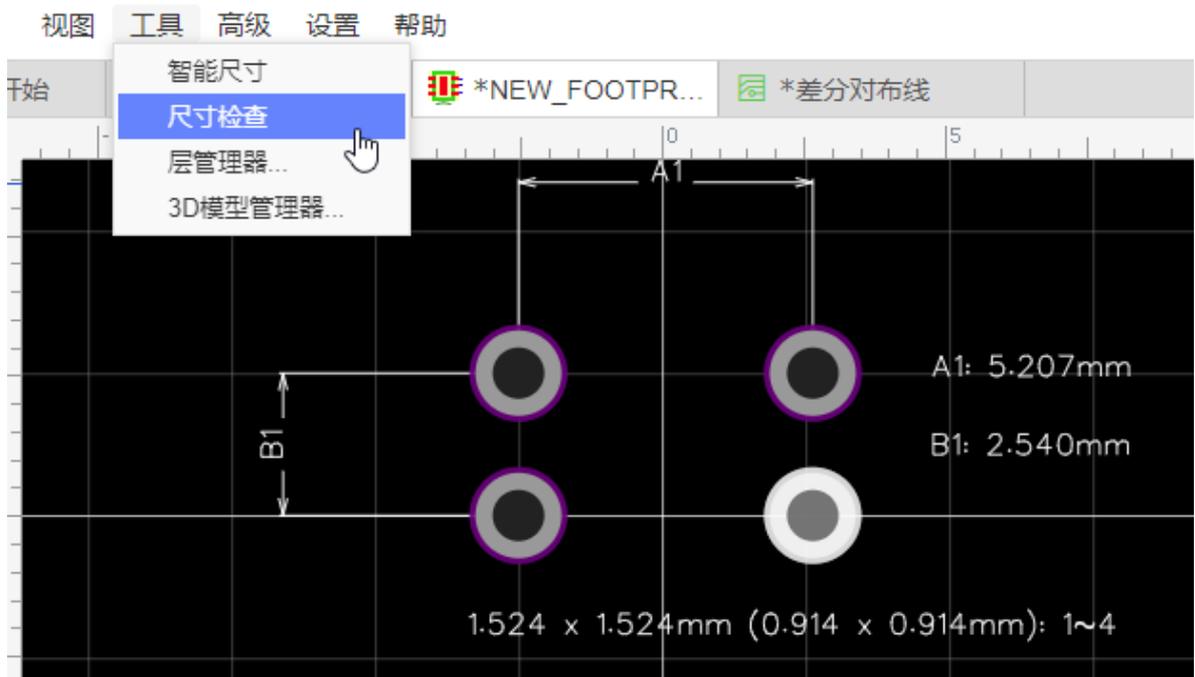
- 3、分别点击不同焊盘上面的圆点
- 4、出现延伸尺寸标注，移动鼠标，左击确定延长标注的高度后，会弹窗等待输入两个焊盘之间的距离



- 5、确定后自动移动焊盘，并保持标注线联动
- 6、分别完成焊盘与焊盘之间的距离高度设置，可以快速进行焊盘定位。支持两两之间相互距离锁定，不因拖动而变动相对距离。点击标注文字，可以右边属性修改尺寸。
- 7、完成后再次点击菜单退出智能尺寸模式。

尺寸检查

通过尺寸检查菜单，可以快速检查封装的具体尺寸。



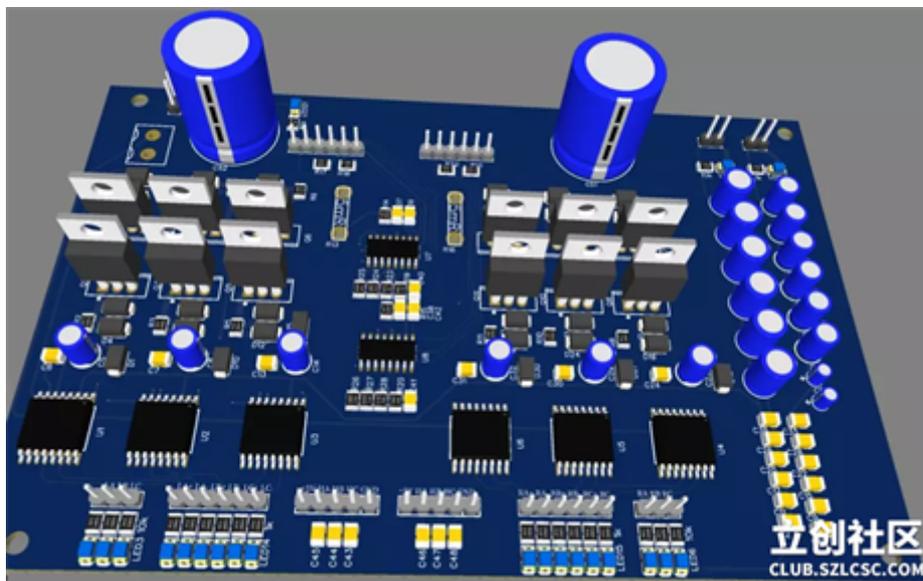
右侧信息是左右焊盘，上下焊盘之间的间距；底部的信息是焊盘尺寸以及对应的焊盘编号。

移动鼠标在标注信息上可以高亮对应的焊盘。

新建3D模型库

导入3D文件

嘉立创EDA支持导入3D模型，PCB在进行3D预览的时候可以查看炫酷的3D模型。



1、绘制或者下载 3D 模型：

下载地址：

- <https://library.io/explore/3dmodels> 在下载 obj 文件时会自动下载 mtl 文件
- <https://github.com/KiCad/kicad-packages3D> 这个地址下载单个文件时需要通过右键另存下载，不能通过迅雷等下载，否则会下载整个网页作为 wrl 文件。具体看教程视频：<https://www.bilibili.com/video/av53277748?p=15>
- <https://www.traceparts.com/zh>
- <https://www.3dcontentcentral.com/>
- <https://grabcad.com/>

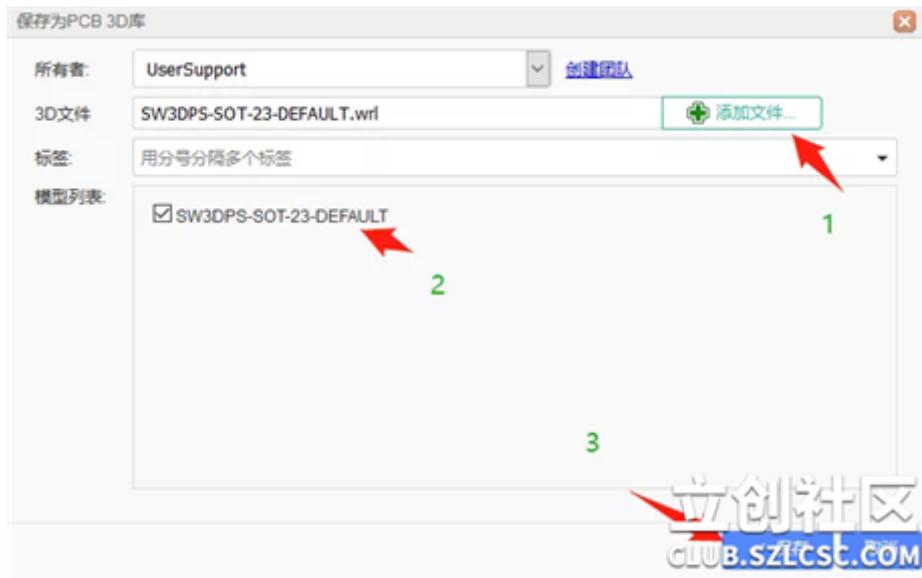
注意：

- 目前只支持 wrl(VRML) 和 obj 格式的 3D 模型。
- wrl 可以直接导入，不需要压缩；如果你的 WRL 文件无法直接导入，请使用 FreeCAD 重新导出一份再导入。
- obj 必须和 mtl 文件一起压缩到 zip 压缩包里面再导入，在下载 obj 文件时通常会一起带上 mtl 文件。
- 其他格式的3D文件未支持。
- 注意文件后缀名不能大写。

2、在“顶部菜单 - 新建 - 3D模型”新建一个 3D 库



3、导入 3D 模型。你可以勾选需要导入的3D模型。



如果你有多个 3D 模型，你可以把 WRL 文件压缩在一个 zip 压缩包里面导入，最好 10 个 WRL 文件一个压缩包，否则数量太多或压缩包太大会导入失败。导入的时候选择 ZIP 文件导入即可。

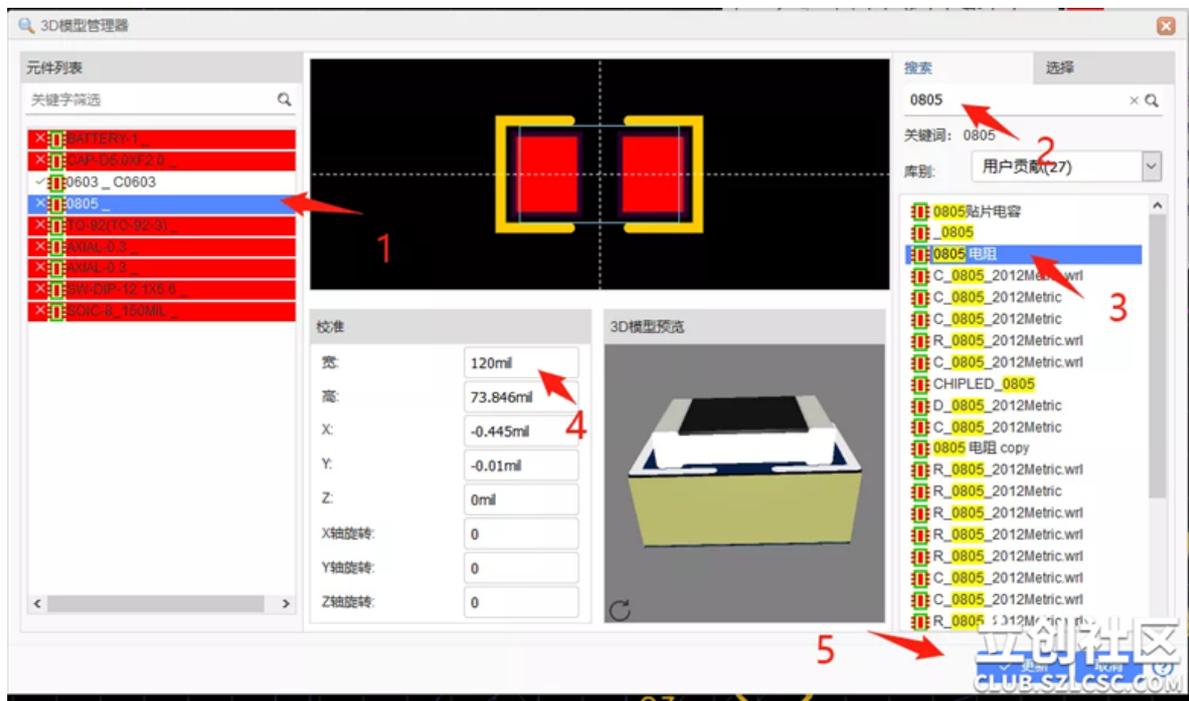
OBJ 格式的 3D 模型本身就是可以包含多个模型，不需要在压缩包里面包含多个。

4、打开 PCB 或者 PCB 库

5、找到“顶部菜单 - 工具 - 3D模型管理器”



6、为对应的封装指定导入的 3D 模型，与封装管理器操作基本一致。具体使用教程请查看：[PCB - 3D 模型管理器](#)



7、调整 3D 模型与 PCB 封装的位置参数，点击更新

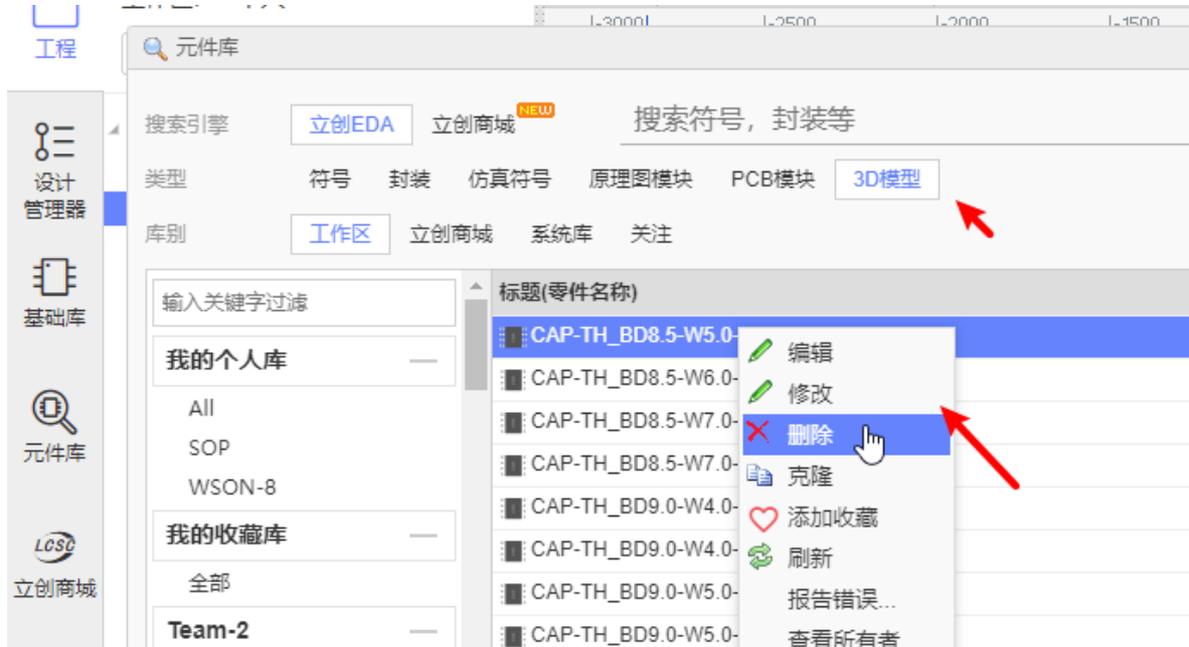
8、完成全部封装指定 3D 模型后，就可以开始整个 PCB 的 3D 预览了。

编辑3D库

1、快捷键 SHIFT+F 打开元件库对话框

2、切换到“3D模型”，切换到“工作区”

3、右键可以对3D库编辑和删除



FAQ:

Q: 官方封装库可以先指定 3D 模型吗?

A: 会的，常用的官方库都会指定 3D 模型。目前需要自己指定到 PCB 或者 PCB 库里面。

Q: 可以导出整个 PCB 3D 格式来做结构设计吗? step等。

A: 以后会支持, 要一步步来, 以后还会直接支持导入 step 格式。这个格式比较复杂, 还需要时间研究研究。

Q: 以后会做 3D 模型的绘制功能吗?

A: 不会。目前很多 3D 绘制工具非常成熟, 国产国外(浩辰CAD, 中望CAD, CAXA, SolidWorks等)或者开源免费的(FreeCAD, LibreCAD), 都很多。在线 3D 设计工具(onsshape)也有。

封装库命名参考规范

封装库命名参考规范, 封装库命名参考规范

相信广大电子工程师都会遇到封装命名的难题, 现在嘉立创EDA给大家提供一个参考方案 - 嘉立创EDA封装库命名参考规范.pdf: [在线阅读](#), [下载PDF](#)

前言:

每家公司都应该有自己的封装命名规范, 嘉立创EDA也不例外, 嘉立创EDA拥有超过18W的官方库(立创商城库), 多个工程师在建封装的时候, 更需要统一的画库规则和封装命名规则, 以确保库的一致性和封装的复用性。

由立创商城工程部和嘉立创EDA团队的编写, 经过长时间的反复打磨, 现我们很高兴的对外发布《嘉立创EDA封装库命名参考规范》。

嘉立创EDA已经根据新的封装命名规范建立封装半年多, 以后也会根据这个规则不断绘制新的库。

优势:

广大嘉立创EDA用户也可以根据这个规则:

- 1、查找指定封装类型的元件;
- 2、根据这个规则创建自己的或者团队的或者公司封装;
- 3、快速复用嘉立创EDA官方的库。

亮点:

- 1、在命名上采取了“封装类型_脚数-体宽-脚距-体长-脚跨距-一脚方位-极性方向_系列名”的规则, 使用者可以快速明确封装大部分信息
- 2、覆盖了常用的大部分元件分类与封装类型, 可以快速定位查询
- 3、不断根据新的元件或者封装类型扩展新的命名规则, 持续更新维护
- 4、公开分发, 以无论个人还是企业, 都可以免费使用

缺点:

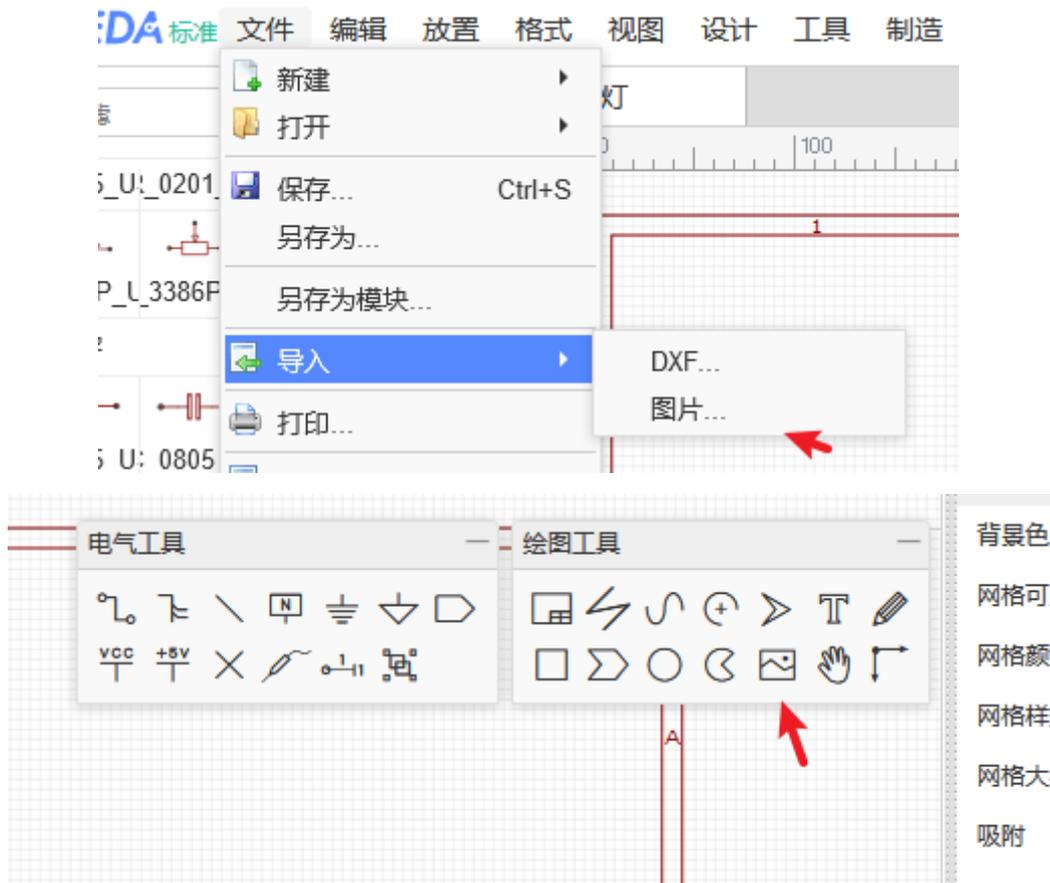
- 部分封装类型命名的标题过长

嘉立创EDA封装库命名参考规范.pdf: [在线阅读](#), [下载PDF](#)

导入图片

原理图中导入图片

在原理图和原理图模块下导入图片，如前面“原理图：绘图工具-图片”章节所述，原理图中导入图片需要点击绘图工具的图片功能，会生成一个默认图片。



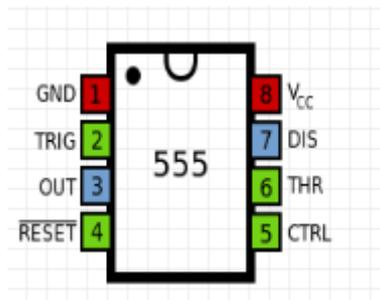
点击这个图片在右边属性面板可以编辑它的属性，修改图片，或者鼠标右键打开属性弹窗查看和修改它的属性。



可以通过超链接插入图片，也可以从本地上传。插入的超链接必须是以图片格式后缀名(.PNG, .JPG, .SVG)结尾，如：

http://upload.wikimedia.org/wikipedia/commons/thumb/c/c7/555_Pinout.svg/220px-555_Pinout.svg.png

之后你可以看到图片如下：



注意:

- 目前嘉立创EDA不能为你上传的图片创建图库, 若使用超链接上传图片请使用有效图床。

PCB中导入图片

在PCB和PCB库画布下, 嘉立创EDA支持添加图片。你可以很方便插入丝印logo等标识图案。



点击插入图片功能, 会打开一个窗口, 你可以添加你需要的图片, 嘉立创EDA支持 **JPG**, **BMP**, **PNG**, **GIF**, 和 **SVG** 格式的图片。



添加图片后，可以：

- 预览图片：左边为原图预览，右边为调整后的图片效果预览。
- 颜色容差：数值越大，图像会损失越大。
- 简化级别：数值越大，图像边沿会更圆润。
- 图像反转：选择后，原本高亮区域会被挖图。
- 图片尺寸：设置你要插入的大小。

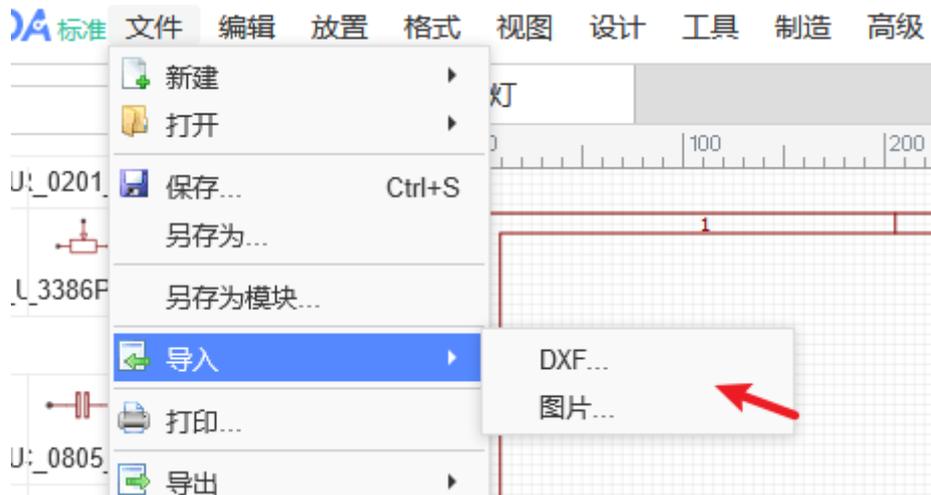
图片会插入在当前编辑的层，如果需要换层或修改其他属性，可以点击它后在属性处修改。



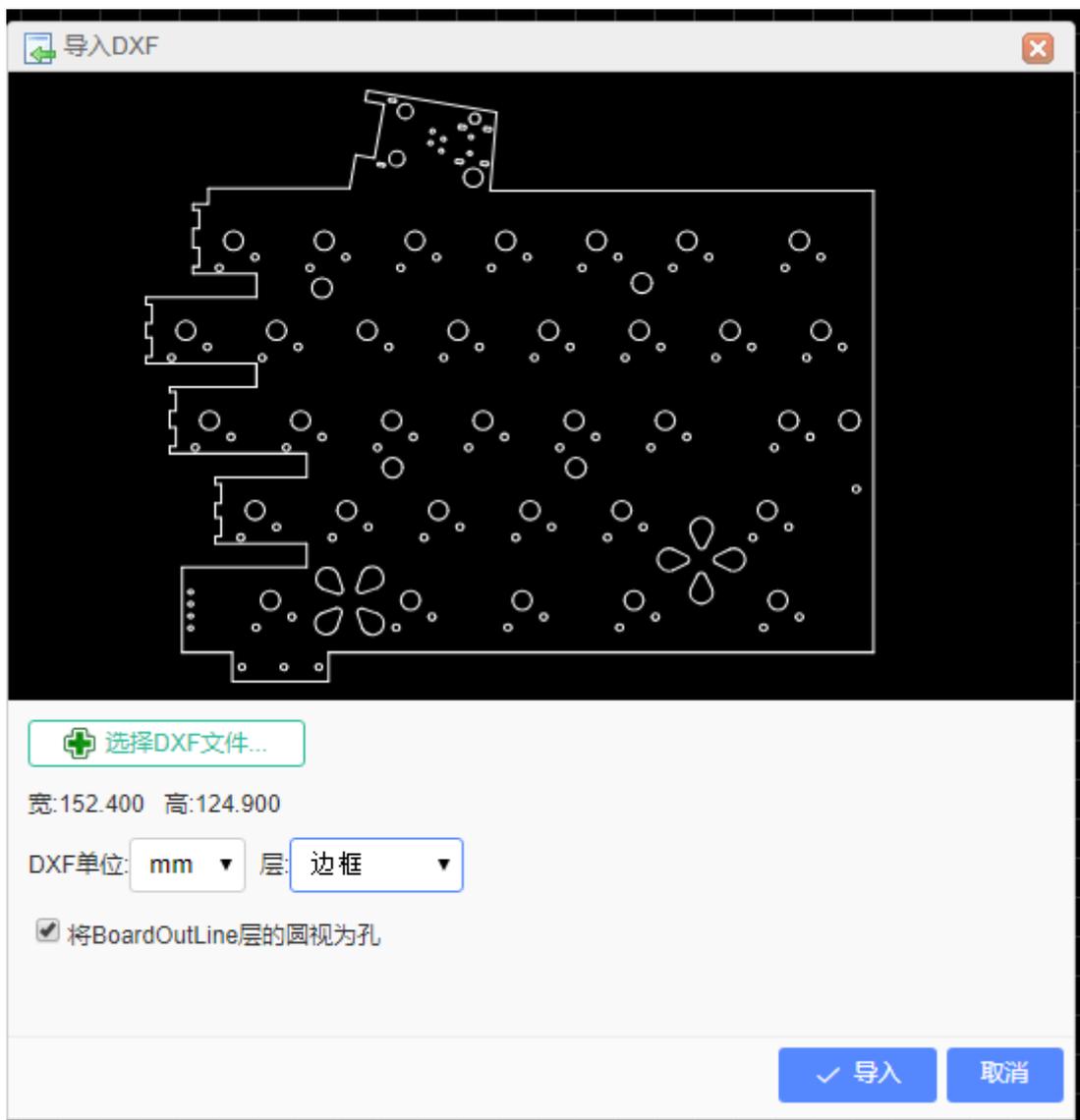
导入DXF文件

如果你的PCB需要设计及其复杂的边框，设计美观的图案，并且你有现有的素材并保存为DXF格式。那么你可以尝试使用导入DXF功能。

在**文件** > **导入DXF** 打开导入对话框：



选择了DXF文件后，会显现DXF文件预览：

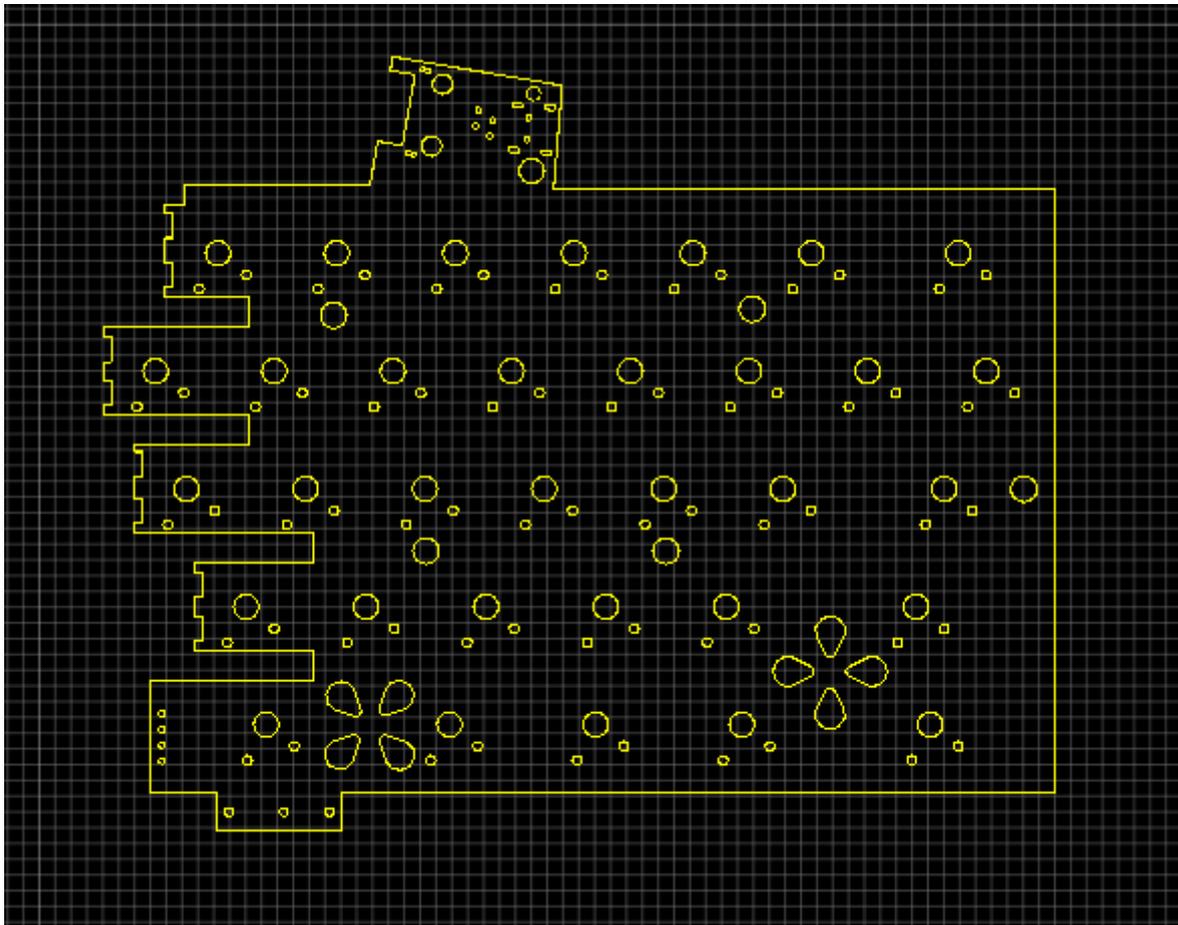


嘉立创EDA提供四种单位转换：英寸inch、厘米cm、毫米mm、密耳mil；

在原理图等，DXF的长度设置为像素，比如长度 100 的 DXF，导入后长度为 100px。

导入在 PCB、PCB 模块，PCB 库并可选择需导入的层：顶层、底层、顶层丝印、底层丝印、边框、文档。

点击“导入”按钮后，即可在画布中出现。



上图提供的 DXF 文件可以自行下载体验：[DXF边框范例](#)

注意：

- 导入的DXF文件必须以 .dxf 为扩展名。
- 当你选择导入的层是边框时，圆圈会被转换为过孔。
- 会有一些细节项目无法完美支持，比如螺旋线，镜像等。如果你发现有无法很好支持的细节请将 DXF发给我们进行分析。
- 不建议直接导入到信号层，因为要计算信号连接关系，导入信号层可能会卡顿。
- 如果导入的DXF有经过组合请先解散组合再导入。

文件导入

导入Altium Designer

注意事项

当你选择导入Altium Designer时，请务必确认导入的文件内容。

1、目前导入功能属于beta版，导入后请仔细检查！嘉立创EDA并不能确保导入后 100% 匹配！

2、某些细节可能不支持，如设计规则，内电层。

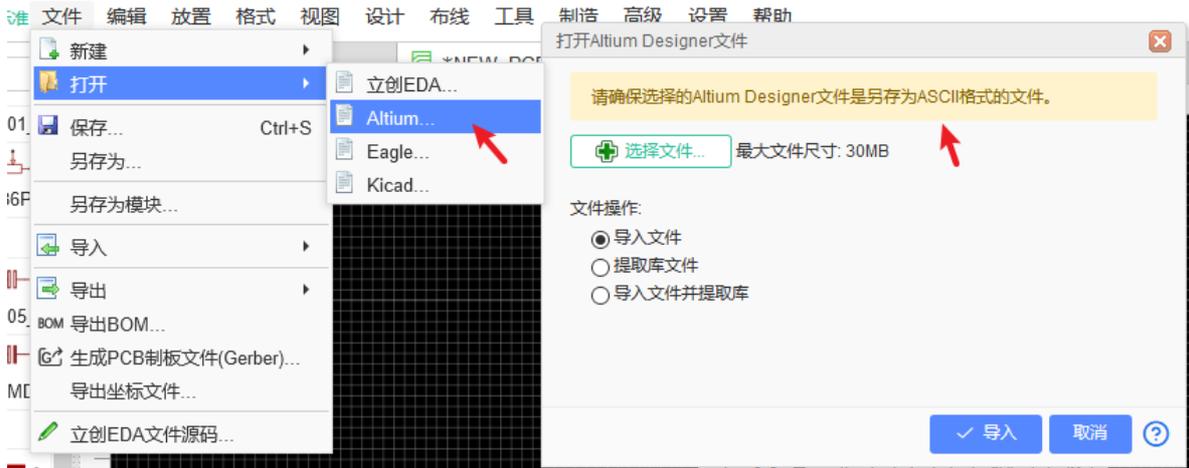
3、内电层导入后需要仔细检查导线，内电层无法保持原有的网络，必须重新设置！

嘉立创EDA目前支持导入的电路设计文件有：

- Altium Designer/Protel DXP ASCII格式的原理图/PCB
- Eagle 原理图/PCB/库文件
- KICAD 原理图/PCB/库文件

导入步骤

你可以在 **文件 > 打开** 打开导入对话框。



1、选择 Altium 文件，必须是以**ASCII格式**另存为的原理图文件和PCB文件。具体操作请看下面教程。

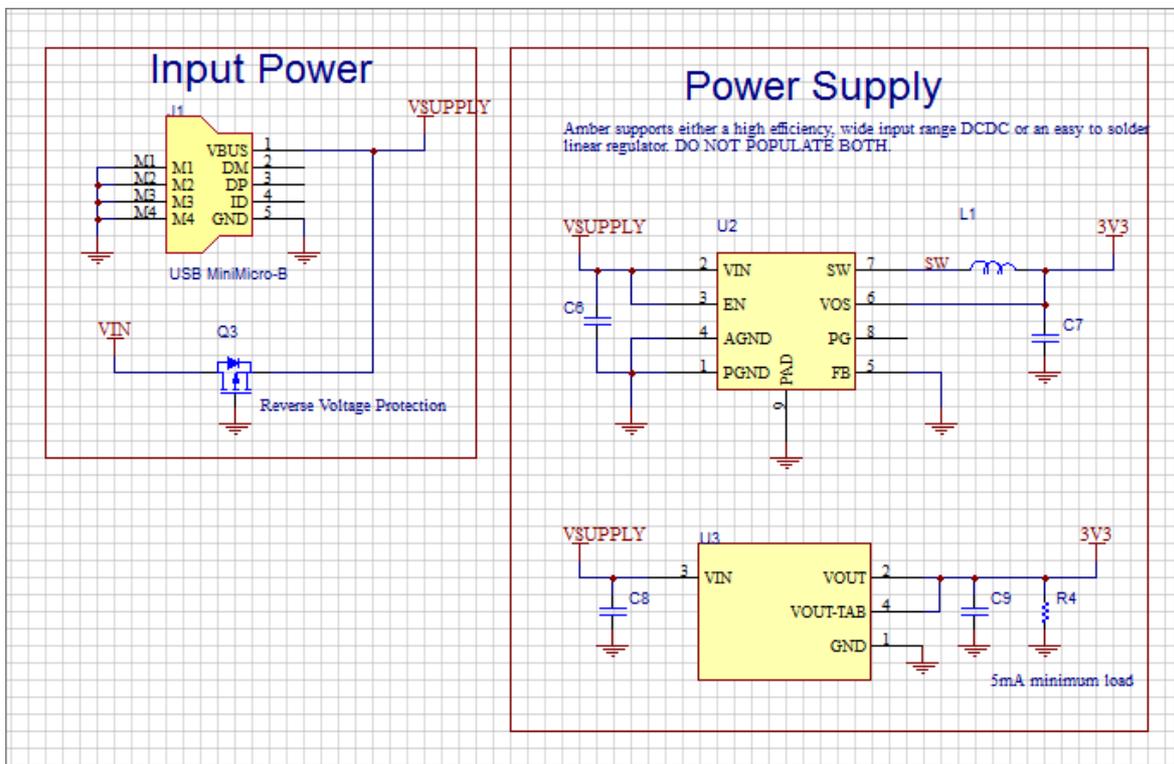
2、根据自己的需要选择导入文件还是提取库。

3、如果同一个工程的原理图和PCB都需要导入，请先导入 PCB 并选择提取封装，再导入PCB和原理图，导入原理图时会自动根据前面提取的封装标题进行关联。有些封装标题因为字符编码的原因无法识别会被转为下划线。

4、如果导入后，从原理图更新到PCB元件没有对应，则可以在：设计菜单 - 重置元件唯一ID，进行元件ID重置，原理图和PCB都需要。此时两边的元件对应关系修正完成。



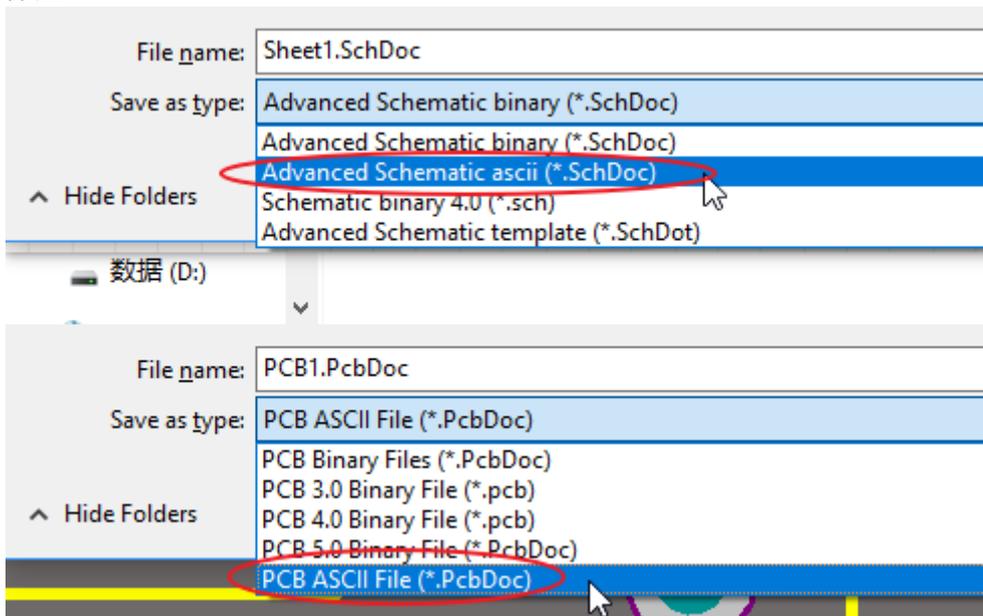
导入Altium Designer原理图文件，PCB文件效果已经非常出色，如下图：



生成ASCII文件格式

Altium另存为ASCII格式:

- 使用Altium Designer打开原理图/PCB文件(如果没有安装Altium Designer需要自行安装)
- 打开“文件”菜单
- 选择“另存为”
- 文档类型下拉选择ASCII格式: PCB ASCII File(*.PcbDoc) 或 Advanced Schematic ascii(*.SchDoc)
- 保存。



如果是Protel 99se的文件, 请先在Altium Designer打开再根据上面的方式保存, 再导入。

导入Alitum库文件

由于Altium Designer原理图库文件, 封装库文件并不支持保存为 ASCII格式, 所以嘉立创EDA不支持直接导入Altium Designer的库文件。

你可以将需要的导入的库文件全部放在原理图或PCB中，再将原理图和PCB另存为ASCII格式，再导入时选择“提取库文件”即可将库文件全部提取。提取后可以直接放置在相应的画布上，也可以直接添加到个人库中。



批量转换ASCII文件

如何批量导入 Altium Designer 已有的原理图和PCB和库文件：

- 1、下载网友 CZJ 分享的一个 Altium 脚本。http://club.szlcsc.com/article/details_54184_1.html
- 2、根据脚本的教程提取当前安装好的库文件到原理图或者 PCB.
- 3、把生成的原理图或 PCB 文件压缩到 zip 压缩包后导入，并提取库。优先提取封装库后再提取符号库。
- 4、导入后在“左侧元件库 - 符号/封装 - 工作区”处找到提取的库。

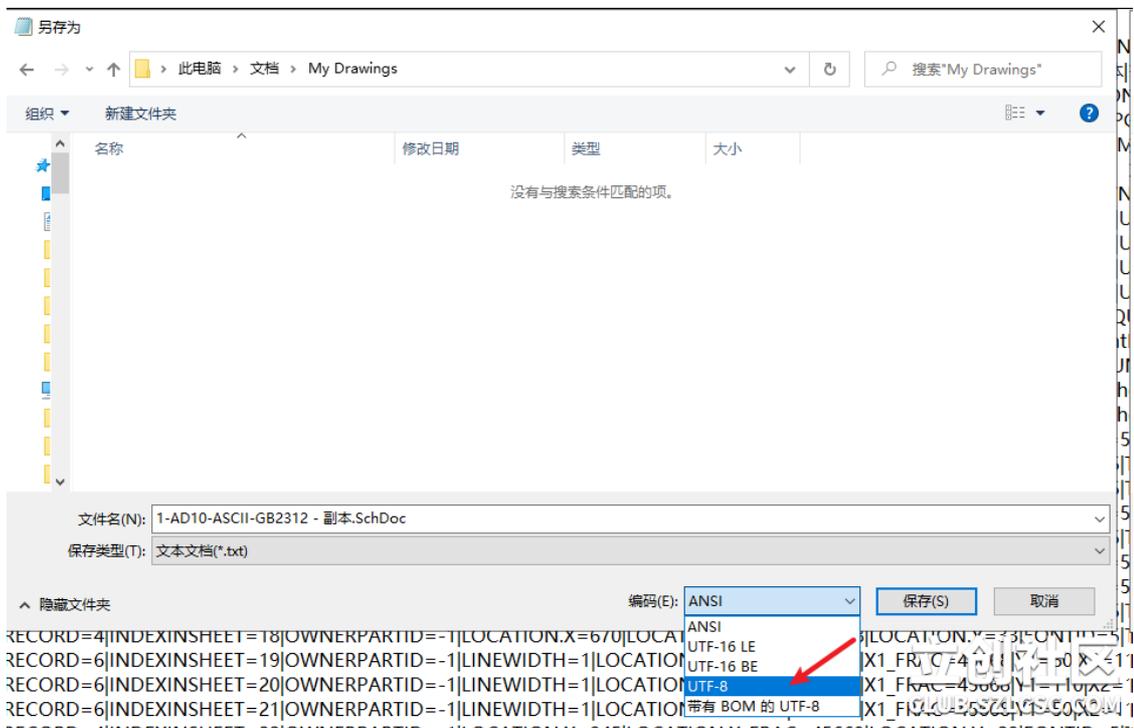
常见问题

- 1、导入AD原理图出现中文乱码

在 AD17 以下的版本，另存为的 ASCII 文件编码可能是 GBK2312，需要把 ASCII 文件的编码由 GBK2312 转为 UTF-8。可以使用文本编辑器另存为 UTF-8 编码的文件。

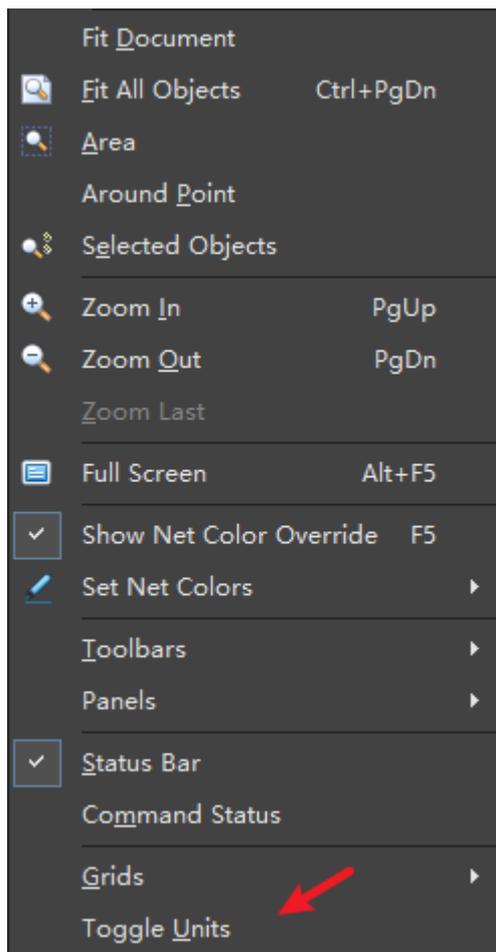
方法：

- 1、用 AD17 另存为 ASCII 文件，其默认是 UTF-8 编码
- 2、或者用系统的记事本打开 ASCII 文件，另存为时选择 UTF-8 编码。其他文本编辑器也有相应的编码转换功能。

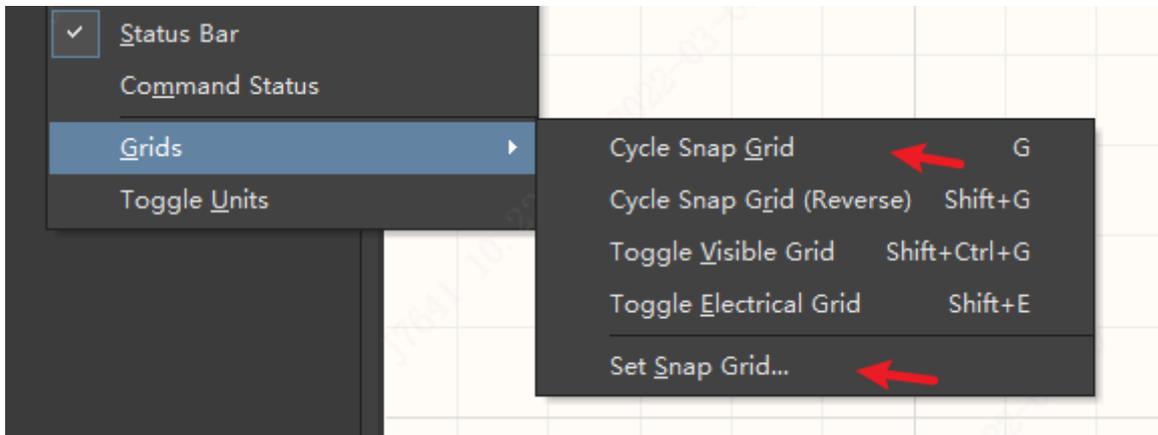
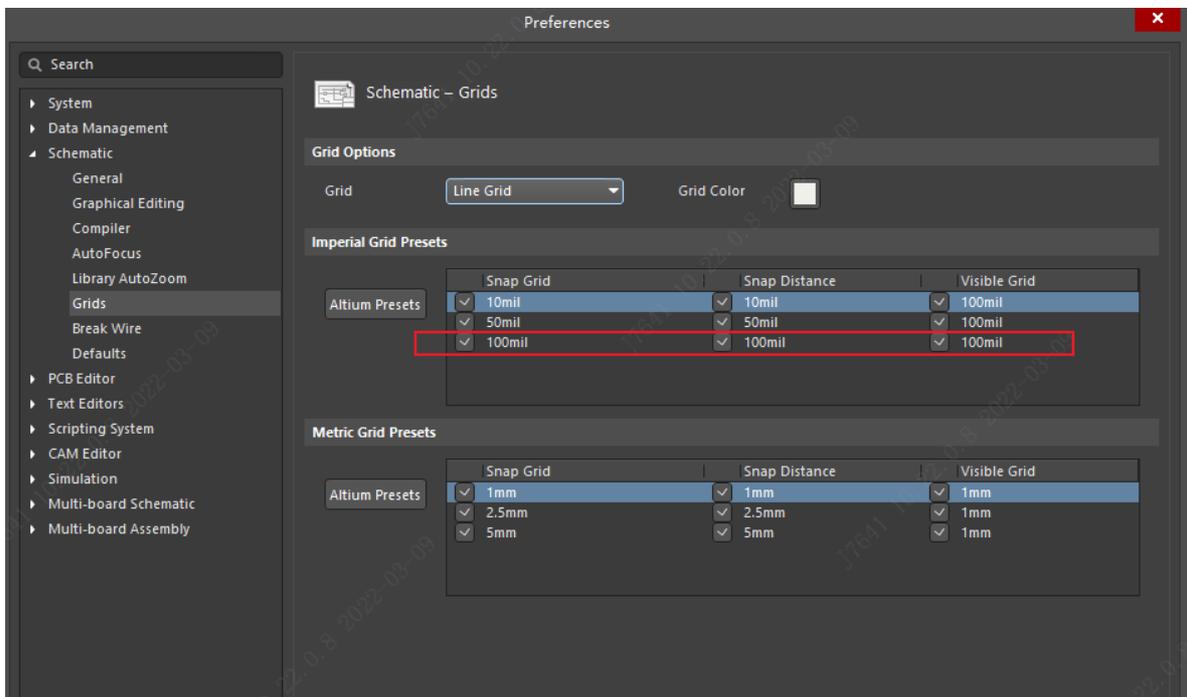


2、导入AD文件后存在导线和器件引脚没有对齐格点，或者引脚偏了

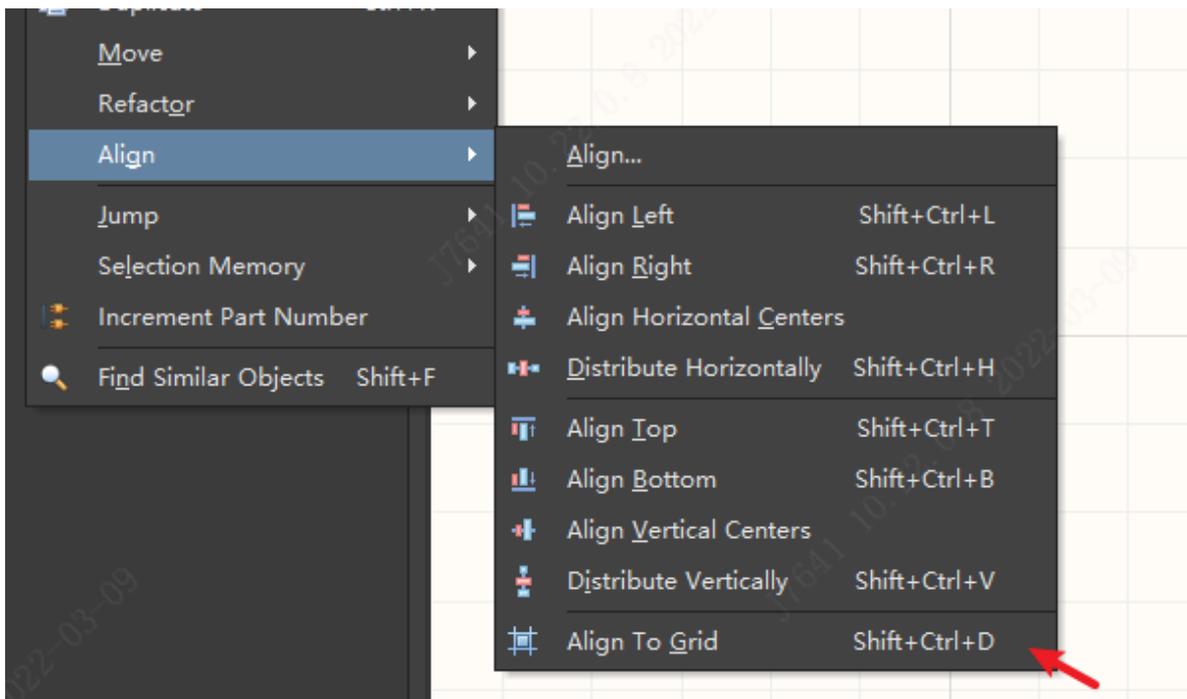
- 先在 Altium Designer 设置原理图的单位为英制mil，在：查看菜单 - 切换单位



- 然后画布右键菜单或系统设置：选项 - 网格 - 设置显示网格，电气网格，吸附网格为 100mil，切换网格为 100mil



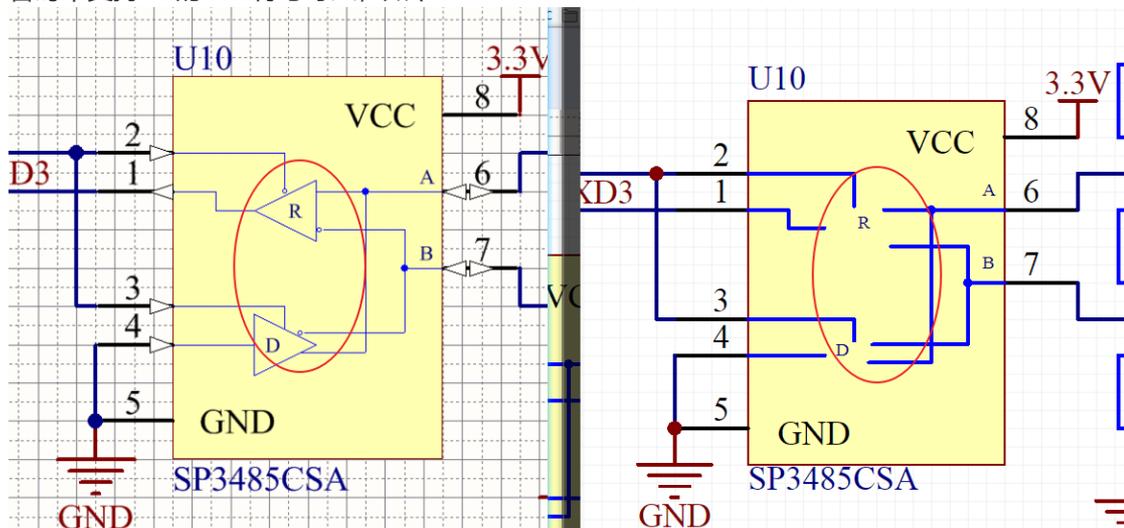
- 全选原理图 CTRL + A，使用编辑菜单：编辑 - 对齐 - 对齐网格功能。检查断开或者不对的地方修正。



- 另存 ASCII 再导入

已知问题

- 嘉立创EDA目前不支持Altium的PCB规则导入，所以导入后的PCB文件规则相关参数需要自行调整，目前铺铜间隙默认设置为10mil。
- Altium文件的内电层导入后需要手动调整。
- 暂时不支持AD的IEEE符号导入，如下：



- 请不要反复将你的原理图或PCB导出AD格式后又导入，这个操作可能会导致细节丢失!!!
- 导入Altium文件时，如果有不支持的字符将自动转为下滑线，所以导入后可能会发现有网络标签、器件名称、封装名多了一个下划线，请手动修改。
- 如果Altium文件非常大，导入时间将会非常长，建议先删除铺铜再导入。
- 导入AD文件的边框处理逻辑：keep-out 转为边框层，board shape 转为文档层，mechanical 等转为机械层。如果你有把板框和挖槽绘制在机械层1，请导入后手动切换至边框层。
- 导入的AD文件最大支持100MB，文件越大会导致导入时间越长或导入失败，建议手动减小文件体积

Eagle 原理图/PCB/库文件

请看一下章节

KiCAD 原理图/PCB/库文件

请看下下个章节

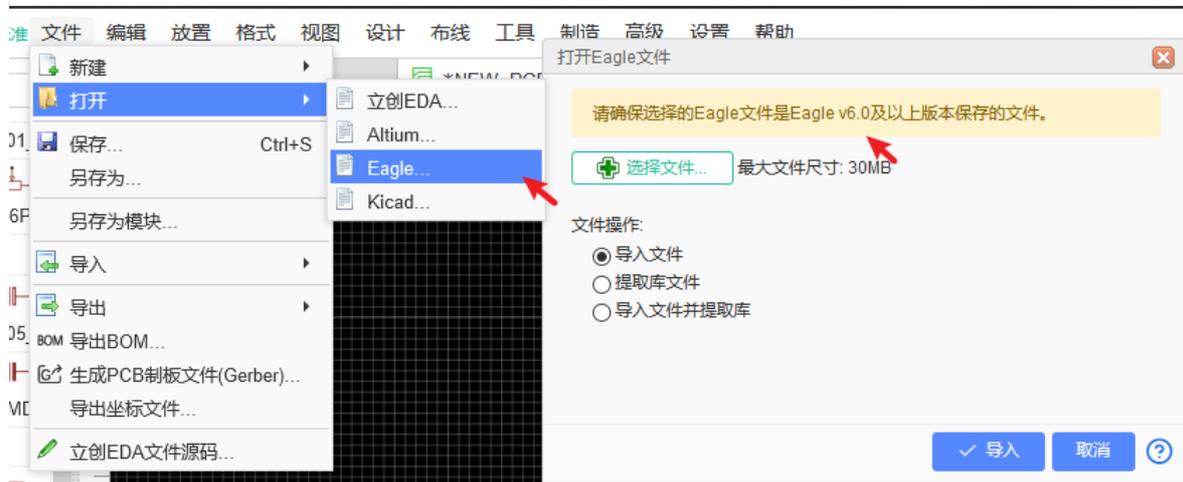
LTspice原理图文件

因嘉立创EDA重写了文件导入的转换代码，LTspice文件的导入需要重新开发，暂时还没有对其进行开发，暂未支持导入。

导入Eagle文件

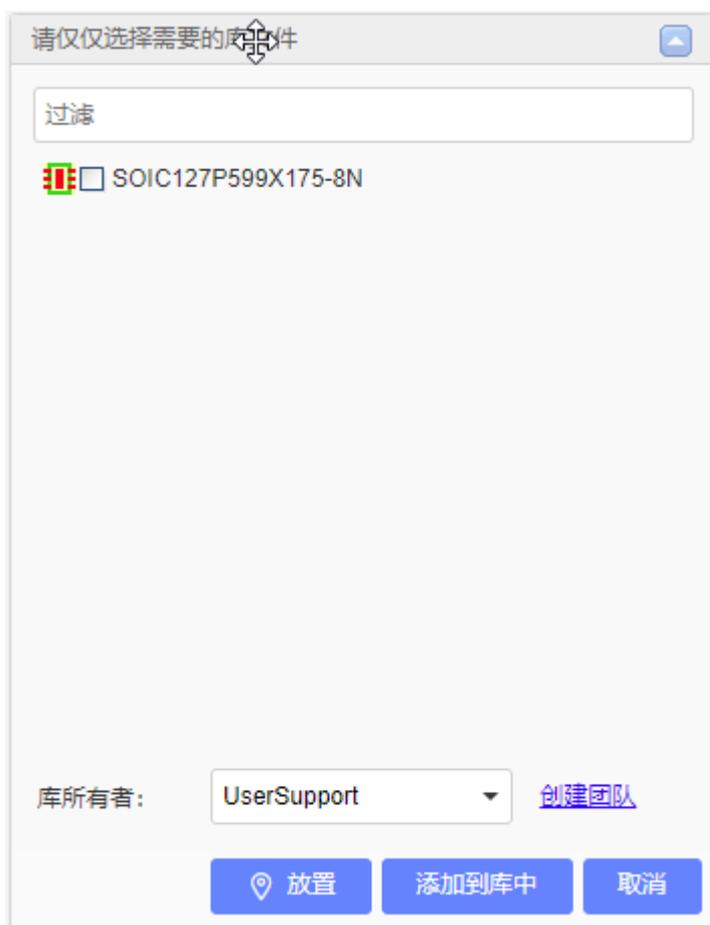
嘉立创EDA支持Eagle文件导入，但是仅支持Eagle v6.0及以上版本的文件，如果你发现导入失败，请用最新版本的Eagle打开先再另存一个副本，然后导入该副本即可。

如果你已经确认你的Eagle文件在v6.0版本以上保存，仍导入失败，可以使用文本编辑器打开Eagle文件，删除里面的乱码字符，再尝试导入。



因为 Eagle 从 v6.0 版本才开始采用ASCII XML结构的数据来保存本地文件，嘉立创EDA需要解析该文件格式才可导入，其他格式无法直接支持。

除了原理图和 PCB，还可以直接导入库文件。选择导入库文件时，编辑器会自动切换至提取库文件选项。



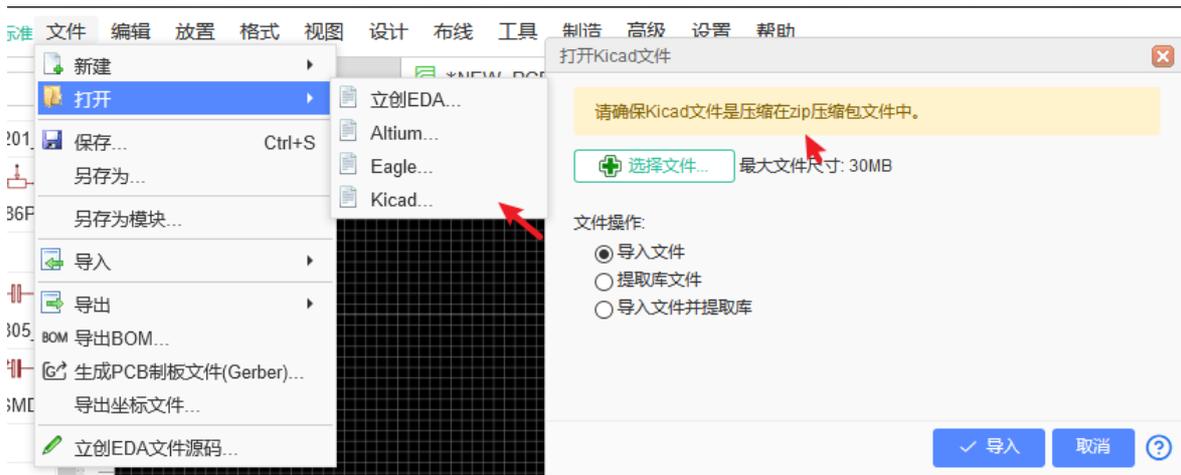
如果导入 Eagle 的原理图需要转为 PCB 继续绘制的，请导入时选择：导入文件并提取库。否则导入原理图后需要重新指定封装。

Eagle PCB 原有的一些规则嘉立创EDA暂不支持，导入后请仔细检查。

导入KiCAD文件

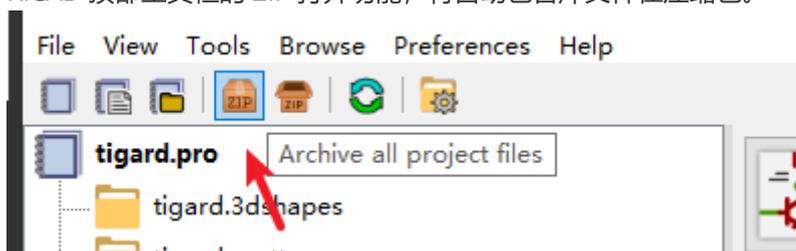
嘉立创EDA支持KiCAD文件导入，但是仅支持 KiCAD v4.06 及以上版本的 KiCAD 文件，低版本的 KiCAD 文件请先在 v4.06 重新打开并保存。

导入的KiCAD文件需要先压缩为zip格式，然后再导入，导入后服务器会自动解压并解析文件。



由于KiCAD的库文件与原理图文件的关联性，如果是单个原理图/PCB文件，将无法被成功解析，压缩包请将整个工程文件夹(包含整个工程调用的库文件)进行压缩。

- 如果只需要单独导入 PCB，可以把 PCB 文件压缩到 zip 压缩包导入
- 如果要导入原理图，则压缩包内需要包含库文件或库文件夹。建议在 KiCAD 打开工程后，使用 KiCAD 顶部工具栏的 ZIP 打开功能，将自动包含库文件在压缩包。



注意

- 对于KiCAD的特殊符号：Power Flag(PWR_FLAG)，嘉立创EDA直接将其转化为一个符号库，并非网络标签，若不再需要可以自行删除，或者为它指定一个空的封装，避免原理图转PCB报未指定封装错误。
- KiCAD PCB原有的一些规则嘉立创EDA暂不支持，导入后请仔细检查。
- KiCAD v5.1.3 后的版本文件格式有更新，可能会导入失败，建议先用低版本保存再导入试试。待修复。
- PCB 导入后会重建铺铜，铺铜结果会有差异，请仔细检查。

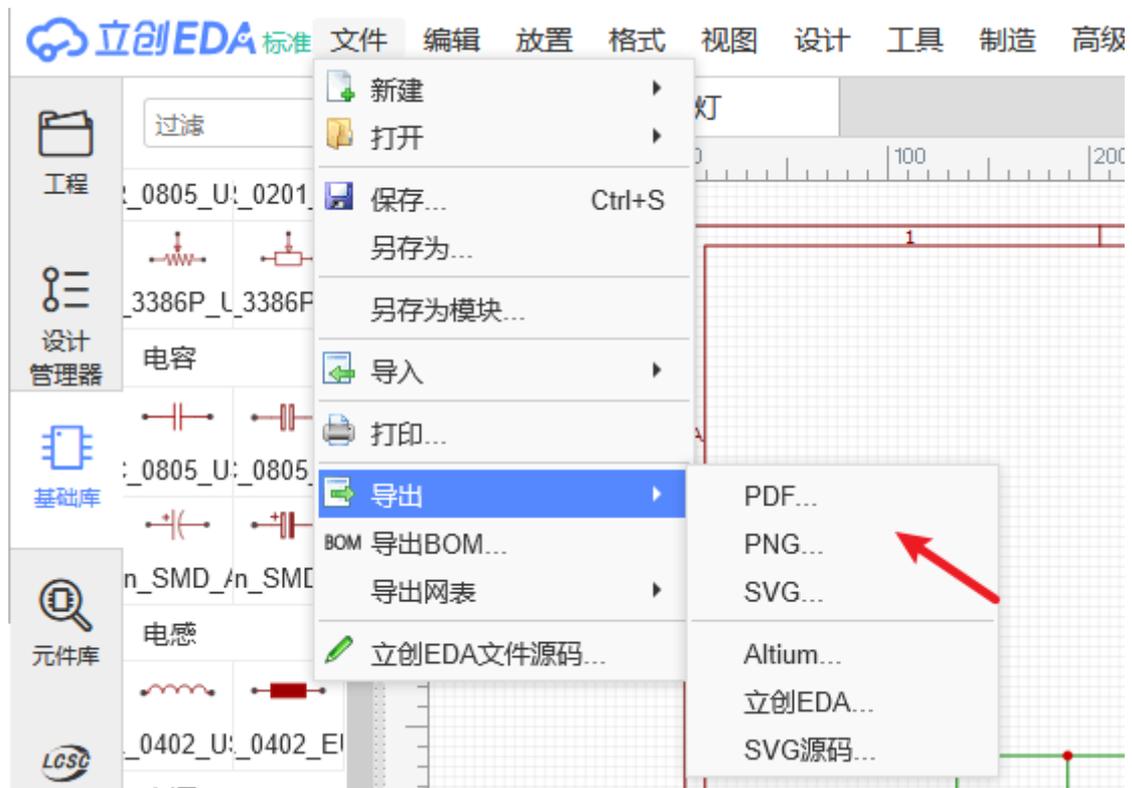
文件导出

导出原理图

嘉立创EDA支持导出多种类型的文件，以便于满足你在多方面的需求。

用PDF/PNG/SVG导出原理图

导出原理图可通过点击：**顶部菜单 > 文件 > 导出...** 可以导出PDF，PNG，SVG格式文件：

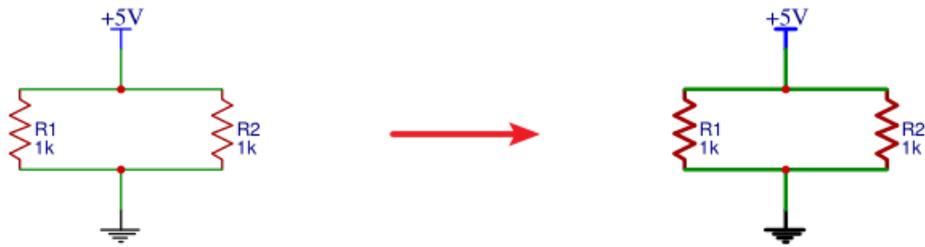


在弹出的窗口有以下选项：



- **导出为：** 可选择PDF，PNG，SVG文件。
- **线宽：** 1x代表实际尺寸。当你设置为2x时，线宽会增大一倍。如下图，左边线宽为1x，右边线宽为2x。
- **引擎：**
 - 本地：由编辑器生成 PDF。
 - 云端：由云端服务器生成 PDF。未来嘉立创EDA将移除该选项。
- **类型：** 当存在多页原理图时，选择单独页面导出的文档变成zip压缩包，解压后每个PDF代表一个原理图页，如果选择合并页面会在一个PDF上展示多个不同页的原理图。

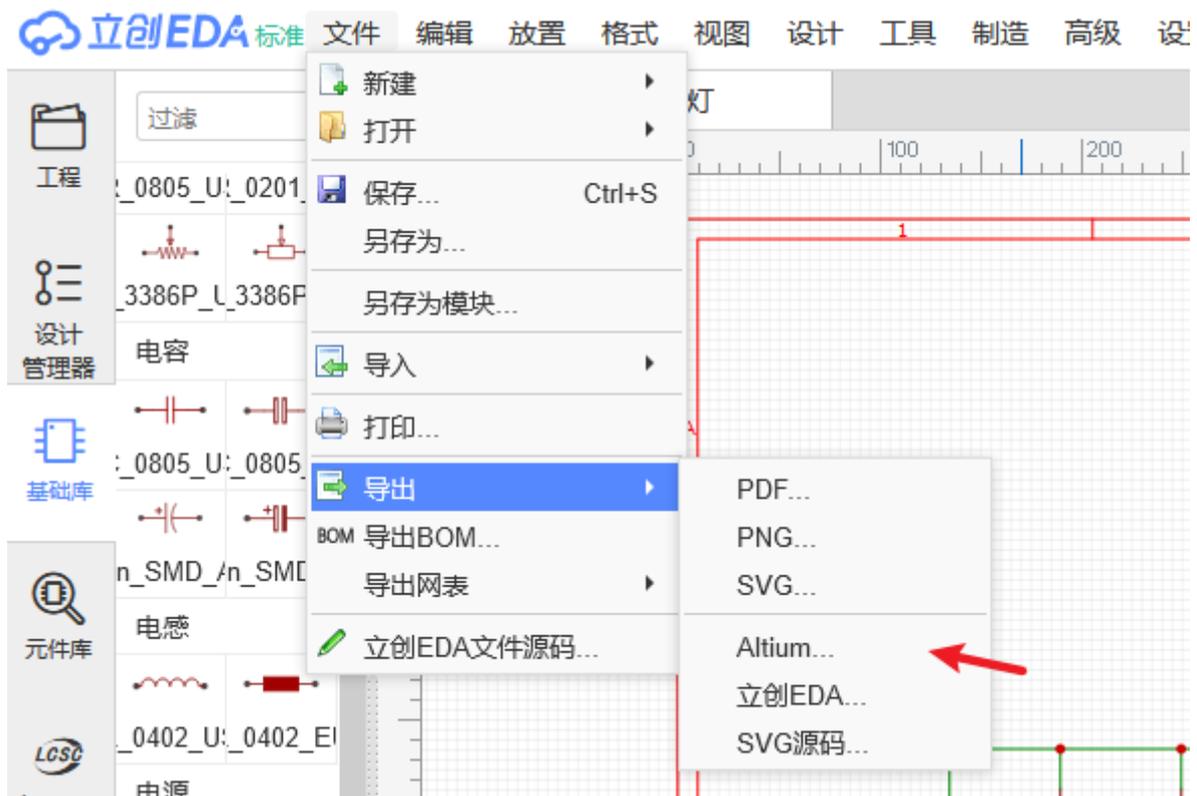
导出时可以勾选自己想要导出的原理图页。



文件导出

导出原理图为Altium Designer格式

导出Altium Designer格式原理图可通过点击：**顶部菜单 > 文件 > 导出Altium...**



更多关于导出Altium文件的信息，请查看：[导出Altium文件](#)

下载原理图的嘉立创EDA格式文档

请查看：[导出嘉立创EDA文件](#)

打印原理图

在点击 **文件 > 打印** 后，会打开打印对话框，设置参数后直接打印即可。

请留意打印边界的设置，否则打印出来的画面可能会超出单页界面。

客户端直接打印无法直接设置打印边界，请导出 PDF 后再打印，谷歌浏览器可以设置。

当使用谷歌浏览器打印的时候，请关闭打印预览对话框的设置项：“页尾和页脚”，否则A4大小打印在纸上会多占一张纸。

也可以使用导出的PDF，PNG，SVG进行打印。建议优先选择PDF打印。

BOM表导出

嘉立创EDA支持单独PCB导出BOM表(物料清单)，以便于你购买所需的零件。

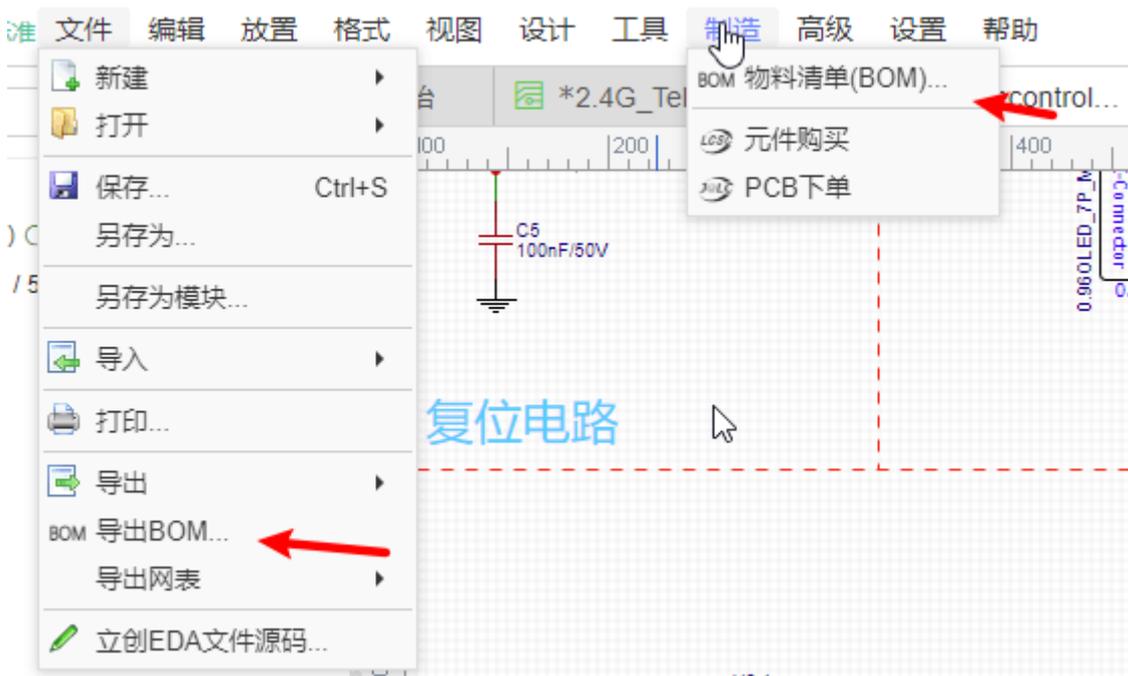
需要注意：

1、在v6.4.17版本之前，当工程内有原理图，导出的BOM信息来自于原理图的符号，给器件分配的立创商品编号也是写入原理图的符号中。当工程内只有PCB时，导出的BOM信息来自PCB内的封装，给器件分配的立创商品编号也是写入PCB的封装中。

2、在v6.4.17版本及之后，原理图的BOM和PCB的BOM已经独立导出，在BOM对话框分配的元件编号也是独立写入对应的文件中。导出 BOM 时请区分要导出的是哪个文件的 BOM。

BOM导出可以通过：

顶部菜单 - 制造 - 物料清单，或者 **顶部菜单 - 文件 - 导出BOM**



点击后会弹出一个导出对话框，

导出前，你还可以为零件指定立创商城的零件编号，以利于在立创商城上方便购买元件，下单时直接上传BOM表即可：

编号	元件名称	编号	封装	数量	制造商料号	制造商	供应商	供应商编号	价格
1	asasa	C1	C1206	1					
2	adada	C2	C1206	1					
3	0.1u	C3,C4	C1206	2					

OSHWHub 海量开源项目等你来探索

导出BOM 购买元件/检查库存 取消

点击分配图标后会打开元件库搜索框，在这里找到你想要的零件后然后点击“分配”完成编号指定，分配的编号将出现在BOM中。

搜索库

1u

类型 原理图库

库别 立创商城(13) 立创贴片(0)

标题 (零件名称)	封装	容量	电感系数	制造商	描述
CT4-0805B105K	RAD-0.2	1uF		ReliaPro	1uF (105) ±10% 50V
0603B105K160	0603	1uF(105)		WTC	
YFF31HC2A105MT000N	YFF-HC		1uF(105)	TDK	
0603YD105KAT2A	0603	1uF(105)		AVX	
NFM18PC105R0J3D	C1608_3T		1uF(105)	MuRata	
NFM21HC105R1C3D	0805-2*1.25MM		1uF(105)	MuRata	
CA45-A-35V-1UF-K	CASE-A_3216	1uF(105)		CEC	
SWPA252012S1R0NT	252012		1uH	Sunlord	
105J 100V	CAP-CBB-7.0*5.0	1uF		ReliaPro	1uF (105) ±5% 100V
CT4-1206Y105M101	RAD-0.2	1uF		ReliaPro	1uF (105) ±20% 100V
FNR8040S1R0MT	IND-808040		1uH	cjiang	

原理图库 > 立创商城 > 电容 > 直插独石电容 > CT4-0805B105K

¥ 0.0900 立创商城编号: C26435 库存: 0 起订量: 20 销售商: 立创商城

分配 取消

在这个对话框里，直接点击“导出BOM”按钮即可下载CSV格式的BOM表。目前BOM与立创商城打通，将实现一键加入购物车功能，届时将大大方便用户采购元件。

BOM打开后如图：

	A	B	C	D	E	F	G	H	I	J	K
	ID	Name	Designator	Footprint	Quantity	Manufacturer	Manufacturer	Supplier	Supplier Pa	LCSC	Assembly
	1	HDR-M-2.54	KJ1,AJ1,BJ1	HDR-M-2.54	8			LCSC	C66690		
	2	NE555P~NA	U1	DIP-8	1	NE555P	TI	LCSC	C46749		
	3	MC306(6pF	C1	CAP-D3.0XF	1	HV010M05C	CapXon	LCSC	C59954		
	4	0.1u	C63,C73	C1210K	2						
	5	MC306(6pF	C8	C1210	1						
	6	19-217/GHC	LED1,LED2	LED0603-R-	2	19-217/GHC	EVERLIGHT	LCSC	C72043	Yes	
	7	1N4148W	KD1,AD1,B	SOD-123FL	8	1N4148W	Tak Cheong	LCSC	C129216		
	8	CAP-1uF	C2	C0805	1	RVT2A1R0N	HONOR	LCSC	C87863		
	9	CAP-1uF	C4	RAD-0.1	1	?					
	10	CAP-1uF	C5	R0805	1	?					
	11	HDR-IDC-2.	P1	IDC-TH_6P-	1	2X3 2.54mn	BOOMELE	LCSC	C11214		
	12	0.1u	KC1,AC1,BC	C1210	8						
	13	1KOHM	R2	R0805	1	?					
	14	1KΩ	R1	AXIAL-0.3	1	?					
	15	2N3906(TO	KQ1,AQ1,B	TO-92-3_L4	8	2N3906	CJ	LCSC	C9809		
	16	1m	KL1,AL1,BL1	L0402	8						

支持导出价格，价格列是取当前立创商城的第一阶梯单价。

注意：

- 为了支持多语言，嘉立创EDA的BOM和坐标文件(CSV文件)均采用UNICODE编码，以制表符为CSV分隔符，如果你上传BOM至元件商城(如立创商城)无法使用，或者发送坐标文件至PCB制造商(如深圳嘉立创)无法使用，请自行转换CSV文件编码与分隔符。
- 推荐的转换方式：使用Excel或WPS另存为新的CSV文件。以Excel为例，用Excel打开CSV文件后，依次点击或选择：另存为——其它格式——CSV(逗号分隔)(* .csv)。也可以使用任何文本编辑器(如Windows记事本)打开该CSV文件，另存为ANSI或UTF-8编码格式。如有必要，还需替换所有制表符为英文逗号。

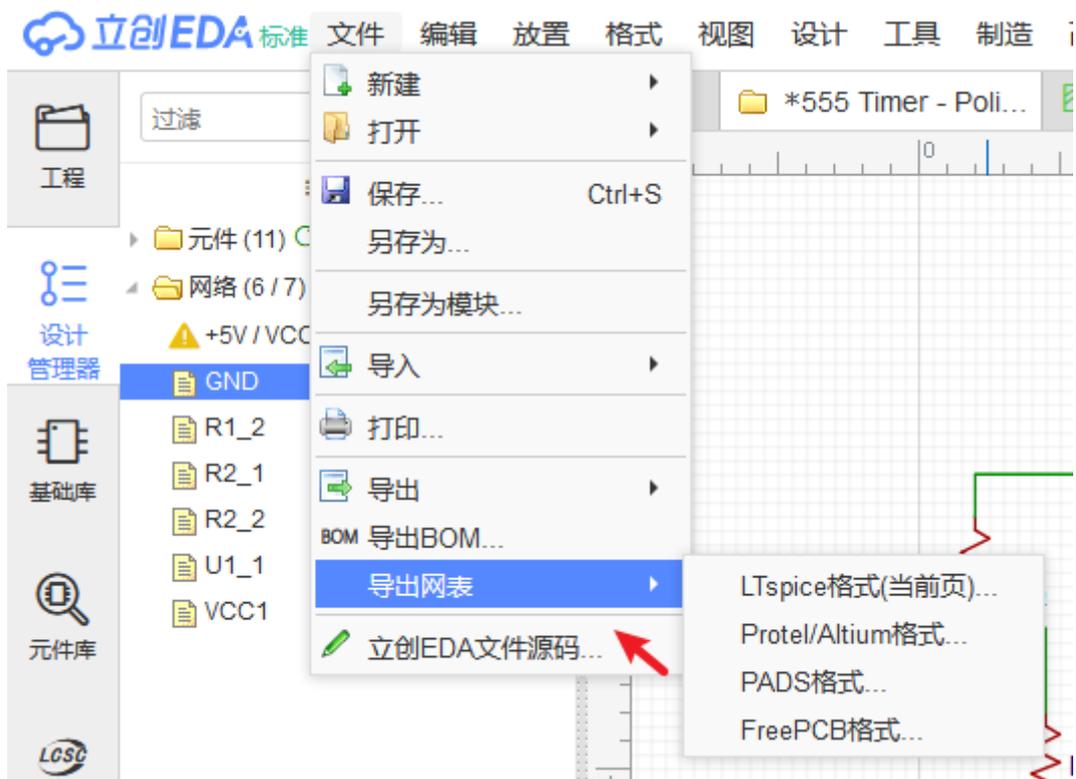
更多信息请查看 [导出](#) 章节。

导出网表

嘉立创EDA支持导出多种EDA使用的网表文件格式。可导出单一文档网表也可导出整个工程的网表。

支持的格式有：Spice仿真格式，Protel/Altium格式，Pads格式，FreePCB格式。

打开通过：[顶部菜单](#) > [文件](#) > [导出网络](#)

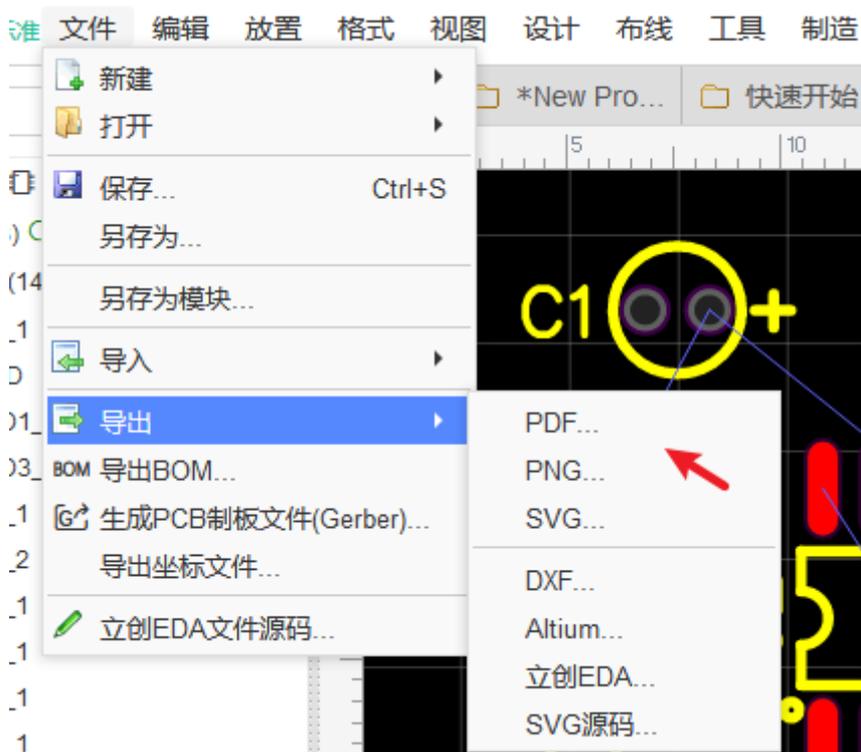


更多信息请查看 [导出](#) 章节。

导出PCB

导出 PCB 为 PDF/PNG/SVG

导出PCB设计与导出原理图设计的一样。在 **顶部菜单 > 文件 > 导出 > PDF/PNG/SVG...**



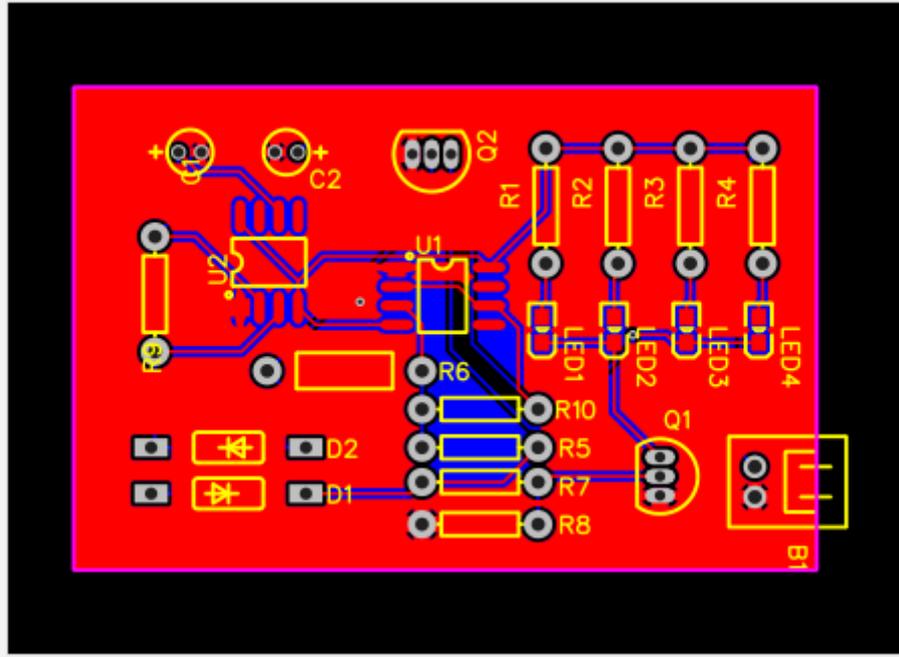
点击后会打开如下对话框：



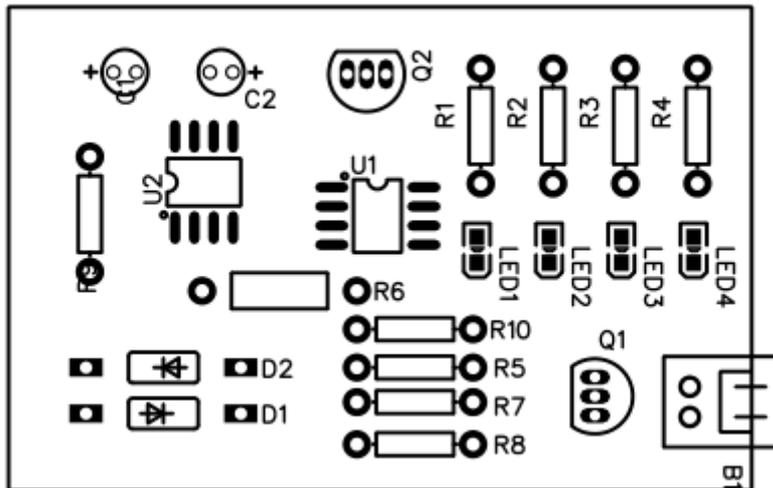
注意：如果你要打印1:1大小的PCB，请选择导出PDF(1:1)。

- **导出为：**可选择PDF, PNG, SVG格式文件。
- **引擎：**
 - **本地：**由编辑器生成 PDF。
 - **远端：**由云端服务器生成 PDF。未来嘉立创EDA将移除该选项。
- **图形：**

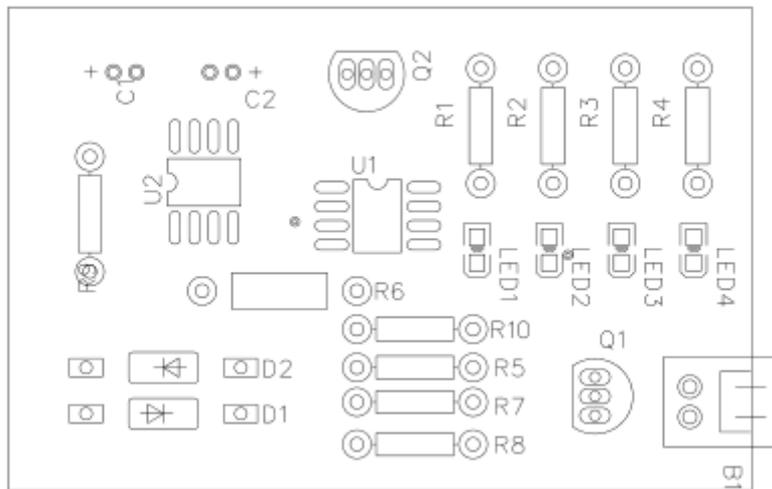
- **全图形**：全部图形和元素都导出。



- **装配图**：选择该选项后只打印顶层和底层的装配位置。如插件孔，焊盘，元件编号，位置等。



- **元素边界**：导出元素的边界，焊盘和丝印的边界。



- **类型**：
 - **合并层**：选择的层将全部生成在一个页面里。
 - **分页层**：选择的层将全部生成在一个文件里面。
 - **分离层**：选择的层会分别在一个单独文件里，以压缩包的形式导出。
- **色彩**：有“白底黑图”、“黑底白图”和“全彩”。若自己制作PCB建议选择白底黑图。
- **层**：你可以选择所需要层进行导出。
- **镜像**：你可以选择对应的层进行镜像，顶层和底层均支持镜像操作。建议当全部层均是底层类型时才选择镜像。

如果嘉立创EDA的导出 PDF 功能不能满足你的需求，请告知我们。发送邮件至 support@lceda.cn

如果你下载了 Gerber，你可以使用 Gerbv 进行查看Gerber，并导出 PDF。

Gerbv 使用下载地址：<https://sourceforge.net/projects/gerbv/files/>

- 制造文件Gerber视频教程

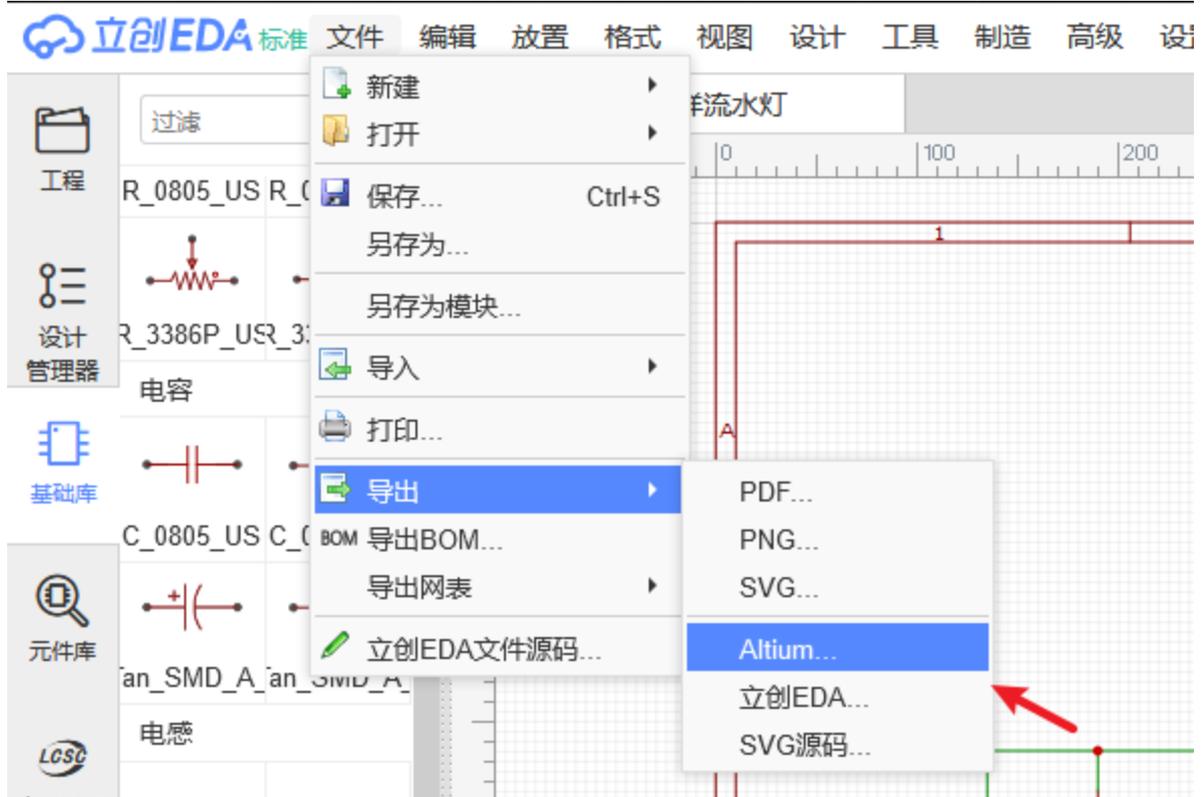
[嘉立创EDA使用教程 Gerber预览工具Gerbv的使用 | 哔哩哔哩](#)

[嘉立创EDA使用教程 Gerber预览工具Tracespace的使用 | 哔哩哔哩](#)

[嘉立创EDA使用教程 Gerber预览工具FlatCAM的使用 | 哔哩哔哩](#)

导出PCB为Altium Designer格式

详情请查看：[导出Altium文件](#)



下载PCB文档

请查看: [导出嘉立创EDA文件](#)

导出打印并自制PCB板

嘉立创EDA不支持直接打印 PCB, 请导出 PDF 再打印。

如果你不想花钱打样PCB, 想自己打印并腐蚀。比如:

[百度经验: 教你轻松自制PCB电路板;](#)

[百度经验: 自制电路板制作PCB的过程](#)

你可以参考以下步骤。

1、导出PCB为PDF:

顶部菜单 > 文件 > 导出。一般选底层。请按需选择是否需要镜像导出。

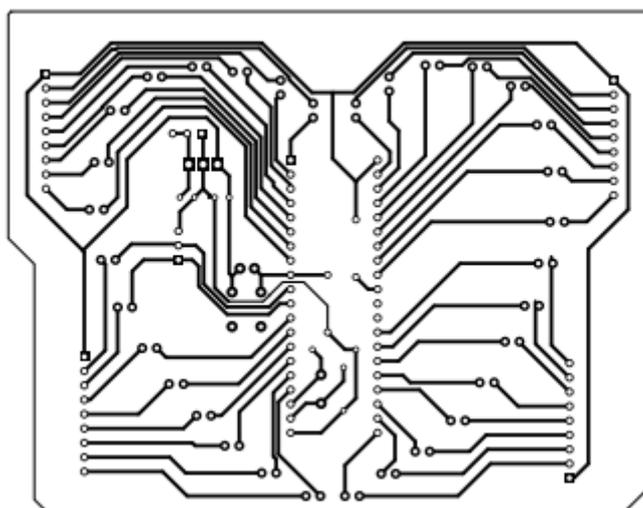
如果你在顶层画了PCB导线, 那么你需要选择顶层。自己腐蚀PCB一般都需要镜像导出打印。

注意:

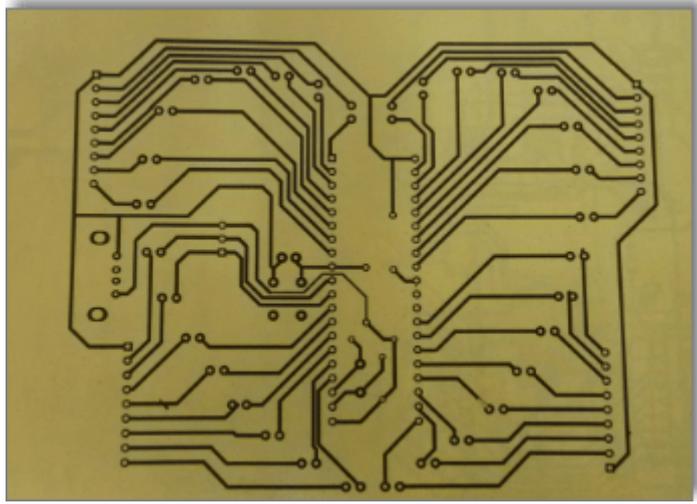
- 请确保选择的颜色是白底黑图。



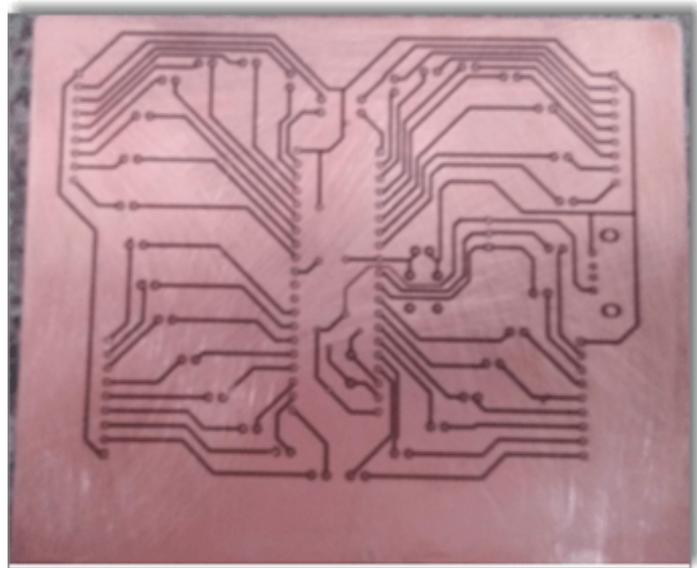
2、在PDF阅读器打开PDF, 确认是否符合要求。



3、使用碳粉打印机打印在转印纸上。

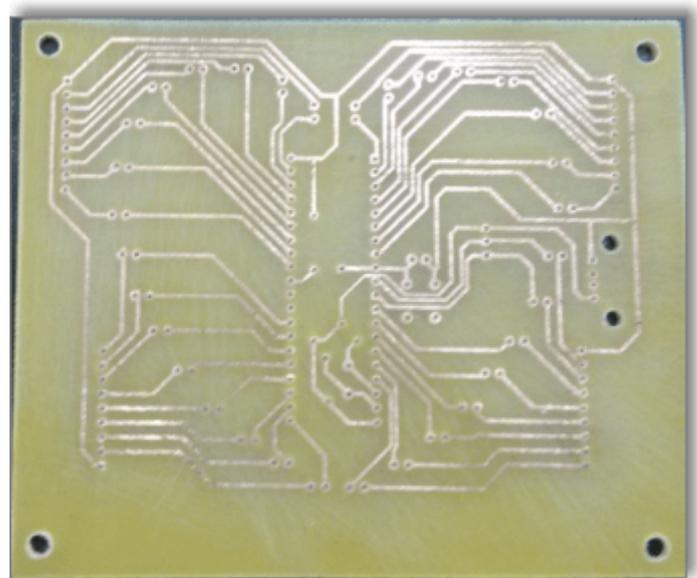


4、使用熨斗印在PCB基板上。

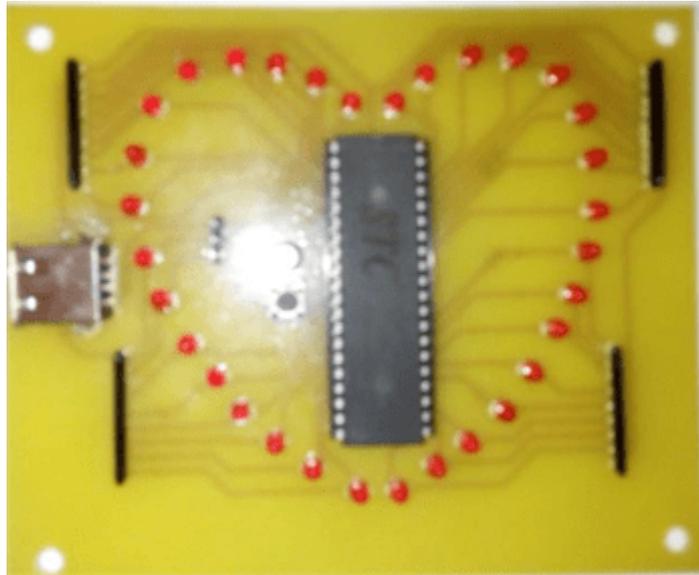


5、腐蚀PCB板并清洗碳粉。

6、钻孔。



7、零件焊接，并完成PCB制作。



生成制造文件Gerber

生成Gerber

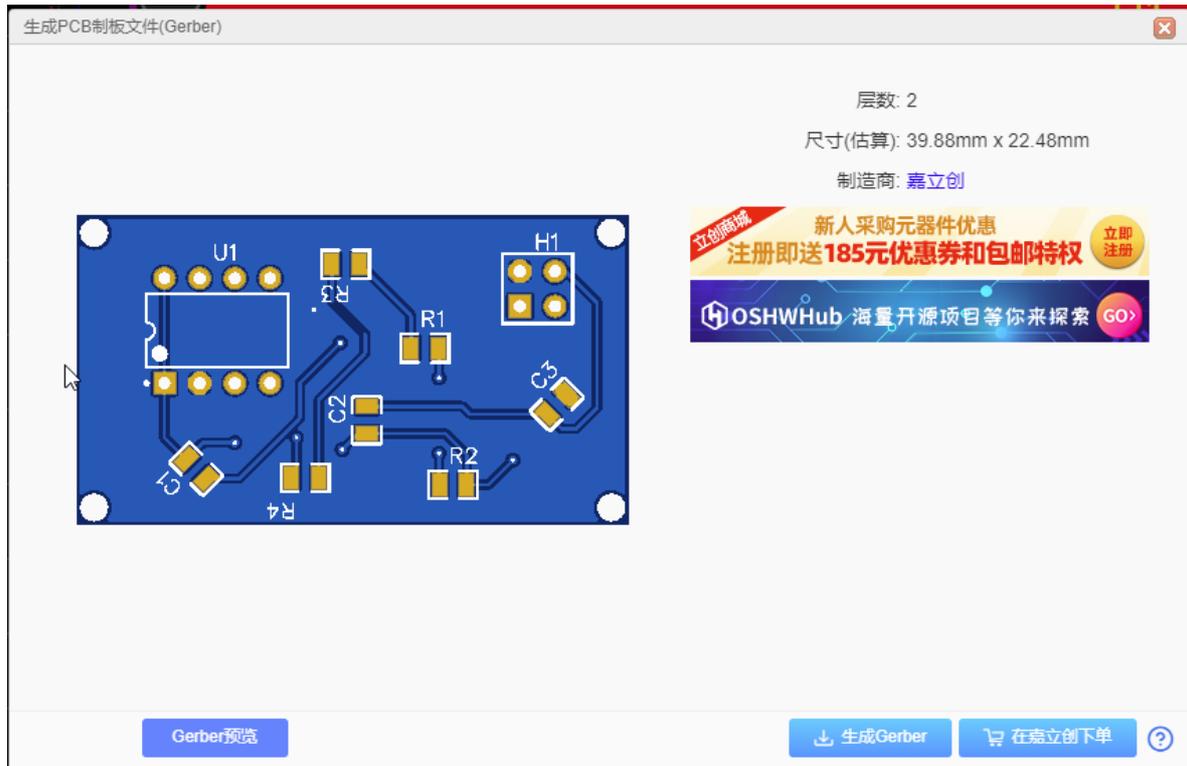
当你完成PCB设计之后，你可以生成Gerber文件，通过：**顶部菜单 - 文件 - 生成PCB制板文件(Gerber)** 或者 **顶部菜单 - 制造 - 生成PCB制板文件**。



点击后会打开弹窗是否检查DRC或者网络。根据需要选择对应按钮。



当检测没有网络错误或者DRC错误后，会弹出Gerber生成对话框：



点击按钮下载Gerber即可得到Gerber文件，一个 ZIP 压缩包，内部包含了制造文件和钻孔文件。

如果你需要PCB打样，建议通过嘉立创EDA的兄弟公司嘉立创：www.jlc.com

当然，你也可以将导出的Gerber文件发给任意一个厂家进行生产，嘉立创EDA并没有做任何使用限制！！

Gerber文件的文件组成和编辑器的图层功能有一定的差别的，并不完全相同。

Gerber文件名：

生成后的Gerber文件是一个压缩包，解压后你可以看到有如下文件：

- **Gerber_BoardOutline.GKO**：边框文件。PCB板厂根据该文件进行切割板形状。嘉立创EDA绘制的槽，实心填充的非镀铜通孔在生成Gerber后在边框文件进行体现。
- **Gerber_TopLayer.GTL**：PCB顶层。顶层铜箔层。
- **Gerber_BottomLayer.GBL**：PCB底层。底层铜箔层。
- **Gerber_Inner1.G1**：内层铜箔层，信号层类型。
- **Gerber_Inner2.GP2**：内层铜箔层，内电层类型
- **Gerber_TopSilkLayer.GTO**：顶层丝印层。
- **Gerber_BottomSilkLayer.GBO***：底层丝印层。
- **Gerber_TopSolderMaskLayer.GTS**：顶层阻焊层。也可以称之为开窗层，默认板子盖油，在该层绘制的元素对应到顶层的区域则不盖油。
- **Gerber_BottomSolderMaskLayer.GBS**：底层阻焊。也可以称之为开窗层，默认板子盖油，在该层绘制的元素对应到底层的区域则不盖油。
- **Drill_PTH_Through**：金属化钻孔层。这个文件显示的是内壁需要金属化的钻孔位置。
- **Drill_NPTH_Through**：非金属化钻孔层。这个文件显示的是内壁不需要金属化的钻孔位置，比如通孔。
- **Gerber_TopPasteMaskLayer.GTP**：顶层助焊层。开钢网用。
- **Gerber_BottomPasteMaskLayer.GBP**：底层助焊层。开钢网用。
- **Gerber_TopAssemblyLayer.GTA**：顶层装配层。仅做读取，不影响PCB制造。曾用名称：ReadOnly.TopAssembly

- **Gerber_BottomAssemblyLayer.GBA**: 底层装配层。仅做读取，不影响PCB制造。曾用名称: ReadOnly.BottomAssembly
- **Gerber_MechanicalLayer.GML**: 机械层。曾用名称: ReadOnly.Mechanical。记录在 PCB 设计里面在机械层记录的信息，仅做信息记录用。比如: 工艺参数; V割路径等。
- **Gerber_DocumentLayer.GDL**: 文档层。记录PCB的备注信息用，不参与制造生产。

注意:

- 在生成制造文件之前，请务必进行照片预览，查看设计管理器的DRC 错误项，避免生成有缺陷的Gerber文件。
- 生成Gerber 是通过浏览器生成，所以必须通过浏览器自身的下载功能下载，不能使用任何第三方下载器
- Gerber文件的坐标跟随画布坐标
- 导出Gerber时，钻孔文件坐标格式精度默认3:3，当尺寸超出范围时自动用4:2格式，如果你在CAM350等查看工具发现钻孔偏移，请调整钻孔坐标格式即可。

预览Gerber

在发送Gerber文件给制造商前，请使用 Gerber 查看器再次检查 Gerber 是否满足设计需求，是否具有设计缺陷。

Gerber 查看器有: Gerbv、FlatCAM、CAM350、ViewMate、GerberLogix 等一些 DFM 检查工具。

推荐免费的Gerbv:

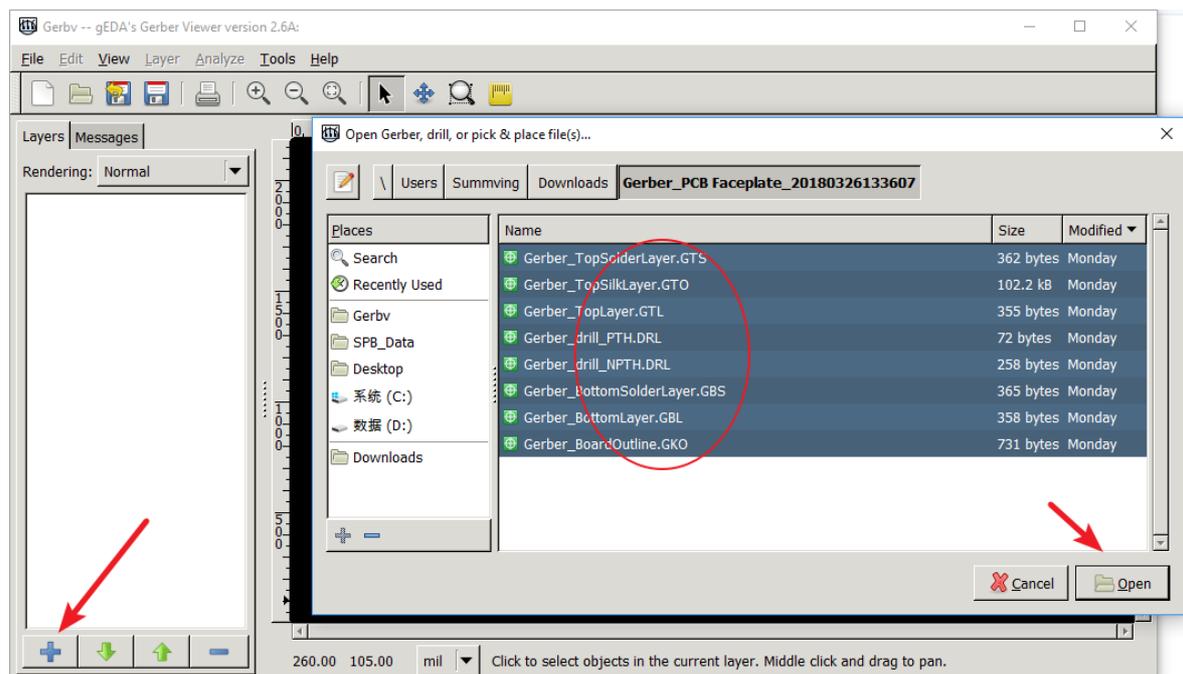
官网主页: <http://gerbv.geda-project.org/>

下载地址: <https://sourceforge.net/projects/gerbv/files/>

下载地址2: [Gerbv-2.6.0.exe](#)

Gerbv 使用方法:

1. 下载 Gerbv，并打开；解压下载的 Gerber 压缩包。
2. 点击左下角的加号 **+**，打开 Gerber 文件夹，并 **SHIFT+全选** 或者 **CTRL+A全选** 解压后的Gerber 文件。



3. 然后进行缩放，量测，换层，检查钻孔，铺铜等是否满足设计与制作要求。

也可以使用同样免费的 Flatcam: <http://flatcam.org/>

FlatCAM 可让您将设计带到 CNC 机器中。您可以打开 Gerber、Excellon 或 G 代码，对其进行编辑或从 scratch 创建，并输出 G 代码。隔离布线是 FlatCAM 非常适合的众多任务之一。它是开源的，用 Python 编写，在大多数平台上运行。

其他免费在线 Gerber 预览工具：

www.jlc.com
tracespace.io/view
gerber.ucamco.com

导出坐标

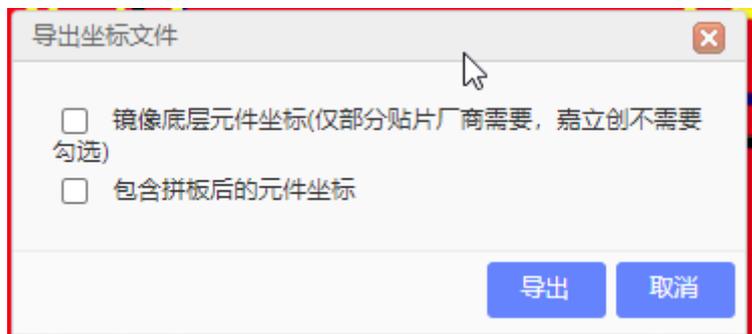
嘉立创EDA支持导出SMT坐标信息，以便于工厂进行SMT贴片。

坐标文件只在PCB文件中导出。

导出可点击：**顶部菜单 > 文件 > 导出坐标文件** 或 **顶部菜单 - 制造 - 坐标文件**



点击后会弹出导出对话框：



1、**镜像底层元件坐标**：有部分贴片厂商需要底层元件镜像后的坐标，可以勾选该选项，一般不需要勾选。在嘉立创打样不需要勾选。

2、**包含拼板后的元件坐标**：如果使用了编辑器的自带拼板功能，可以勾选该选项，嘉立创不需勾选，一些板厂会需要该功能。

导出的文件格式为CSV，打开后如下：

	A	B	C	D	E	F	G	H	I	J
1	Designator	Footprint	Mid X	Mid Y	Ref X	Ref Y	Pad X	Pad Y	TB	Rotation
2	Q1	SOT23	580mil	430mil	580mil	430mil	617mil	473mil	T	180
3	Q2	SOT23	770mil	430mil	770mil	430mil	807mil	473mil	T	180
4	Q3	SOT23	1040mil	120mil	1040mil	120mil	1003mil	77mil	T	0
5	R1	1206	680mil	150mil	680mil	150mil	680mil	95mil	T	90
6	R2	1206	500mil	150mil	500mil	150mil	500mil	95mil	T	90
7	R3	1206	540mil	750mil	540mil	750mil	540mil	695mil	T	90
8	R4	1206	910mil	750mil	910mil	750mil	910mil	695mil	T	90
9	R5	1206	730mil	750mil	730mil	750mil	730mil	695mil	T	90
10	C1	1206	820mil	200mil	820mil	200mil	820mil	255mil	T	270
11	C2	1206	1100mil	750mil	1100mil	750mil	1100mil	805mil	T	270
12	JP2	JST-2-SMD	1076.5mil	450mil	1120mil	450mil	974mil	489mil	T	270
13	JP1	JST-3-SMD	275.5mil	450.5mil	190mil	450mil	378mil	372mil	T	90

支持封装中心(Mid X/Y)、封装原点(Ref X/Y)、1号焊盘(Pad X/Y)三种类型的坐标。表头说明：

- Designator: 位号
- Comment: 器件。器件的名称，一般是元件的制造商编号。
- Footprint: 封装，器件绑定的封装名。
- Mid X, Mid Y: 封装的中心坐标。
- Ref X, Ref Y: 封装的原点坐标。
- Pad X, Pad Y: 封装第一个焊盘的坐标。
- Layer: 封装所在的层。
- Rotation: 封装的旋转角度。

目前导出的文件支持mil和mm单位，导出的单位跟随PCB的画布单位设置。

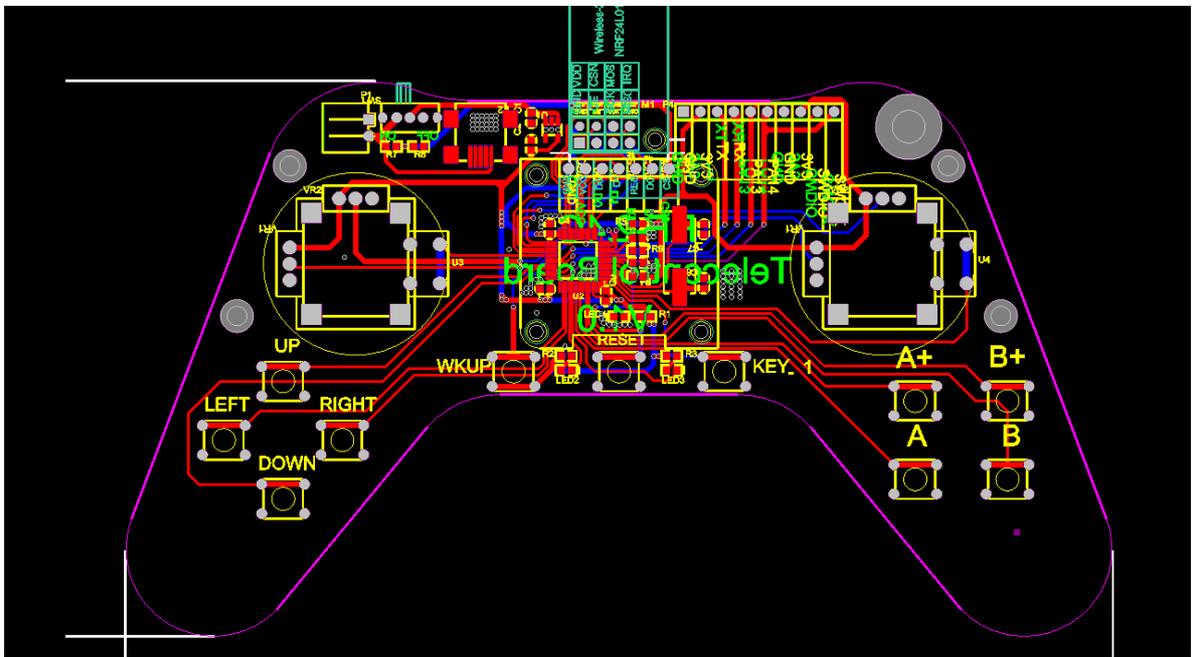
注意：

- 如果目前编辑器画布的坐标系是SVG坐标系(上负下正)还是笛卡尔坐标系(上正下负)，坐标文件的坐标系都是上正下负。
- 为了支持多语言，嘉立创EDA的BOM和坐标文件(CSV文件)均采用UNICODE编码，以制表符为CSV分隔符，如果你上传BOM至元件商城(如立创商城)无法使用，或者发送坐标文件至PCB制造商(如深圳嘉立创)无法使用，请自行转换CSV文件编码与分隔符。
- 推荐的转换方式：使用Excel或WPS另存为新的CSV文件。以Excel为例，用Excel打开CSV文件后，依次点击或选择：另存为 - 其它格式 - CSV(逗号分隔)(* .csv)。也可以使用任何文本编辑器(如Windows记事本)打开该CSV文件，另存为ANSI或UTF-8编码格式。如有必要，还需替换所有制表符为英文逗号。

导出DXF

嘉立创EDA支持将 PCB 导出 DXF。

目前嘉立创EDA支持导出全图层和全对象的DXF文件：

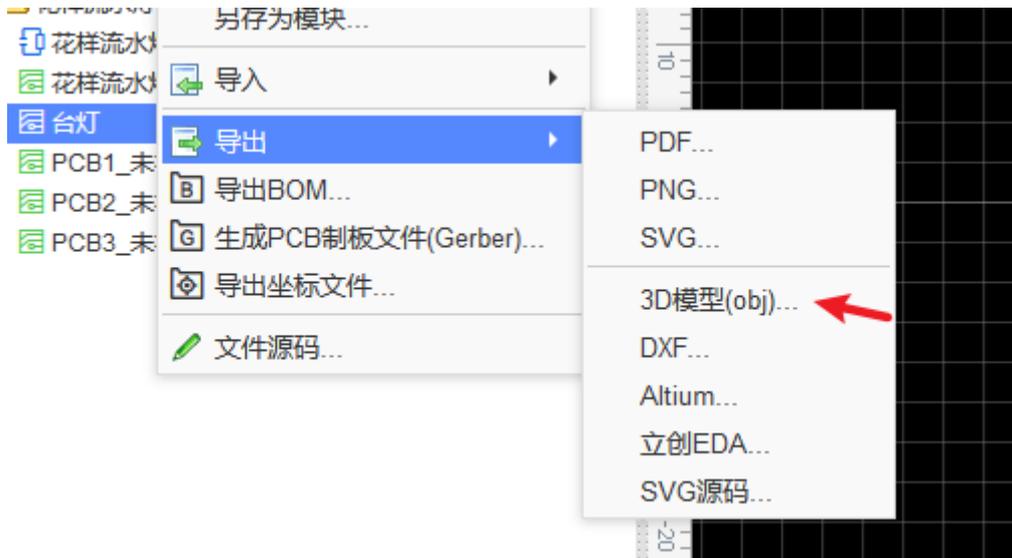


你可以很容易在CAD工具进行编辑，进行切换图层。

导出 3D 文件

嘉立创EDA支持将 PCB 导出 3D 模型文件。

目前支持导出 obj 格式。嘉立创EDA标准版暂不支持导出 step，专业版已经支持，如果需要导出 step，请把 PCB 文件导出后，导入嘉立创EDA专业版后，再导出 step 格式。



目前嘉立创EDA的 obj 格式不是标准的 obj 格式，里面包含了材质数据，需要把材质数据拆分开才能在 win10 自带的 3D 查看器中带上颜色。可以使用下面的小工具拆分 obj 的材质文件，拆分后会得到一个 mtl 和 obj 文件。拆分后的文件可以在其他 3D 软件打开，并转为其他格式。



[【教程】修正导出3D OBJ文件没有颜色的方法](#)

导出Altium格式

嘉立创EDA支持导出 Altium Designer 的文件格式。

导出须知

- 1、导出 Altium 格式目前属于 Beta 版，文件格式转换过程中无法实现 100% 完整，在导出Altium文件后请务必在 Altium Designer 打开进行仔细检查，嘉立创EDA不保证没有任何错误产生!!!
- 2、嘉立创EDA不承担因为库错误和格式转换错误导致的任何损失!!! 如不同意请不要进行Altium导出!!!
- 3、如果你要下单 PCB，建议生成 Gerber 而不是导出 Altium 文件!!!
- 4、请不要反复将你的原理图或PCB导出AD格式后又导入，这个操作可能会导致细节丢失!!!
- 5、暂不支持 Altium Designer 19 版本，导出的文件需要在 Altium 18 版及以下打开，推荐 Altium 17

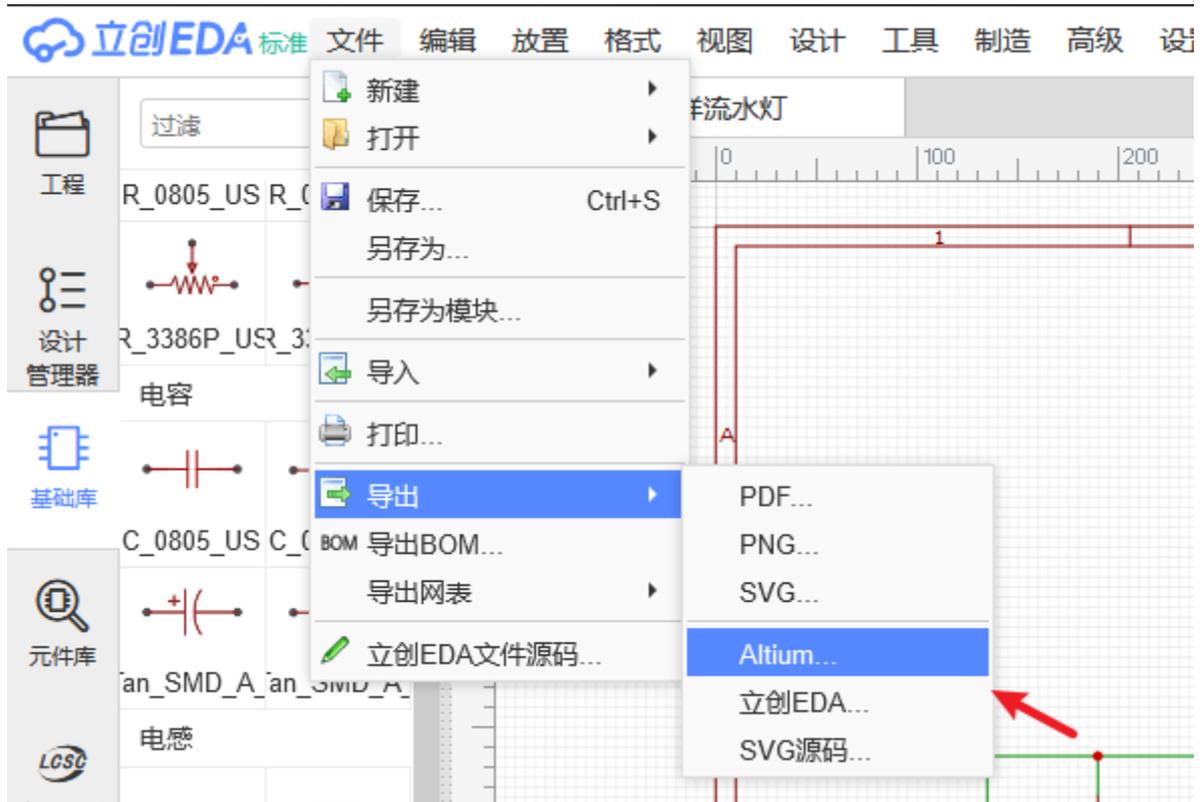
如果你发现有细节出现错误，请联系我们进行修复。把文件与问题描述发送邮件至 support@lceda.cn

导出Altium格式不需要保存文档，但是需要先登录。

文件导出

导出原理图

打开原理图后，导出Altium Designer格式原理图可通过点击：**文件 > 导出 > Altium...** 会打开以下对话框：



勾选同意说明后，点击“下载”即可下载Altium Designer格式的原理图。

提示：嘉立创EDA不支持导出原理图库文件，如果你想导出原理图库文件，则需要将你所需的原理图库文件全部放在一个原理图后，再导出AD格式的原理图，然后在AD中提取。

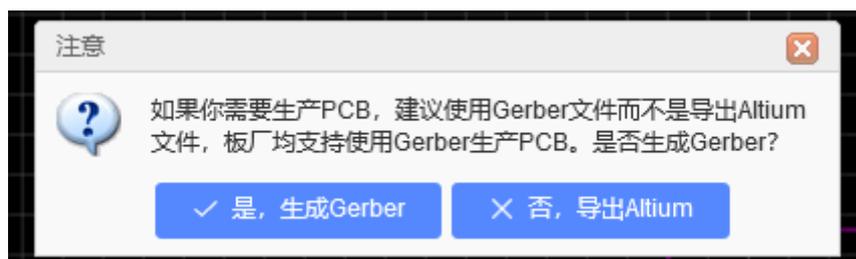
导出的 Altium 原理图文件目前已知的问题有：

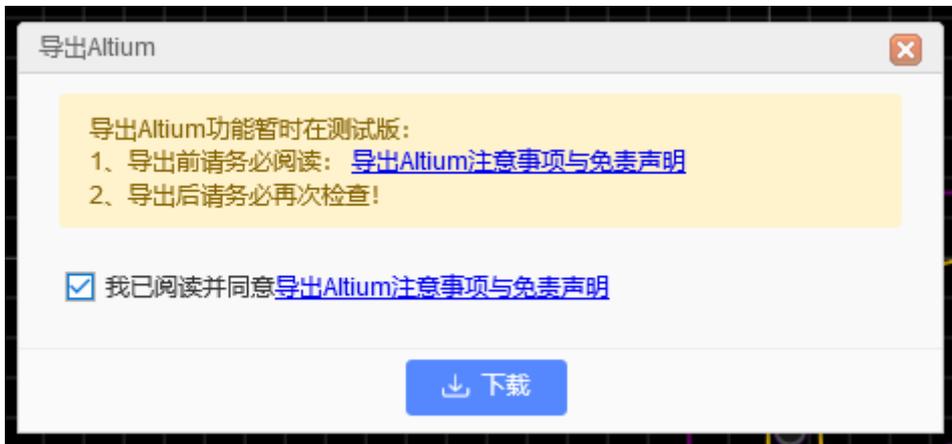
- 1、某些导线宽度可能会显示异常
- 2、图纸表格不支持导出

导出PCB

嘉立创EDA支持PCB导出为Altium Designer格式PCB，由于是初版，导出没有很完善，会有部分元素丢失，如设计规则等，在发给制造商前请谨慎检查。

- 1、打开PCB后，可通过点击：**文件 > 导出 > Altium...** 会打开以下对话框：





- 2、点击“下载”即可下载Altium Designer格式的PCB。
- 3、当用Altium Designer打开导出的PCB时，有弹窗提示。
会打开一个“DXP导入向导”的窗口，请点击“取消”并继续。

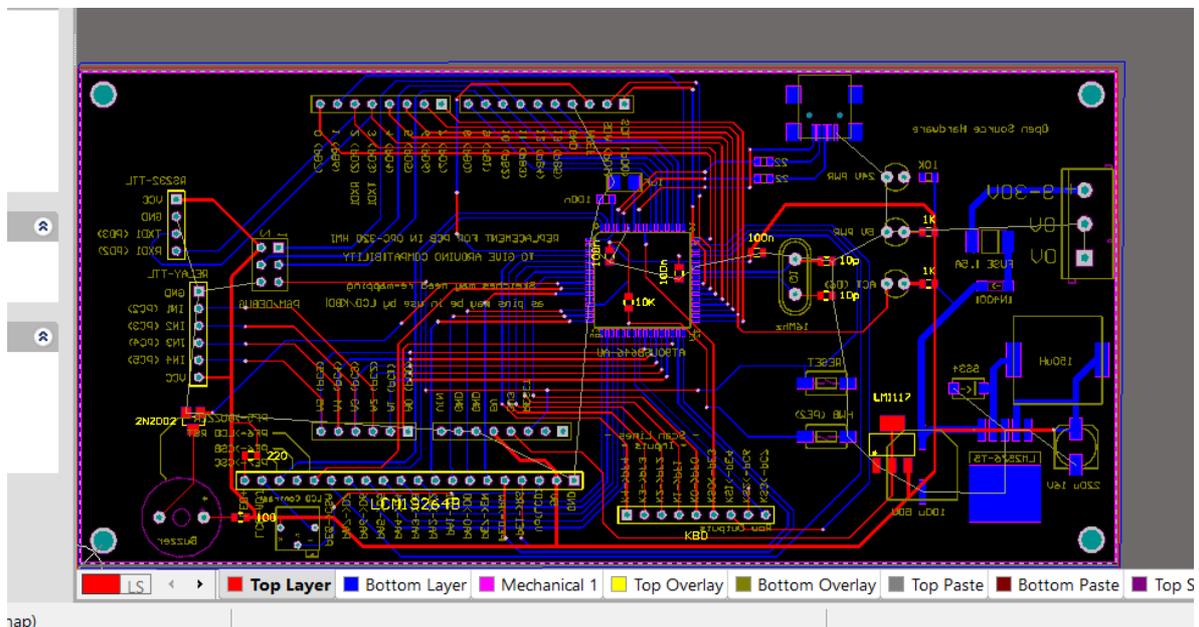


已知问题

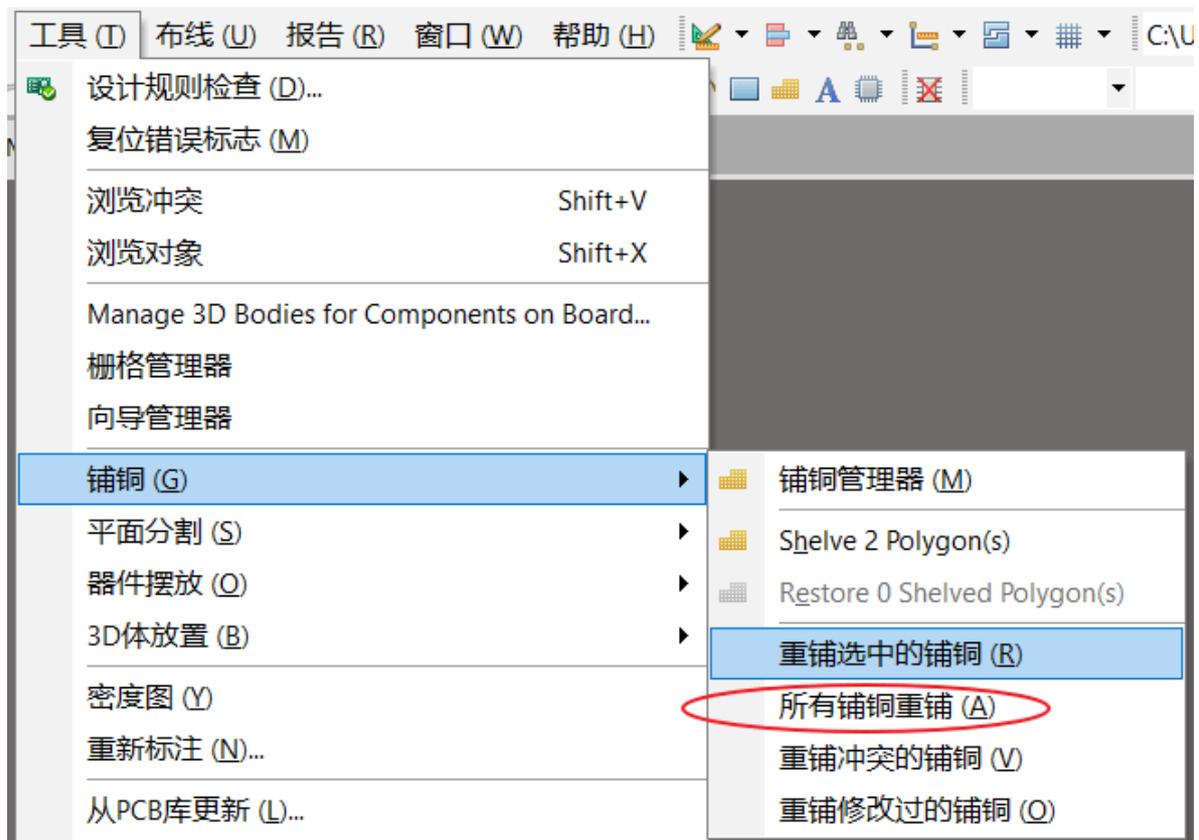
导出的 Altium PCB 文件目前已知的问题有：

1、导出的PCB的铺铜没有填充数据。

因为Altium的铺铜数据格式和我们的差异比较大，转换铺铜填充比较困难，故没有支持。你需要对PCB进行重新铺铜，通过：**工具 > 铺铜 > 所有铺铜重铺**：



1ap)

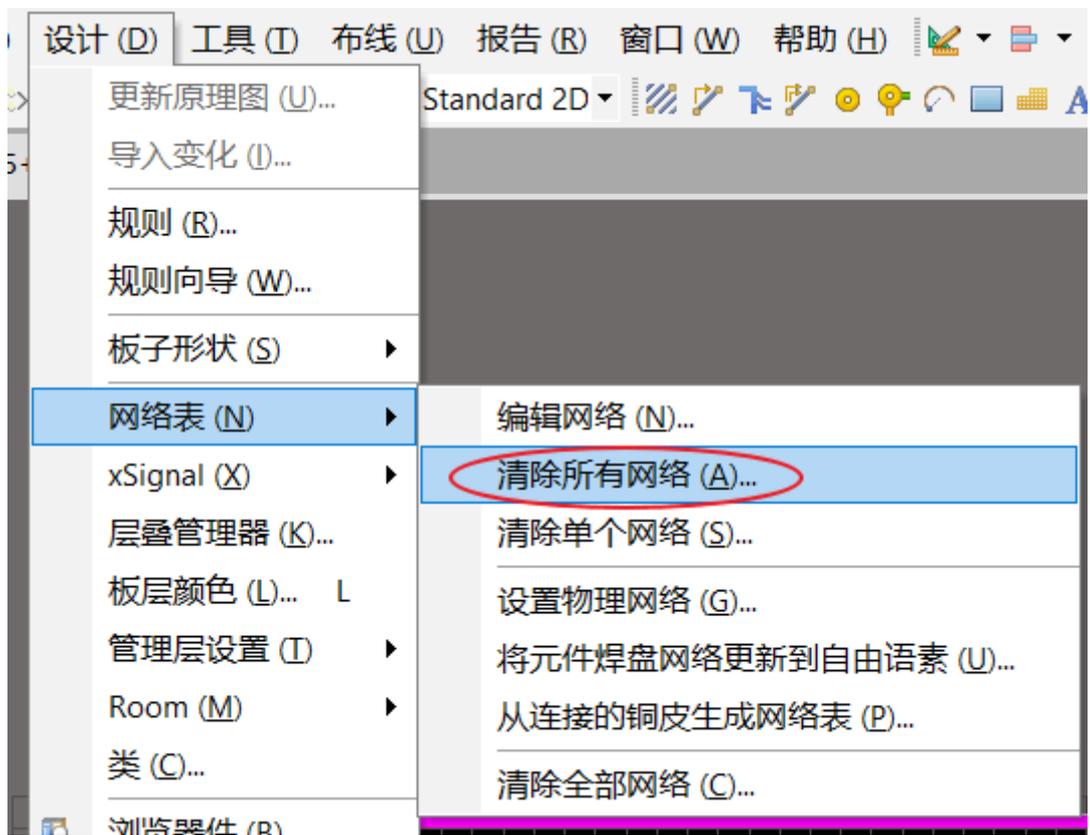


之后保存即可。

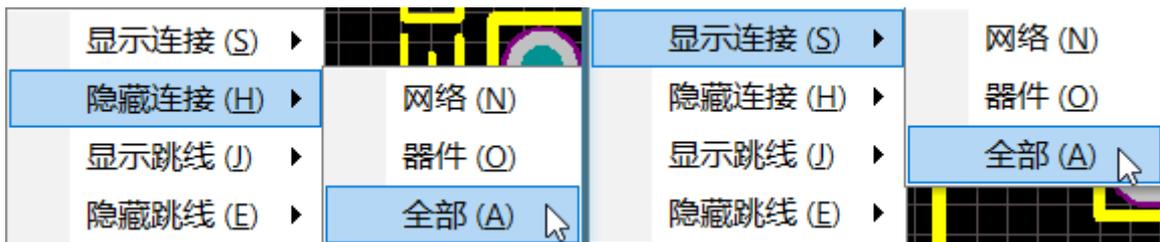
2、没有显示飞线。

你需要在进行相应的设置，使飞线显示出来：

通过：“设计 > 网络表 > 清除所有网络”(快捷键：D > N > A),再：视图 > 连接 > 显示全部(快捷键：V > C > S)



或者通过快捷键：N > H > A 再 N > S > A。



3、目前导出的内电层分割不完全。

没有和边框进行正确分割，内电层的网络也必须重新进行分配。请务必重新检查和修正。

4、目前 DRC 规则不支持导出。

导出后需要自行修改规则。

5、导出的文本可能会出现偏移。

因为字体的原因，导出的文本可能会出现偏移。还可能还会出现文本显示异常，需要自行修改文本字体，或者重新修改文本。

6、单层焊盘没有显示网络名。

单层焊盘没有显示网络名，暂未找到原因。

7、有些层没有导出成功。

PCB 导出 AD 后有些层会消失，这个可能是某些 PCB 转换时没有成功转换其他层，请联系技术支持。

导出Altium格式的库文档

嘉立创EDA不支持导出PCB库文件，如果你想导出PCB库文件，则需要将你所需的PCB库文件全部放在一个原理图后，再导出AD格式的PCB，然后在AD中提取。

嘉立创EDA的封装库是免费使用，也是人为绘制，官方库也有可能错误，如果发现错误请联系我们修复。

嘉立创EDA不保证每个库文件都是正确的。在使用前请务必自行检查!!!

嘉立创EDA不承担因为库错误导致的任何损失!!!

如不同意，请不要继续进行Altium导出!!!

教程请查看：[【教程】如何导出嘉立创EDA库到AD库](#)

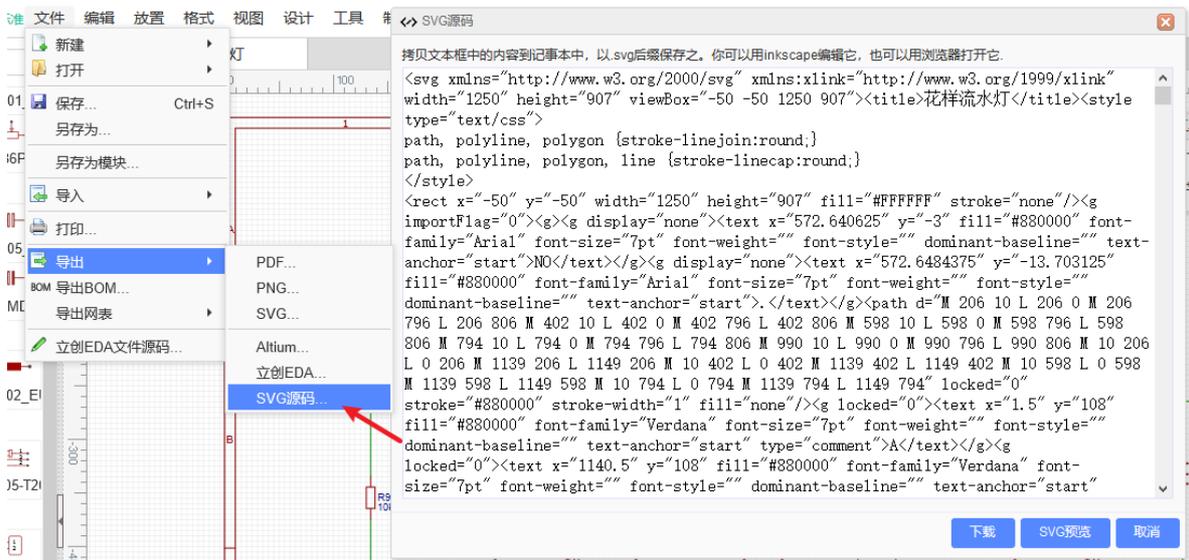
导出SVG源码文件

嘉立创EDA支持导出或编辑 SVG 源文件。

在**文档 > 导出 > SVG源码**打开。

点击下载后直接得到一个 SVG 后缀的文件，然后通过文本编辑器或浏览器打开该文件。你也可以复制对话框内的代码在编辑器中进行编辑，SVG编辑器推荐 [Inkscape: https://inkscape.org/zh/](https://inkscape.org/zh/)

该导出SVG功能可直接在本地完成，无需联网。

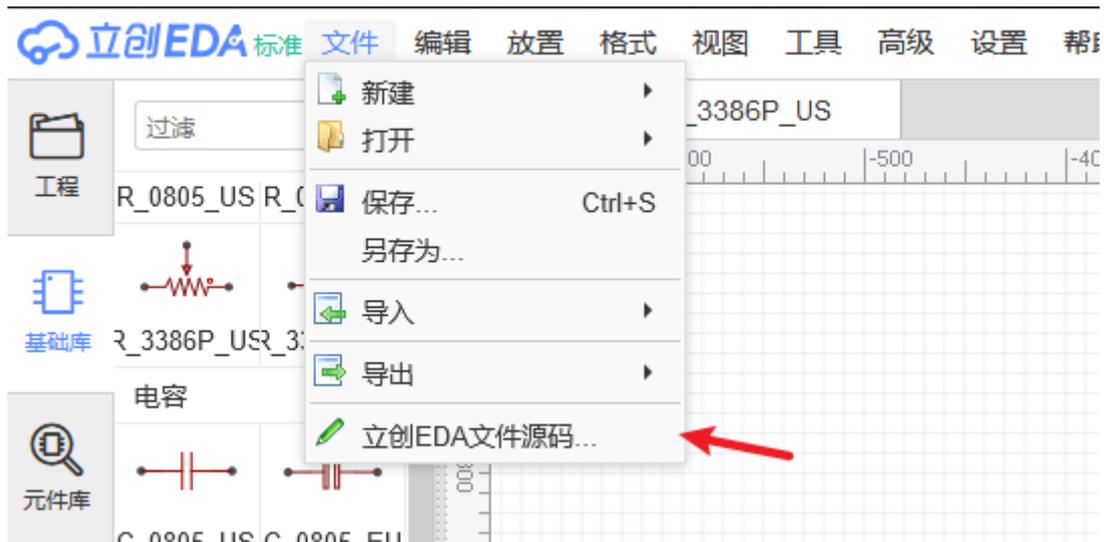


导出EasyEDA源码文件

嘉立创EDA支持导出原理图，PCB，库文件的嘉立创EDA文件到本地。

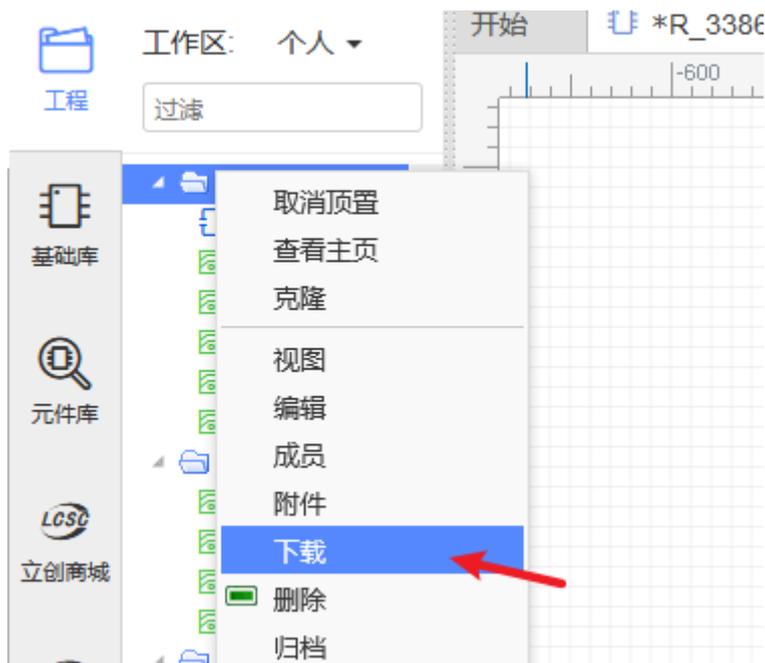
1、直接导出嘉立创EDA文件

通过 **顶部菜单 > 文件 > 嘉立创EDA文件...** 打开嘉立创EDA文件源码，点击下载即可。

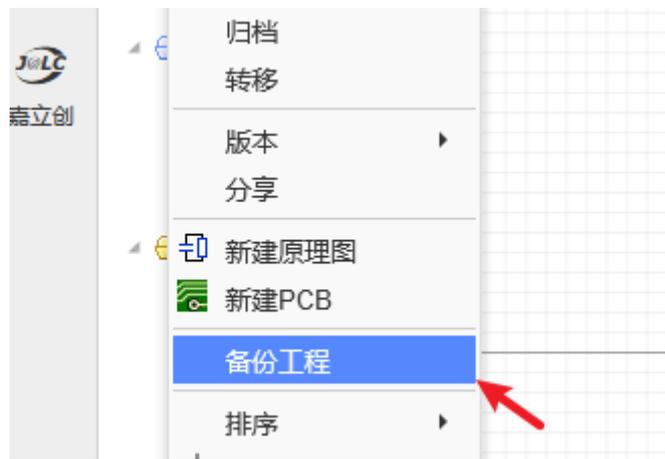


2、下载整个工程

可通过：**左侧工程列表 - 工程文件夹 - 右键 - 下载**。你将下载整个工程的设计文件为一个 ZIP 压缩包，解压后为 JSON 后缀的嘉立创EDA源码文件。



也可以通过：**左侧工程列表 - 工程文件夹 - 右键 - 备份工程**。

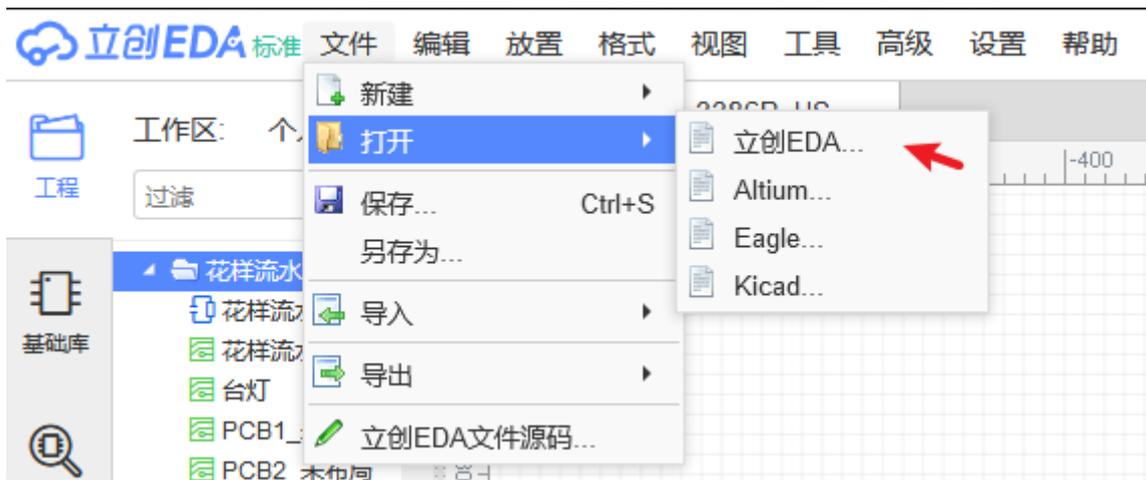


会在新开网页打开一个对话框，选择需要备份的工程后进行备份，每天只能备份一次。

嘉立创EDA文件是一个JSON文件，该文件类型可以被其他程序打开和编辑。关于Json的介绍请查看：Json.cn: 什么是Json；Json官网: Json介绍

3、打开嘉立创EDA文件

当你保存了嘉立创EDA文件到本地后，想再次打开，可通过：**顶部菜单 - 文件 - 打开 - 嘉立创EDA...**。



打开后编辑保存即可。

视频教程

更多视频教程请访问关注：

[嘉立创EDA的个人空间 | 哔哩哔哩](#)

嘉立创EDA快速入门教程

[教你快速使用嘉立创EDA设计电路 | 哔哩哔哩](#)

[教你快速使用嘉立创EDA仿真电路 | 哔哩哔哩](#)

[嘉立创EDA 2021最新教学视频 | 立创课堂 | 哔哩哔哩](#)

[嘉立创EDA快速入门 客户端 | 哔哩哔哩](#)

[嘉立创EDA快速入门 教育版 | 哔哩哔哩](#)

[嘉立创EDA快速入门 移动版 | 哔哩哔哩](#)

嘉立创EDA使用教程

嘉立创EDA介绍

[嘉立创EDA使用教程 网页版打开、客户端下载与安装 | 哔哩哔哩](#)

[嘉立创EDA使用教程 嘉立创EDA主界面功能介绍 | 哔哩哔哩](#)

特色功能

[嘉立创EDA使用教程 新建新工程、工程管理 | 哔哩哔哩](#)

[嘉立创EDA使用教程 创建协作团队、团队管理 | 哔哩哔哩](#)

[嘉立创EDA使用教程 新建工程版本、版本管理 | 哔哩哔哩](#)

元件库与3D模型

[嘉立创EDA使用教程 嘉立创EDA自带百万元件库介绍 | 哔哩哔哩](#)

[嘉立创EDA使用教程 原理图库创建、原理图库向导、子库 | 哔哩哔哩](#)

[嘉立创EDA使用教程 封装库的创建、智能尺寸、尺寸检查 | 哔哩哔哩](#)

[嘉立创EDA使用教程 3D模型管理器、3D模型导入、绑定 | 哔哩哔哩](#)

电路设计及设计技巧

[嘉立创EDA使用教程 原理图设计 | 哔哩哔哩](#)

[嘉立创EDA使用教程 封装管理器 | 哔哩哔哩](#)

[嘉立创EDA使用教程 布局传递、交叉选择 | 哔哩哔哩](#)

[嘉立创EDA使用教程 智能覆铜和实心填充 | 哔哩哔哩](#)

[嘉立创EDA使用教程 一键添加泪滴 | 哔哩哔哩](#)

[嘉立创EDA使用教程 添加图片logo和开窗 | 哔哩哔哩](#)

[嘉立创EDA使用教程 自动布线功能 | 哔哩哔哩](#)

[嘉立创EDA使用教程 PCB设计示例 | 哔哩哔哩](#)

制造与生产

[嘉立创EDA使用教程 BOM整理下载、元件购买 | 哔哩哔哩](#)

[嘉立创EDA使用教程 Ger文件下载、PCB打样 | 哔哩哔哩](#)

嘉立创EDA使用技巧

原理图与符号库操作

[嘉立创EDA使用教程 符号库 | 哔哩哔哩](#)

[嘉立创EDA使用教程 原理图主题 | 哔哩哔哩](#)

PCB与封装库操作

[嘉立创EDA使用教程_自带拼版](#) | 哔哩哔哩

[嘉立创EDA使用教程_手动拼版](#) | 哔哩哔哩

[嘉立创EDA使用教程_阵列分布](#) | 哔哩哔哩

制造文件Gerber

[嘉立创EDA使用教程_Gerber预览工具Gerbv的使用](#) | 哔哩哔哩

[嘉立创EDA使用教程_Gerber预览工具Tracespace的使用](#) | 哔哩哔哩

[嘉立创EDA使用教程_Gerber预览工具FlatCAM的使用](#) | 哔哩哔哩

嘉立创EDA项目实战

暑期训练营2020

[暑期训练营：电路设计入门](#) | 哔哩哔哩

[暑期训练营：物联网应用实战](#) | 哔哩哔哩

每月项目直播回放

[每月项目直播：基于ESP32的NES游戏掌机](#) | 哔哩哔哩

[每月项目直播：基于ESP8266的触屏小电视](#) | 哔哩哔哩

[每月项目直播：手把手教你DIY拟辉光管时钟](#) | 哔哩哔哩

[每月项目直播：嘉立创EDA客制化机械键盘](#) | 哔哩哔哩

技新课堂

[技新课堂：如何使用示波器](#) | 哔哩哔哩

[技新课堂：手把手教你焊接元器件](#) | 哔哩哔哩

[技小新实战项目：基于ESP8266的物联网教程](#) | 哔哩哔哩

[技小新实战项目：红外遥控器设计实例](#) | 哔哩哔哩

[技小新实战项目：DHT11温湿度计](#) | 哔哩哔哩

嘉立创EDA小制作

[嘉立创EDA小制作：基于SL2.1的USB集线器](#) | 哔哩哔哩

[嘉立创EDA小制作：基于51单片机的温湿度报警器](#) | 哔哩哔哩

[嘉立创EDA小制作：基于ESP32的NES游戏掌机](#) | 哔哩哔哩

[嘉立创EDA小制作：LED声控旋律灯](#) | 哔哩哔哩

[嘉立创EDA小制作：客制化机械键盘](#) | 哔哩哔哩

[嘉立创EDA小制作：拟辉光管时钟](#) | 哔哩哔哩

仿真教程

仿真常见问题及说明

以下内容介绍了一些常见的错误及解决方法

1 仿真图中没有GND（地）



模拟仿真工作方式的一个特点是，它们必须在电路中的某处具有接地节点（也称为0电平）作为参考点进行工作。接地节点可以放置在电路中便于进行模拟测量，不能缺少。

以下两个工程范例进行说明：

- (1) 没有接地符号，无法运行仿真：[所有仿真原理图都必须接地01](#)
- (2) 添加任何可用的接地符号后，仿真正常运行：[所有仿真原理图都必须接地02](#)



2 电源及信号源缺失

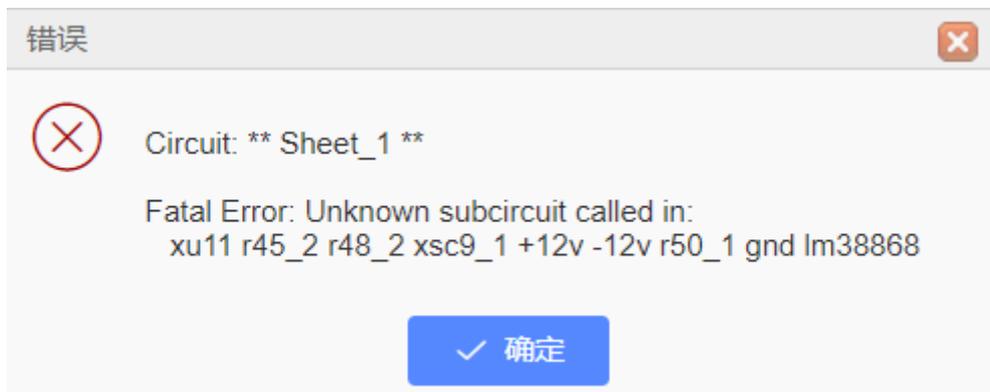
与实际电路中必须具备某种电源的方式一致，即使该电路就是一个信号源本身，在正常工作之前都需要外部电源将电容或电感充电至具备信号源初始条件。可以使用理想的电压源来构建电源，也可以使用带有一定串联电阻的电压源或者并联电阻的电流源（戴维南定理与诺顿定理）来构建趋向实际的电源和稳压器电源模型。嘉立创EDA提供了各种形式的信号源，将在【电压源与电流源】部份进行详细介绍，部分常用电路供电的使用方法如下：

[所有仿真图必须有电源](#)

3 模型缺失

在绘制仿真电路的过程中如果器件符号不是从仿真模式下的常用库和仿真库中的系统库中选取的模型进行连线的可能会出现模型缺失的错误提醒，存在以下几种原因：

- (1) 使用了用户贡献库中的仿真器件，而且该器件没有进行模型数据匹配。
- (2) 使用了自己创建的仿真符号，但是还没有在创建符号页面进行模型数据匹配，参考【仿真模型章节】。
- (3) 修改了仿真器件符号的模型名称，修改后的模型名不在仿真模型库中。当两个模型引脚定义一致且修改后的模型在仿真模型数据库中存在，可以在仿真图中直接修改模型名称后进行仿真验证。（此法慎用！）
- (4) 从标准模式下的拉取的器件直接在仿真模式下进行仿真，出现模型缺失的几率极大。标准模式下的器件没有专门进行模型匹配，不建议大家在绘制仿真电路时使用标准模式下的器件符号。



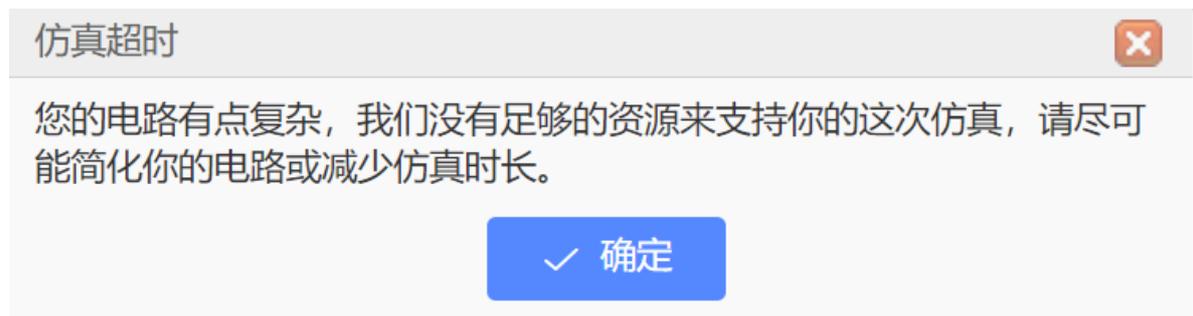
4 仿真超时

由于嘉立创EDA仿真使用的是云端服务器，在进行一些复杂电路仿真时，如果电路瞬态仿真设置的时间过长（周期过长）会导致仿真失败，如果发生这种情况可以将瞬态仿真的时间改小。例如：

```
tran 100 改为tran 10m
```

注：单位为s（秒）。

如果修改仿真时间依旧报错，那么需要对电路进行检查，看是否出现连线错误或者逻辑矛盾等情况。



在仿真过程中还有可能遇到一些其它的问题，请耐心的尝试去解决它，遇到问题解决问题也是一种很好的学习方式。如果你找不到问题所在，请联系嘉立创EDA技术支持寻求仿真帮助。

仿真 - 介绍

嘉立创EDA不仅是一个绘制电路图和PCB图的工具，还是一个电路仿真工具。

嘉立创EDA所使用的仿真程序是免费且强大的 LTSpice，在此基础上简化了许多操作，结合嘉立创EDA在线仿真库和操作简洁的优势让用户能快速上手，进行仿真实验。

嘉立创EDA中的仿真工具适用范围：

- 主要用于模拟电路及数字电路的仿真；
- 不适用与模拟器件与微处理器、微控制器、DSP以及FPGA等通信的系统；
- 不支持IBIS模型的仿真（除非通过某些工具把器件仿真数据转为Spice模型数据）；
- 不支持任何形式的代码开发工具。

不支持以上芯片及系统仿真的原因有以下三个：

- 它们通常需要大量的时钟周期来运行仿真其内部状态，占用大量服务器内存；

- 在晶体管和门电路与控制器进行仿真时对CPU和存储资源提出了巨大的要求；
- 更为主要的是Spice仿真不是一个需要代码驱动设备的复杂状态和过程的工具。

本文档讲了什么

本教程是嘉立创EDA仿真功能的说明指南。它从仿真模型的调用到配置电路仿真方式进行介绍，最后讲解了导致仿真失败的一些最常见错误避免大家踩坑。本教程中还介绍并说明了一些高级的使用技巧，例如：

- 信号源和行为源的配置；
- 设置不同类型的仿真分析；
- 仿真模型的调用与自定义；
- 检测电压、电流等信号的方法；

此文档不适用什么

这不是关于学习使用嘉立创EDA绘制电路原理图及PCB图的教程，有关使用嘉立创EDA绘制PCB图的一般信息，请查看 > [嘉立创EDA教程](#)

此教程不讲解电子学原理，但也有部分有助于理解电子学的电路示例和说明文字。

该教程主要是围绕使用LTSpice在嘉立创EDA中进行电路仿真而编写的。

如果想了解更多关于LTSpice和Spice的相关信息，可以参考以下链接：

- 有关Larry Nagel和SPICE的更多信息：[请点击此处](#)
- SPICE2：模拟半导体电路的计算机程序：[请点击此处](#)
- 《晶体管建模权威手册》：[请点击此处](#)
- 有关电子电路仿真和模型的更多信息，请点击：
 - http://en.wikipedia.org/wiki/Electronic_circuit_simulation
 - <http://en.wikipedia.org/wiki/SPICE>

在使用嘉立创EDA仿真的时候遇到什么问题欢迎大家与我们进行联系反馈，在大家的支持下将逐步完善，嘉立创EDA立志打造一个简洁、高效的仿真工具。

仿真模型及仿真库

Spice模型介绍

为了模拟各个元件的电气特性，需要对其进行数学描述，描述元件特性的基本方程式已写入Spice模型（用户也可以自行添加，在下一个章节介绍）。

由于这些方程组很大程度上是基于器件的半导体物理特性和制造工艺，因此对于某些系列的器件（例如MOSFET）可以使用不同的方程组来描述同一种类的器件。对于不同的制造商，为了以不同的精度表示的话所使用的方程表达式也有所不同。方程组的系数以列表的形式整合在一起，用来描述特定器件的功能系数关系称为模型。模型中的各个系数称为模型参数。以这种方式编写的设备模型称为.model语句。

Spice模型有.model和.subckt两种类型，子电路编写的模型为.model，多个子电路模型组合而成成为.subckt，其中.subckt模型数据中也可以包含.model语句，它们之间可以相互嵌套，相互联系，构成电路功能。

一个器件有多个模型？

我们在进行仿真的时候可能会发现一个器件有两个或多个不同的模型数据，它们的仿真结果可能相差不大，也有可能特殊情况有所区别，主要存在以下几点原因：

(1) 由于每个器件系列（电阻，二极管，晶体管等）由一组或多组方程式描述，所以每个系列都有一个或多个可用的模型；

(2) 另外，由于制造商生产出了相关芯片，但还没有进行开发设备模型，当模型越复杂，需要制造商就必须花费更多的时间进行测量以得出模型参数。因此，如果制造商认为可以用某个简单的模型来充分描述该器件，那么他们将使用该模型进行匹配；

(3) 也有可能是不同制造商的制造工艺可能存在细微差异，导致所使用的.subckt模型不一致，比如不同厂商在设计UC384x系列SMPS控制器的振荡器部分就有所不同；

(4) 另外有时为了避开版权保护，造成模型之间的差异。而有些差异是针对部分模拟进行优化的，甚至有些差异只是由于模型编写者的习惯偏好。

为什么有的器件没有模型？

并非所有器件都具有可以在嘉立创EDA中运行的仿真模型。有以下多种可能存在的原因。

(1) 某些器件型号可能是没有公开可用的模型；

(2) 某些设备的模型根本不存在，因为制造商从未创建过它们；

(3) 有些模型是加密的，只能在某些专有的仿真工具中运行；

(4) 由于受版权或最终用户许可的限制，某些型号可能在嘉立创EDA中不可用，因此它们只能在某些专有的仿真工具中运行，或者不能公开共享；

由于Spice最初并不是为支持电子设备而编写的，这些模型仅以.subckt形式存在。它们通常是由电子爱好者而非制造商创建的，嘉立创EDA现有的仿真模型库是从我们认为已经编写了相当准确的模型的资源中收集的。

由于从制造商处获得的型号和资源通常受版权限制使用前需要注意尊重用户许可协议中包含的所有版权声明，在授予访问模型的可下载副本之前或在模型本身中可能必须接受这些版权声明。同样，包含在商业仿真工具库中的模型也受版权限制。

通常可以在论坛，社区和厂商官网中找到相应的器件模型。我们留意并判断这些器件模型是否合适，在非官方渠道得到的数据难以确定其来源，也很难验证，而且复制这一类模型还有可能违反了创作者的版权。

Spice模型与实际器件

前面已经提到过同个器件的Spice模型并非都是一样的，可能是来自不同制造商的同一设备的型号模型存在差异。有时为了简化仿真而以保持准确性为代价来简化模型数据，也有保证器件的准确性将模型设计非常复杂导致仿真时间过长的情况。在模型的开头可能包含一些文本，用来描述它们的功能或局限性等信息，阅读此信息通常很有用，因为它可以帮助我们了解使用它们的仿真的情况。

某些运算放大器模型非常详细和准确，但是必须注意检查它们是否使用与LTspice兼容的语法编写。如果不进行某些语法更改，则为某些商业模拟器量身定制的设备将无法在LTspice中运行。即使是某些非常详细的运算放大器模型也不会模拟电源消耗电流，包括简单的DC静态电流和添加负载电流的动态行为。这可能是一个优势，因为它减少了必须模拟的信号电流。这也意味着，对于那些不模拟电源消耗电流的设备，因为它们不消耗任何电流，因此绝对不应该包括任何电源轨去耦电路，它们仅使用电源电压来定义诸如共模范围或输出之类的电路。

一些运算放大器模型可能没有尝试准确地模拟输出级行为与负载电流的关系。同样，许多设备模型在输入轨上方或下方时，也无法模拟输入和输出的行为。很少有器件模型能够模拟电源反向连接错误或正确连接的设备（其承受的电源电压超过所述绝对最大电源差分电压）的过多电源消耗电流。

嘉立创EDA中有许多设备模型是专门编写的，用于再现它们所模型化的设备的真实器件行为。例如：可以设置嘉立创EDA内部运算放大器行为宏模型，以提供输出电压摆幅，范围从轨到轨到非轨到轨输出运放的受限摆幅。输出摆幅可以不对称；对输入电阻，偏置和失调电流以及输入失调电压进行建模；对输入差分 and 共模电压范围进行了建模；如果输入或输出引脚位于电源轨的上方或下方；或者电源极性接反，则器件的电流消耗行为将被建模；由于输入超出共模范围而导致的输出极性反转是针对具有此类行为的设备建模的；对与频率有关的共模和电源抑制建模；但是目前还没有对依赖于噪声和温度的影响进行建模。

嘉立创EDA具有内部行为宏模型，可以对其进行量身定制，以建模各种三端稳压器和可调正负线性稳压器，这些稳压器的实际行为与opamp模型相似。

对于某些内部嘉立创EDA模型，只需查看其已放入任何已保存电路的仿真网表，就可以在.subckt定义本身中找到有关它们的更多信息。

仿真库

1 仿真模型库说明

从嘉立创EDA的V6.X版本开始新增了仿真功能，在使用仿真功能前需要在编辑器首页将“标准”改为“仿真”，进入仿真模式。



使用嘉立创EDA仿真时，所需元器件模型需要在仿真模式下的常用库和仿真库中调用，为避免模型错误或缺失等问题请不要将标准模式下的器件在仿真模式下进行仿真！！



仿真实用库中包含常用的电源标识符、电阻、电容、电感、仪表、二极管、晶体管以及逻辑门等常规符号，部分仿真符号可以通过它们的下拉选择不同的样式（欧标、美标、3D），该器件参数值可以在图中直接双击修改文本名称即可。

常用库中只是列出了一些常用仿真模型，其它仿真模型可以点击仿真库或者快捷键“SHIFT+F”弹出搜索库页面进行查找（如上右图）。

查找时可以直接输入需要的器件搜索，在搜索结果中优先选择系统库中的器件，关注用户或用户共享的库可能存在模型错误或模型数据未匹配的情况，请慎重选择。

[点击查看](#) 所有可用于嘉立创EDA的仿真模型 (.modle) 和模型子电路 (.subckt) 列表.

上述所提供的仿真模型都匹配了对应的仿真模型，如果有一些因为命名导致名称不同的模型可以通过编辑仿真符号与现有模型库进行关联并进行仿真。

在嘉立创EDA的仿真电路图中，通过器件名称匹配仿真模型，运行仿真后，嘉立创EDA识别仿真原理图中给出的元件符号所关联的仿真模型名称，并将匹配的.model数据拉入网表进行仿真。

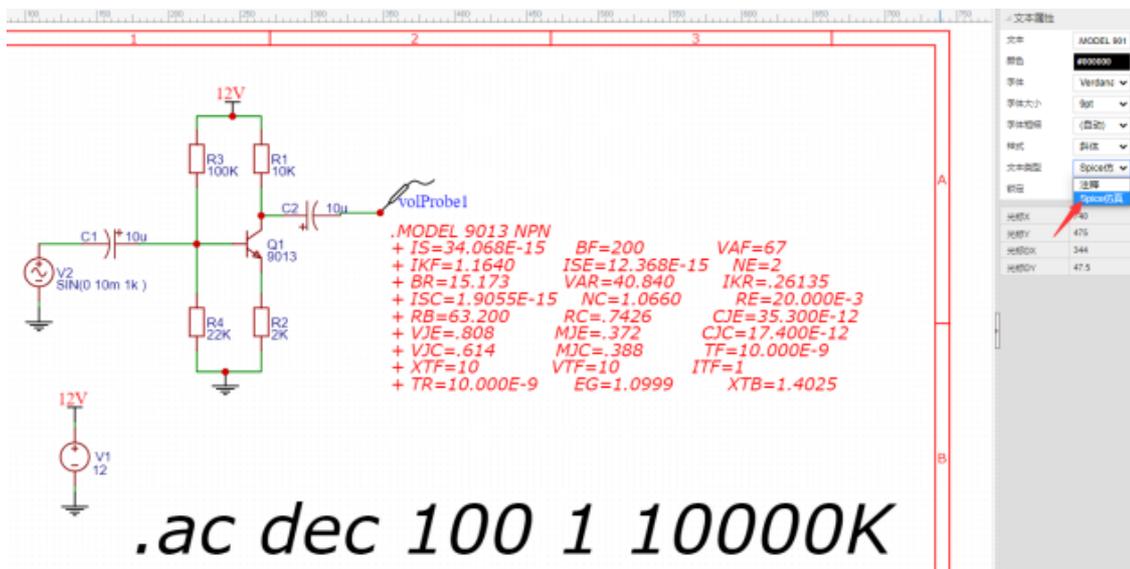
用户可以直接使用嘉立创EDA库中的仿真模型，对于不在嘉立创EDA库中的仿真模型可以从制造商的网站下载模型然后在仿真图中添加一个文本并将该模型数据粘贴到原理图中。

2 模型验证

2.1 .MODEL模型验证

当我们从器件厂商官网或者论坛社区得到了某个器件的.MODEL模型可以在嘉立创EDA里面进行仿真

1. 第一步：下载相关器件的.MODEL模型数据；
2. 创建对应器件的仿真符号（新建仿真符号，即元件符号）；
3. 使用创建后的仿真符号设计仿真电路图；
4. 在仿真图中添加一个文本，将subckt模型数据粘贴到文本中，将文本属性改为Spice仿真，保持模型名与器件符号一致；
5. 运行仿真，验证仿真结果是否正确。



[点击查看示例](#)

2.2 .SUBCKT模型验证

上面描述的过程是对于简单的.model定义的模型新增的方法，但就.subckt定义的模型，它要稍微复杂一些，因为.subckt需要进行引脚的匹配。

创建和绑定新的.subckt模型详细步骤如下：

1. 第一步：下载相关器件的subckt模型数据；
2. 创建对应器件的仿真符号（新建仿真符号，即元件符号）；
3. 使用创建后的仿真符号设计仿真电路图；
4. 在仿真图中添加一个文本，将subckt模型数据粘贴到文本中，将文本属性改为Spice仿真；
5. 检查模型对应的器件引脚排序是否与仿真数据引脚一致（详情查看第四章），保持模型名与器件符号一致；

- 选中新增模型符号，右键选择“修改符号”（快捷键 i ），检查仿真编号是否为X。检查引脚编号与仿真引脚编号是否保持一致，这里需要注意的是两者的引脚编号不一定是对应的，对应条件为实际器件引脚与仿真数据中的引脚功能相对应。
- 修改确认后在“修改符号”对话框中单击“确定”；
- 运行仿真，验证仿真结果是否正确。

[点击查看示例](#)

注意事项：

并非所有第三方模型都与ngspice语法兼容，Spice3版本的模型可以直接使用。PSpice模型可能需要修改才能在嘉立创EDA中使用，若有问题请联系嘉立创EDA技术支持。

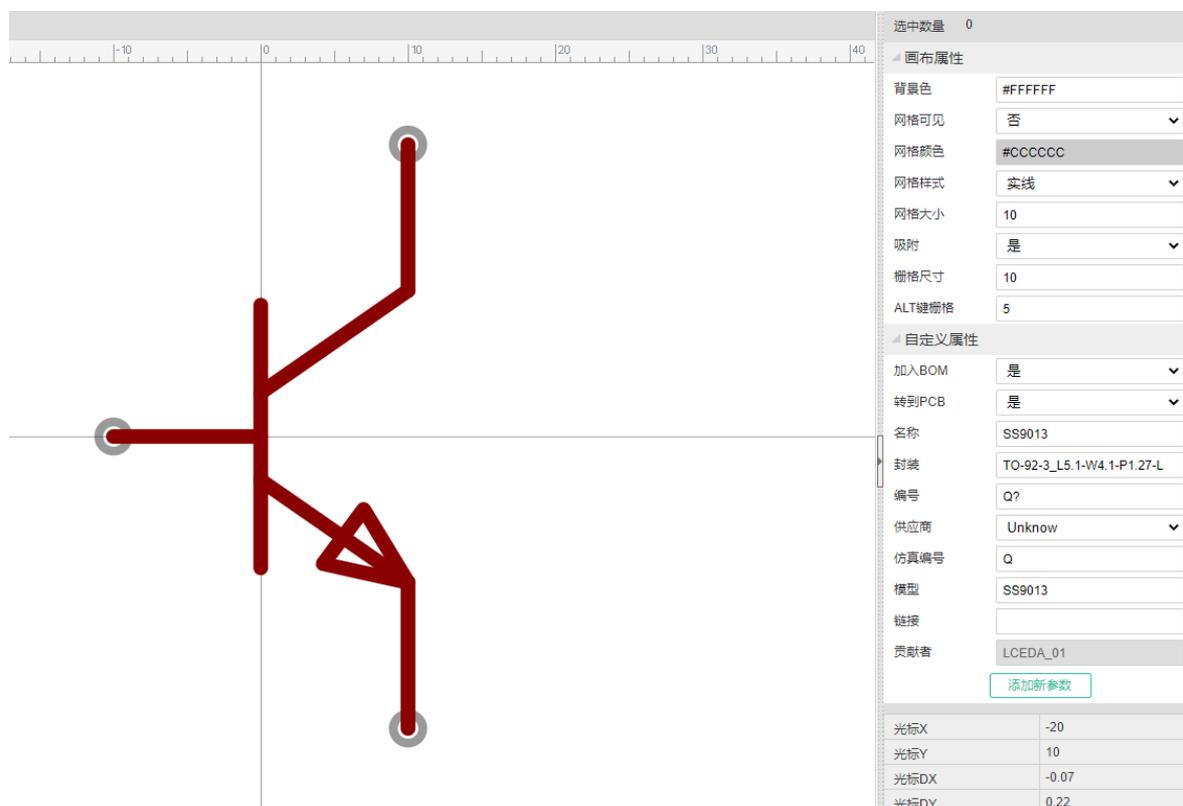
3 模型新增

当我们通过验证，该模型数据能使电路运行正常，那么接下来就可以将该模型数据与仿真符号进行绑定了。以后再使用的时候在仿真库中的个人工作区调用。相当于我们可以自己创建一个和官方模型一样直接选择使用，不用在仿真图上添加Spice数据表。绑定方法如下：

- (1) 在顶部菜单栏上选择 【文件】->【新建】->【仿真符号】

举个例子，新建一个SS9013的器件符号，画完符号后需要在右侧画布属性内进行以下设置：

- 1) 名称：器件符号名
- 2) 封装：自行绑定，只用于仿真不画PCB可不绑定
- 3) 编号：根据器件类型设置编号，以问号“？”结尾（命名规则查看“命名及单位说明”章节）
- 4) 仿真编号：同编号设置，这里不用问号
- 5) 模型：模型名应与模型数据内的模型名保持一致才能进行匹配！



(2) 接下来开始进行模型数据的绑定，在顶部菜单栏上选择 【编辑】->【模型数据】-> 将模型数据粘贴进去->点击【确定】。

(3) 绑定模型数据后就可以在仿真库中的个人工作区选取刚刚创建的仿真符号进行电路模拟仿真，欢迎大家参与嘉立创EDA仿真模型库的验证与新增。

4 关于编写模型数据

关于自己编写一个仿真模型数据的问题比较深奥，因为学习编写一个高质量的模型并不容易。在尝试进行建模之前，首先需要对电子学有深入的了解，以便于更好地熟悉需要建模的器件构造原理。

首先自定义建模与商业模型有所不同，自定义模型可以了解该器件的某部分进行建模与不需要建模的部分，这可以帮助加快仿真的速度并改善收敛。因此，有必要了解哪些参数和行为对该模型是重要的，哪些是可以简化或者是忽略的（因为这部分可能在某些方面的应用中并不重要，而在某些部分功能中至关重要）这些内容都是需要深入了解才能完善的。

然后，要建立模型，必须深入了解如何使用和编辑仿真基本器件模型的参数，例如二极管晶体管，以及在LTspice中使用一些常用的电阻器，电容器，二极管和开关模型。还必须对如何使用行为源、表达式和函数建立内部乃至整个设备行为的模型有深刻的了解。深入了解很重要，创建不好的模型很容易，但是制作好的模型却要困难得多！

浏览一些嘉立创EDA内部模型可能会对你有所帮助，因为尽管它们没有附带太多的说明文字，但它们的.subckt定义中有一些文档可能会为您提供一些独特的见解。关于Spice模型的学习可以参考前言中提供的学习资料。

仿真编号与引脚编号

请注意，在尝试自定义编辑仿真模型之前，用户必须熟悉并了解仿真模型名称与编号之间的关系。这一点在本节中进行了介绍。

元件编号和仿真前缀

原理图符号的前缀或标记的分配规则在某种程度上取决于EDA工具和器件的型号。根据器件的原理图符号它可能具有不同的前缀或标记。例如，单个分立的MOSFET器件可能是Q、M或TR的前缀，而如果它是单片多晶体管阵列的一部分，则可能具有U或IC的前缀。

原理图符号的Spice前缀的分配规则很严格。这是因为Spice前缀用于告知仿真器该符号代表哪个电路元素，以及要使用的仿真模型类型。

大多数仿真电路元件的仿真模型采用单行.model语句的形式，但是其中一些模型可能采用多行.subckt子电路定义的形式。

例如，某些MOSFET可以用.model语句描述，在这种情况下，它们的Spice前缀是M；而许多MOSFET用.subckt描述，这时它们的Spice前缀是X。因此，无论为原理图符号选择的PCB前缀如何，代表给定电路元素的原理图符号的Spice前缀必须与在原理图中模拟该电路元素的实例所需的模型类型相匹配。

我们先来看两个MOSFET的模型数据：

Q1，由.model语句建模的BSS123：

```
* BSS123
* SRC = BSS123; DI_BSS123; MOSFET N; Enh; 100V 0.170A 1.00ohm
* Diodes
Inc.MOSFET .MODEL DI_BSS123 NMOS (LEVEL = 1 VTO = 1.00 KP = 6.37m GAMMA = 1.24
+ PHI = .75 LAMBDA = 625u RD = 0.140 RS = 0.140
+ IS = 85.0f PB = 0.800 MJ = 0.460 CBD = 19.8p
+ CBS = 23.7p CGSO = 36.0n CGDO = 30.0n CGBO = 124n
* -- Assumes default L = 100U W = 100U --
```

Q2，由.subckt建模的BSS127S：

```

* BSS127S
* BSS127S Spice Model
.SUBCKT BSS127S 10 20 30
* TERMINALS: D G S
M1 1 2 3 3 NMOS L = 1E-006 W = 1E-006
RD 10 1 84.22
RS 30 3 0.001
RG 20 2 29
CGS 2 3 1.958E-011
EGD 12 0 2 1 1
VFB 14 0 0
FFB 2 1 VFB 1
CGD 13 14 2E-011
R1 13 0 1
D1 12 13 DLIM
DDG 15 14 DCGD
R2 12 15 1
D2 15 0 DLIM
DSD 3 10 DSUB
.MODEL NMOS NMOS LEVEL = 3 VMAX = 8E+005 ETA = 1E-012 VTO = 3.419
+ TOX = 6E-008 NSUB = 1E+016 KP = 0.127 U0 = 400 KAPPA = 1.044E-015
.MODEL DCGD D CJO = 1.135E-011 VJ = 0.9232 M = 0.9816
.MODEL DSUB D IS = 2.294E-010 N = 1.601 RS = 0.1079 BV = 65
+ CJO = 1.956E-011 VJ = 1.514 M = 0.8171
.MODEL DLIM D IS = 0.0001
.ENDS
*Diodes BSS127S Spice Model v1.0 Last Revised 2012/6/6

```

在以上两个器件中元件编号均为Q，但是Q1的Spice前缀必须为M，Q2的Spice前缀必须为X。

下表列出了Spice前缀及其相关元素的类型字符：

元素描述	仿真类型	适用类型	应用
A	XSpice代码模块	取决于型号	模拟、数字、混合信号
B	行为源和受控源	Source \pm , Control \pm	
C	电容类	由型号固定, 无 极性	
D	二极管		
E	电压控电压源 (VCVS)	Source \pm , Control \pm	线性、非线性
F	电流控制电流源 (CCCS)	Source \pm , Vsrcname	线性, Vsrcname用于开关外 部电压源
G	压控电流源 (VCCS)	Source \pm , Control \pm	线性、非线性
H	电流控制电压源 (CCVS)	Source \pm , Vsrcname	线性, Vsrcname用于开关外 部电压源
I	电流源	Source \pm	
J	结型场效应晶体管 (JFET)	G D S	
K	耦合电感 (互感器)	考虑绕相相位	
L	电感	由型号固定, 无 极性	
M	金属氧化物场效应管 (MOSFET)	G D S	
N	GSS数字装置		
O	有损传输线	由型号定	
P	耦合多股线 (CPL)	由型号定	
Q	双极结型晶体管 (BJT)	C B E	
R	电阻器	由型号固定, 无 极性	
S	电压控制开关	Switch \pm 、 Control \pm	
T	无损传输线	由型号固定	
U	均布电阻电容线路	由型号固定	
V	电压源	Source \pm	
W	电流控制开关	Switch \pm , Vsrcname	Vsrcname用于开关外部的电 压源。

元素描述	仿真类型	适用类型	应用
X	子电路	取决于subckt	
Y	单有损传输线 (TXL)	由型号固定	
Z	金属半导体场效应晶体管 (MESFET)	G D S	

有关LTspice中电路元件的更多信息，请参考：http://ltwiki.org/index.php?title=Main_Page

PCB和Spice引脚号

嘉立创EDA的仿真模型中包含了两种不同的引脚编号，它们分别是封装引脚和仿真引脚。

原则上两种引脚是一致的，由于仿真模型数据的特殊性，仿真模型所对应的实际器件的封装引脚会有差异。

1. 封装引脚：封装引脚是实际器件引脚的编号，它们一般是固定的，以便原理图中器件符号的引脚可以映射到PCB封装的引脚上，从而保证PCB上电气连接的一致性。
2. 仿真引脚：在Spice中，为了更好的描述器件内部的数据逻辑会将该器件引脚进行定义，这些引脚编号映射到仿真模型或者是对应的子电路中的相应功能。

在这举个具有5个引脚的简单运算放大器进行说明：

在仿真网表中，此类运算放大器的子电路调用可能如下所示：

```
x1 input feedback vpos vneg output opamp_ANF01
```

其中，X1是电路中子电路的名称；

input feedback vpos vneg output是电路中调用（即包含）子电路的网络名；

opamp_ANF01是被调用的子电路的名称。

在这里要十分注意子电路中所调用网络名称的引脚顺序是否与Spice仿真模型引脚保持一致。

大多数运算放大器子电路的仿真引脚顺序如下列所示：

```
*opamp_ANF01 * * Simplified behavioural opamp
*Node assignments
*
*           noninverting input
*           |   inverting input
*           |   |   positive supply
*           |   |   |   negative supply
*           |   |   |   |   output
*           |   |   |   |   |
* spice pin order: 1 2 3 4 5
*
*           |   |   |   |   |
.subckt opampANF01 inp inn vcc vee out ; these are the netnames
* used internally to the
* subcircuit.
V=(TANH((V(inp)-V(inn)){Avo1}2/(V(vcc)-V(vee)))(V(vcc)-V(vee)) +
(V(vcc)+V(vee)))/2
.ends opampANF01
```

在仿真模型中子电路调用的模型引脚顺序与子电路.subckt中引脚的顺序完全相同。

因此，在以下四种运放的模型封装引脚与上述例子的子电路引脚排列应该为：

类型 A	引脚序号	仿真序号	类型 B	引脚序号	仿真序号	类型 C	引脚序号	仿真序号	类型 D	引脚序号	仿真序号
OUT	1	5	OUT	7	5	OUT	8	5	OUT	14	5
IN-	2	2	IN-	6	2	IN-	9	2	IN-	13	2
IN+	3	1	IN+	5	1	IN+	10	1	IN+	12	1
V+	4	3									
V-	5	4	V-	11	4	V-	11	4	V-	11	4

实际封装的引脚标号反映了该器件的引脚标号，对于各个运算放大器来说，它们的仿真引脚顺序是一样的。

在实际仿真应用过程中，如果仿真结果与我们想象中的有误差，可以检查下引脚定义是否匹配，有错的地方可以直接在仿真图中修改该器件引脚所对应的仿真编号。

命名及单位说明

这个章节来了解在仿真过程中使用到的命名规范：

- 除非另有说明，否则Spice模型中的文本不区分大小写；
- 一行中的字段由一个或多个空格、逗号、等号 (=)、左括号或右括号分隔，多余的空间将被忽略；
- 可以在下一行的第 1 栏中输入 + (加号) 来继续新的一行；
- 允许的字符为：a-z，数字0-9和下划线字符“_”；
- 名称字段必须以字母 (a到z) 开头，并且不能包含任何分隔符。数字字段可以是整数字段 (12, -44)、浮点字段 (3.14159)、浮点数或浮点数后跟整数指数和指数因子。

常用单位说明

后缀	名称	指数因子	后缀	名称	指数因子	后缀	名称	指数因子
T	太 (拉)	10^{12}	K	千	10^3	u	微	$10^{(-6)}$
G	千兆	10^9	mil	密尔	$25.4 \times 10^{(-6)}$	n	纳	$10^{(-9)}$
MEG	兆	10^6	m	毫	$10^{(-3)}$	p	皮	$10^{(-12)}$

注意：紧跟数字（不是比例因子）的字母将被忽略，紧跟着比例因子的字母也将被忽略。

1000、1000.0、1000Hz，1e3、1.0e3、1kHz和1k都代表相同的数字。

注意：M或m表示毫，即1e-3兆一定要用MEG进行表示，即1e6。

地面节点必须为0（零），GND节点被默认为接地节点，并在内部被视为全局节点并转换为0平面。

信号检测

在仿真图中，电压探针所测试的电压为该点与地之间的电压差，常见的问题可能会将电压探针接地，因为在仿真中，电压探针均已参考接地。



电压测量

电压测量都是检测电压差。

在嘉立创EDA仿真中，我们可以通过多种方式测量电路中某点的电压关系。

在实际电路测量中，在两个探测点之间一般都会会有一个电阻负载，该电阻两端会有一些杂散电容和电感，如果被测信号是交流信号，由于这些寄生成分的存在会导致测量误差。

在仿真中，电压探针呈现高阻状态，没有杂散电容和电感的存在，该电压探针具有无限的带宽。

[电压探针测量](#)

电流测量

在实际电路中，探测电路中的电流会在它们之间存在一个电阻性负载，这会导致电流表两端电压下降，使用优质的电流表，该压降可能非常低。

在插入电阻两端探测电线之间放置一个电阻性负载，将导致电流表读数下降。

表笔接入电路中，由于电阻两端的点到地面之间会有一些杂散电容和电感的存在，当被测电流是交流信号，这些寄生成分的存在会导致测量误差。

在仿真中，电流探头的插入电阻为零，电流表带有 $1\mu\Omega$ 的串联电阻。

[电压探针测量](#)

万用表测量

除了用电压探针测量的方法之外我们也可以用一种简单直接的方式进行电压电流的测量方式。

那就是直接使用常用库中的万用表进行测量。

万用表在测量电压时需要添加到电路中后将该仪表设置为伏特计，测量电流时设置为安培计。

且测量电压时需要并联到电路中，测量电流时串联到所测节点之间。

[万用表使用范例](#)

注意事项：该万用表可以同时测量直流信号和交流信号，测量交流值时显示的为有效值。

电路仿真效果与构建真实电路并不完全相同，因为现实大多数的模拟器件都不是理想的，所以导致实际电路情况与仿真存在偏差，两者之前的偏差通常是可以预见的，如果无法理解真实器件与仿真器件间的差异，对器件特性不熟悉，也有可能导致仿真结果与预期不一致，导致混乱。

学习电路仿真意味着还需要更多地考虑现实因素，这与教科书上简单的图解理想电路有所不同，需要进行实际测量。

电压源和电流源

嘉立创EDA仿真常用库中提供了一系列电压源和电流源，输出关系由一系列的参数和数值定义。

本节将详细介绍电压源各种形式的配置，电流源的配置方式完全一致。

- 直流源 (DC)：直流信号源，一般做电源供电；
- 正弦源 (SINE)：正弦信号源；
- 脉冲源 (PULSE)：一般的脉冲波形；
- 指数源 (EXP)：具有指数上升沿和下降沿的单个脉冲；
- 单频调频源 (SFFM)：单个正弦波载波，由单个正弦波频率调制；
- 分段线性源 (PWL)：任意波形源，其信号创建为时间和电平的列表，信号在每个时间点之间线性值。
- 行为源 (B)：自定义函数源。

直流源 (DC) 配置：

配置直流电压源作为电源供电，[点击查看工程](#)。

正弦源 (SINE) 配置：

配置正弦源 (SINE) 选项正弦信号源，[点击查看工程](#)。

脉冲源 (PULSE) 配置：

配置脉冲源 (PULSE) 选项创建脉冲信号源，[点击查看工程](#)。

指数源 (EXP) 配置：

配置指数源 (EXP) 选项创建具有指数上升沿和下降沿的单个脉冲源，[点击查看工程](#)。

单频调频源 (SFFM) 配置：

配置单频调频源 (SFFM) 选项创建简单的单频调频正弦信号源，[点击查看工程](#)。

分段线性源 (PWL) 配置：

配置分段线性源 (PWL) 选项创建任意的分段线性波形信号源，[点击查看工程](#)。

行为源：

行为源是嘉立创EDA里面一个非常强大的仿真模型，它包括电压源和电流源，每个行为源都由一个方程式组成。

- 任意电压源：在嘉立创EDA中定义电压源的方程式十分简单： $V = \text{表达式}$ 。以下举几个例子：
 - $1. V = 3 * V(a, b)$ ：输出电压等于'a'点与'b'点电压差的3倍。
 - $2. V = V_{\text{wing}} \tanh(V(a, b) / A_{\text{vol}})$ ：该方程式定义了一个差分增益模块，由一个参数 A_{vol} 定义的小信号增益和一个输出电压摆幅组成，该输出电压摆幅通过 \tanh 函数限制为另一个参数 V_{swing} 值的 +/-。
- 任意电流源：任意电流源方程式的语法与任意电压源语法基本相同，只是电压 V 被电流 I 所代替： $I = \text{表达式}$
 - $1. I = V(a) * I(V_{\text{imon}})$ ：输出电流等于'a'点电压 $V(a)$ 乘以通过 $I(V_{\text{imon}})$ 点的电流。
 - $2. I = V(a, b) / R_{\text{val}}$ ：当行为源的正负端子分别命名为'a'和'b'时，此表达式定义值为 R_{val} 的电阻。

点击查看以下行为源示例:

[行为源函数](#)

注意事项:

1. 请注意, 行为源表达式中不使用大括号;
2. 在仿真图中放置“任意行为源”字段时, 表达式必须位于同一行上面, 但是在输入到网表表达式中 (例如, .subckt模型定义中的表达式) 可以使用“+”延续字符来换行。在嘉立创EDA模型中可以找到相关示例。比如, 在opamp5pEE参数化5引脚运算放大器模型的网表中, 有以下描述:

```
Bipbias1 inp isum I = (ibias + ios) * V (supply_ok) +  
+ (uramp (V (inn) - (V (vp) + inmax) ) -uramp (-V (inn) + (V (vn) -inmin) ) ) / Rser
```

在Opamp_ANF01 .subckt中, 还有另一个示例:

```
B1 out 0  
+ V = (TANH ( (V (inp) -V (inn) ) * {Avol} * 2 / (V (vcc) -V (vee) ) ) * (V (vcc) -  
V (vee) )  
+ + (V (vcc) + V (vee) ) ) / 2
```

3. 如果行为源代码中的表达式包含IF语句, 而IF语句本身包含等号=, 则如下所示:

输出0 V = V (in) + IF (offset = 1, 1, 0) 那么这将引发以下错误:

```
Unexpected equals sign
```

为避免此错误, 必须将IF语句中的单等号替换为双等号, 如下所示:

输出0 V = V (in) + IF (offset == 1, 1, 0)

有关行为源的更多信息, 请在LTspice软件中搜索行为源的帮助或者[查看Wiki文档](#)。

交流电源配置

交流电源除了生成用于瞬态分析 (时域) 仿真的时域信号外, 还可以配置为用于AC分析 (频域) 仿真的AC源。

可以指定交流电源的幅度和相位, 并在“交流分析”仿真指令中给出了要分析电路的频率列表, 那么仿真结果会是绘制振幅和相位与频率的关系图, 例如显示电路频率响应的波特图。

它们的生成方式是纯数学分析的结果。

简单来说, 就是检查电路的直流工作点, 并用线性化的小信号模型代替电路中的所有组件。

换句话说, 假定一切都围绕DC工作点呈线性, 因此该电路可以表示为频域中的小信号线性系统。

然后, 以AC Analysis spice指令中指定的每个输入频率对线性方程组的输出进行求解。

以下示例显示了如何在一个电路中配置多个AC源来代表相同频率但相位不同的不同信号源。

[点击查看工程](#)

该示例还显示了相位设置如何与时域中的相同信号相关。

在此示例中, 两个交流电源均设置为1的相同幅度。尝试一下将它们设置为不同的幅度, 并将结果与信号源的时域部分中相同的幅度变化进行比较。

AC分析只能用于研究电路的小信号频率响应。

由于大多数电路的线性度随输入信号的瞬时值而变化，因此交流分析的结果不能用于推断电路在频域中的大信号响应。

当对包括AGCI以及其他形式的动态范围压缩和扩展的电路进行AC分析时，必须谨慎设置正确的DC工作点，其中DC工作点是长期设置的（与信号周期相比）的平均值或电路本身输出幅度的类似函数。

关于直流工作点影响的另一点是：交流分析不能用于研究诸如锁相环、开关电源和D类放大器等电路的频率响应，因为这些电路通常包含的元素总是切换到一种或另一种状态，其中线性化的增益降低为零。

有许多方法可以研究此类电路的频率响应，但它们需要更高级的建模技术，才能用线性化的等效电路代替开关和其他元件（例如PLL中的VCO）。

尽管可以在电路中放置任意数量的交流电源，每个交流电源都有各自的幅度和相位，但所有电源都将将与AC分析设置（而不是由AC Analysis设置确定）完全相同的频率运行。在其中有多个独立电源的电路中，只需将交流幅度和相位值添加到所需的电源中进行仿真。

初始启动条件

该小节中主要介绍一些背景知识和基本启动技巧，要了解有关仿真启动开始时发生的情况，有以下几点要点：

背景

1. 启动时间 $t=0$

当 $t < 0$ 时，电路中的电压都将被设置为直流稳态值，所以，即使该电路是振荡器，在 $t = 0$ 之前，也将假定它处于稳定的非振荡状态。当 $t = 0$ 时，电路从初始状态开始工作。

基于诸如相移电路、维恩桥电路或晶体振荡器之类的调谐电路的振荡器的初始状态将由其直流偏置条件来定义。如果电路中没有噪声源那么电路将保持平衡，它可能永远不会开始振荡。

尽管在大多数情况下，可能由于有限的分辨率产生的数学模型噪声及模型运算时产生的误差噪声而打破平衡，但这可能需要很长时间才能使电路正常工作。特别是晶体振荡器可能会花费数十万倍的振荡器周期才能启动并达到稳定状态。为了使仿真器等待振荡器启动所等待的时间最小化，可以引入一些初始启动条件来使电路“启动”进入振荡。

在LTspice中启动大多数电路的最简单方法是运行瞬态（.tran）分析，并将启动修饰符附加到.tran指令的末尾。例如：

```
.tran 1m ; 从初始DC条件开始运行1ms的时域仿真
```

```
.tran 1m startup ; 首先将独立的源都设置为零，然后进行1ms的时域仿真，然后在仿真的前20us内将其逐渐增大。
```

另外启动调谐电路振荡器的另一种简单方法是：将PULSE电源替换为设置为所需电源电压初始电平 of PULSE电源。

举例来说，如果一个9V电源的电路要以1us的时间步长运行1ms，则可以将PULSE源设置为9V的初始电平，并以100ns的上升和下降时间在1us的时间内降至8.5V。或8.5V的初始电平，在100ns上升时间上升到9V的脉冲电平之前有1us的延迟。

可以使用几乎插入电路中任何位置的电压源来执行相同的技巧，只需向偏置电压注入一小步或一个脉冲即可，但是必须记住，如果在突跳后电压阶跃或脉冲未恢复为零，则它代表了电路那部分的失调电压。

举个晶体振荡器启动的例子：

由于晶体管的Q值极高，晶体振荡器需要很长时间才能启动。仿真也是如此，为避免仿真花费太长时间来运行并生成大量数据文件，它们可能需要分阶段运行，且启动和停止时间会增加，但值较小（Tstop-Tstart）。

8-1: 晶体振荡器电路示例

2. EXP和PWL源作为启动电源

对于大多数弛豫振荡器，例如经典的互补晶体管构成的多谐振荡器或555定时器，都有两个稳定状态，在这两种状态之间进行电路切换来保持振荡。

但是，在 $t = 0$ 之前的直流偏置下，这些电路通常会稳定进入这些稳定状态中的一个，因此停留在 $t = 0$ 处。这意味着它们永远不会开始振荡。

以下是一个不能自行启动的简单RC弛豫振荡器的示例：

弛豫振荡器启动01

可以使用PULSE源完成此操作，将电源从0斜升到所需的电源电压。因此，例如，通过将初始电平设置为0并将脉冲电平设置为9且延迟为零时间，上升时间为200us，电路从所有内部节点均为零开始启动。该示例还演示了仅通过简单的DC来启动同一电路的方法，只需将启动修饰符添加到.tran语句即可运行：

弛豫振荡器启动02

另一种可能性-稍后将对其进行详细说明-是在行为源代码中使用作为时间函数的表达式。

例如，此表达式在行为源中：

$$V = 9 * (1 - \exp(-\text{time} / 100\mu))$$

该表达式的意思是：该电压从零开始，并以100us的时间常数以指数方式上升到最终值9V：

一些复杂的电路（或具有复杂模型的简单电路）可能无法仿真，因为仿真器无法在 $t = 0$ 之前找到直流工作点。

如果电源（或多个电源）从0斜升，则此类电路通常会模拟良好。与稍微平衡对称组件可以帮助启动，略微平衡电压，电源电压斜升的延迟或上升时间相同的方式，帮助启动更多“复杂”的模拟电路。

但是，从零电源斜坡开始使用启动存在一个缺点。如前所述，在瞬态仿真开始时，在仿真开始于 $t = 0$ 之前，所有电容器两端的电压和流经电路中所有电感器的电流都将达到其直流稳态值。

如果仿真开始于在 $t = 0$ 时将电源电压设置为零，那么显然所有内部电压和电流也必须为零（由于任何信号源的初始电平以及某些内部设计不当的电源所造成的一些小的偏移量除外）电源电压为零时不会崩溃为零的模型）。

如果所有内部电压和电流在 $t = 0$ 时均为零，则所有内部节点达到其直流稳态所需的仿真停止时间可能要长得多。一个简单的解决方案是将仿真运行足够长的时间以使所有问题都得以解决，但仅在停止时间之前绘制结果足够长的时间以显示感兴趣的信号。

因此，例如，通过将瞬态分析设置为具有100ms的停止时间和98ms的启动时间，可以观察到一个由1kHz源驱动但需要95ms稳定时间的电路从 $t = 98\text{ms}$ 到 $t = 100\text{ms}$ 观察到，像这样：`.tran 0 100m 98m`

该解决方案效果很好，但是在此示例中，超过95%的仿真时间仅用于使电路达到稳定状态，然后再生成任何有用的结果。这非常浪费仿真时间，并且对于复杂的仿真（例如开关模式电源（SMPS）仿真）可能会花费大量的实时时间，而在这些仿真中，很可能出现这种情况。

设置通过器件的初始电压和电流

在某些情况下，需要在某些预定状态下开始仿真。例如，可能需要电容器在时间 $t = 0$ 时开始瞬态仿真，并预充电到某个给定电压。

类似地，可能需要在时间 $t = 0$ 时指定电感器中的电流。在较大的仿真中，将电源的输出平滑电容器预充电至近似正确的电压可能会有所帮助，以节省将其从零充电所需的时间。如果电容器位于SMPS的输出端，则将SMPS中的电感器充电至其平均工作电流也可能很有用。

1. 使用.icspice指令设置初始电压条件

以下两个示例说明了.ic指令的用法：

[设置初始条件01](#)

[弛豫振荡器启动03](#)

该方法虽然可行，但是不建议使用这种方法。在下面的示例中显示了使用.ic语句的替代方法，这些示例显示了两种将'uic'选项附加到瞬态分析中的方法，但是由于'uic'描述中已经给出了原因如果在“设置分析”中“IC：设置初始条件”部分中选择了“选项”，则应谨慎使用此选项。

[弛豫振荡器启动04](#)

[弛豫振荡器启动05](#)

2. 使用电流源设置通过电感的初始电流

在LTspice中，.ic spice指令可用于设置通过一个或多个电感器的初始电流条件。在以下示例中对此进行了说明：

[设置初始条件02](#)

3. 设置电容器的初始电压

不建议使用这种方法，但是使用'.ic'语句设置电容器两端的初始电压可以在ic =后面加上 电容值和uic .tran语句：

[设置初始条件03](#)

4. 设置通过电感的初始电流

不建议采用这种方法，但是使用'.ic'语句设置通过电感器的初始电流可以在ic =后面附加 电感值和uic .tran语句：

[设置初始条件04](#)

某些电路可能会自行启动，但仅更改器件模型可能会导致其无法启动。在花很多时间尝试解决这些问题之前，希望大家不要害怕去尝试和解决问题。

使用1V电源帮助启动

这是一项高级技术，应用范围有限，但在适当的情况下可能非常有用。

通过在原理图中放置一个1V电压源，将其输出命名为“unity”，然后使用B Sources中的表达式乘以 $V(unity)$ ，可以强制模拟中的所有B Source从零开始在早期DC工作点部分进行瞬态仿真。

有时这可以帮助从零内部初始状态产生干净的启动。但是必须牢记，与其他将模拟从零调高的技术一样，任何运行OP，TF或AC模拟的尝试通常都会返回零结果，因为所有内部状态以及许多情况下的增益B源将被强制设为零初始值。用带宽受限的诺顿电源代替理想电压源和戴维南电压源，以帮助启动由于这项技术有助于提高仿真的整体收敛性，而不仅仅是启动行为，因此它是一种非常广泛的应用技术。

仿真中的理想电压源能够产生无限大的电流，因此，在仿真过程中的任何时候看起来都是电容性的负载都有可能引起瞬时无限大的电流。这可能导致仿真陷入溢出状态，或者无法找到继续执行的有效下一步。无论哪种情况，仿真都无法收敛。为避免这种情况，比较好的做法是始终在每个电压源上串联一些电阻。这会将所有理想电压源转换为具有有限源电阻的电压源，这通常可以提高大多数模拟的仿真速度，也可以显著改善许多模拟的启动和收敛。

使用“关闭”选项来帮助启动

一些组件（例如开关，bjts，jfet，MOSFET和MESFET）具有“OFF”选项，以指定器件处于初始OFF状态。开关还具有“ON”选项，以指定设备处于初始“ON”状态。

该选项对于确保例如两个晶体管的双稳态或单稳态电路或一个不稳定的多谐振荡器的一侧关闭是非常有用的，因此可以避免上述情况，即两个晶体管都处于初始状态。尽管这本身并不能保证电路将从 $t = 0$ 开始启动，但是可以简化为确保电路正常运行而必须采取的任何其他措施。

通过在设备名称后附加关键字OFF（或仅对于开关为ON）来简单地调用这些状态。可以通过直接编辑原理图中的名称或通过右侧面板的“属性”对话框来完成。例如，要将名称为MYSWITCH的开关设置为最初打开，则名称应编辑为：MYSWITCH ON；要将名称为2N2222的bjt设置为初始OFF，则名称应编辑为：2N2222 OFF。

仿真分析

什么是分析？分析是向仿真引擎发送一条指令，告诉它在该仿真图中执行哪种类型的模拟。

在嘉立创EDA的仿真设置中，可以提供以下几种不同类型的分析，这些分析可以通过快捷键CTRL + J进行访问，也可以在仿真菜单栏中的仿真分析中进入。

- 瞬态分析
- 静态工作点分析
- 直流传递函数
- DC扫描分析
- 小信号频域分析

瞬态（时域）分析 .TRAN

LTspice的瞬态分析部分在用户指定的时间间隔内根据时间计算瞬态输出变量。初始条件通过直流分析自动确定。所有与时间无关的电源（例如电源）均设置为直流值。

一般形式：

```
.TRAN [Tstart [dTmax]] [修饰符]
.TRAN [修饰语]
```

第一种形式是传统的.tran SPICE命令。Tstep是波形的绘图增量，但也用作初始步长猜测。LTspice使用波形压缩，因此该参数值很小，可以省略或将其设置为零。Tstop是模拟的持续时间。瞬态分析总是在等于零的时间开始。如果省略Tstart，则假定为零。但是，如果指定了Tstart，则不会保存0到Tstart之间的波形数据。这是一种通过忽略启动瞬变来管理波形文件大小的方法。

在Tstart之前的时间间隔内，将对电路进行分析（以达到稳定状态），但不存储任何输出。在间隔（Tstop-Tstart）中，分析电路并存储输出。

最终参数dTmax是积分电路方程式时要花费的最大时间步长。如果指定了Tstart或dTmax，则必须指定Tstep，但通常将其设置为零。

请注意，在嘉立创EDA中，dTmax限制为： $dTmax = (Tstop - Tstart) / 1000$ 。这是嘉立创EDA限制服务器使用的限制。这不是在本地计算机上运行的本地LTspice的固有限制。

可以在.tran语句的末尾添加以下两种修饰符：

1. Strat：在独立的电压和电流源关闭的情况下解决初始工作点。然后开始瞬态分析，并在模拟的前20 us中打开这些源。这模拟了从首次接通电路开始运行的电路。
2. Uic：请注意，必须谨慎使用'uic'选项。

通常，在开始瞬态分析之前会执行DC工作点分析。直流工作点分析的结果提供了在时间 $t = 0$ 时电路的初始条件。'uic' spice指令禁止这种初始化。

某些电路元件的初始条件可以根据每个实例指定。例如：可以指定晶体管处于OFF初始状态；可以将开关指定为处于ON或OFF初始状态；.IC spice指令允许指定 $t = 0$ 时的电网电压和电感器中的电流。如果将'uic'选项添加到tran spice指令，则将使用所有指定的初始条件。但是，重要的是要认识到，如果在未明确说明初始条件的情况下使用了'uic'指令，则由于省略了DC工作点分析，因此采用默认值。这可能会在某些仿真中引起问题，因为默认值可能导致电路周围的非物理初始条件。例如，考虑与理想电容器并联的理想电压源。除非另有说明，否则电压源的默认初始值为零。因此，电容器上的电压在 $t = 0$ 时也为零。然后，在第一步中，电压源设置为工作输出电压，因此会从中汲取无穷大电流，以将电容器充电至该工作电压。模拟器找不到足够短的时间步长来限制此电流，并发出“time step too small convergence fail”的消息。

有关可应用于.tran指令的这些修饰符和其他修饰符的信息，请参考：

<http://ltwiki.org/LTspiceHelpXVII/LTspiceHelp/html/DotTranModifiers.htm>

例子：

```
.tran 1m
.tran 1m startup
.tran 0 1000ns 500ns 10ns
.tran 10ns 1us 0us 20ns uic
```

静态工作点分析.OP

一般形式：.op

使LTspice进行静态工作点分析，计算电感短路且电容开路时电路的静态工作点。该分析的结果用于计算非线性设备的线性化小信号模型的值。

更多信息：<http://ltwiki.org/LTspiceHelpXVII/LTspiceHelp/html/DotOp.htm>

直流传递函数分析.TF

SPICE的直流传递函数分析部分计算以下小信号特征：

1. 输出变量与输入变量之比（增益或传输增益）；
2. 相对于输入源的电阻；
2. 相对于输出端子的电阻。

.TF语句可用于查找戴维南小信号等效电阻。（戴维南电压由OP语句的结果由开路端的节点电压给出）。

一般形式：

```
.tf OUTvar inSRC
```

例子：

```
.tf v (5, 3) VIN
.tf i (VLOAD) VIN
```

.TF命令定义用于直流小信号分析的小信号输出和输入。OUTvar是小信号输出变量，inSRC是小信号输入源。如果使用这一条指令，SPICE将计算传递函数（输出/输入）与输入电阻和输出电阻的DC小信号值。

更多信息：

<http://ltwiki.org/LTspiceHelpXVII/LTspiceHelp/html/DotTf.htm>

DC扫描分析.DC

在进行直流扫描分析时，SPICE会在用户指定的范围内步进指定的独立电压或电流源的值，并对每个值执行工作点分析。这样可以评估直流传递函数，还提供了一种绘制设备和模型的特性曲线的机制。

一般形式：

```
.dc源名称Vstart Vstop Vincr> [Source2 Vstart2 Vstop2 Vincr2]
```

例子：

```
.dc vin 0.25 5.0 0.25
.dc vin 0 10 .5 vgs 0 5 1
.dc vce 0 10 .25 ib 0 10u 1u
.dc R1 0 1k 100
.dc TEMP 0 100 1
```

这些参数定义了直流传输曲线源和扫描极限。Source-Name是独立电压或电流源，电阻器或电路温度的名称。Vstart，Vstop和Vincr分别是起始值，最终值和增量值。第一个示例使电压源vin的值以0.25伏为增量从0.25伏扫到5.0伏。可以选择使用关联的扫描参数指定第二个源（Source2）。在这种情况下，对于第二个来源的每个值，第一个来源将扫过其范围。

以下仿真说明了单个电压源的直流扫描：

[点击查看工程](#)

小信号频域分析.AC

SPICE的交流小信号部分计算交流输出变量作为频率的函数。该程序首先计算电路的直流工作点，并确定电路中所有非线性器件的线性化小信号模型。然后，在用户指定的频率范围内分析所得的线性电路。交流小信号分析的期望输出通常是传递函数（电压增益，跨阻等）。如果电路只有一个交流输入，则可以将该输入设置为单一相位和零相位，这样输出变量相对于输入具有与输出变量的传递函数相同的值。

一般形式：

```
.ac (DEC | OCT | LIN) N Fstart Fstop
```

Fstart是起始频率，Fstop是最终频率。

例子：

```
.ac dec 10 1 10K 对数为10的扫描
.ac dec 10 1k 100Meg 对数为10的扫描
.ac lin 100 1 100Hz 对数为e的扫描
```

但是请注意，由于WaveForm工具的限制，嘉立创EDA当前仅实现了decade对数的计算体现，因此'oct'和'lint'扫描选项的使用受到限制。

更多信息: http://ltwiki.org/LTspiceHelpXVII/LTspiceHelp/html/AC_analysis.htm

设置初始条件.IC

一般形式:

```
.IC [V(=)] [I(=)]
```

例:

```
.IC V (输入) = 2 V (输出) = 5 V (vc) = 1.8 I (L1) = 300m
```

IC线用于设置初始瞬态条件。根据是否在.TRAN控制行上指定了UIC参数,它有两种不同的解释。请勿将此行与.NODESET行混淆。.NODESET行仅用于帮助DC收敛,并不影响最终偏置解决方案(多稳态电路除外)。此行的两种解释如下:

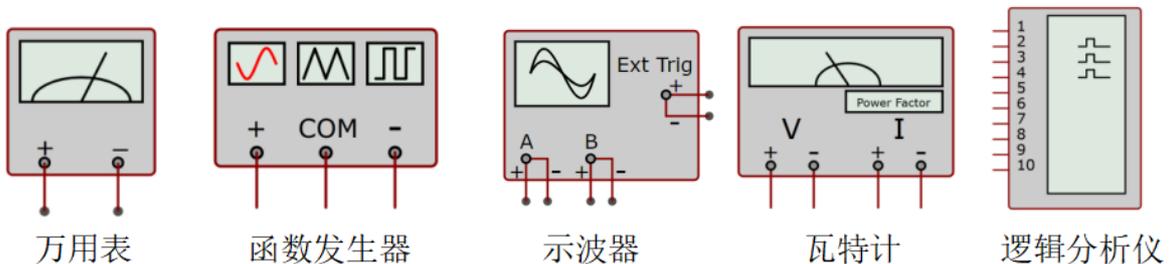
1. 如果在.tran线上指定了uic参数,则在.ic控制线上指定的节点电压将用于计算电容器,二极管,BJT,JFET和MOSFET的初始条件。这等效于ic=...在每条设备线上指定参数,但是更加方便。该ic=...参数仍然可以指定,并且优先于.ic值。由于在进行瞬态分析之前未计算任何直流偏置(初始瞬态)解决方案,因此,如果要使用.ic控制线上的所有直流电源电压来计算设备的初始条件,则应特别注意。
2. 如果在.tran控制行上未指定uic参数,则在进行瞬态分析之前会计算dc偏置(初始瞬态)解。在这种情况下,在偏置解决方案中,.ic控制线上指定的节点电压被强制为所需的初始值。在瞬态分析期间,消除了对这些节点电压的约束。这是首选方法,因为它允许LTspice计算一致的直流解决方案。

请注意,如果未使用'uic'选项,则无论如何都将使用模拟中包含的任何.IC指令。

测量结果分析

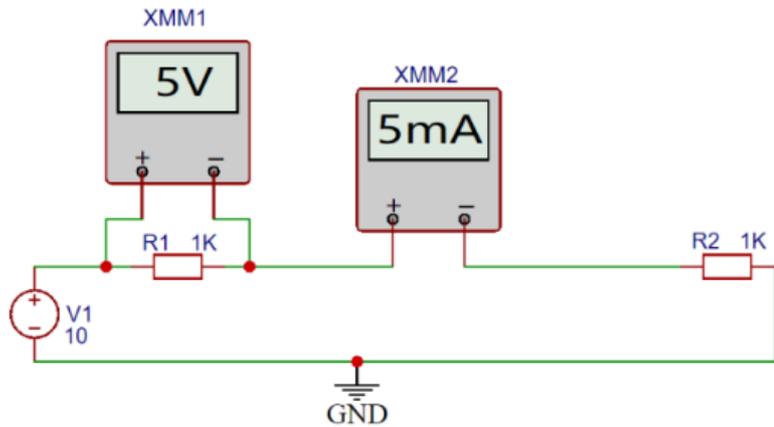
仪表分析

我们嘉立创EDA支持的仿真仪表有万用表、示波器和函数发生器、瓦特计和逻辑分析仪,未来还将陆续增加一些仪表模型供选择使用。



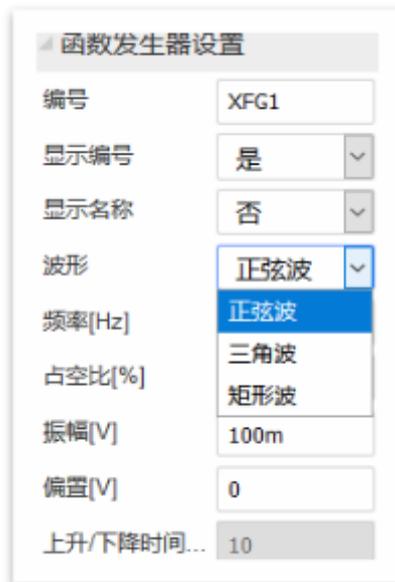
1. 万用表

点击万用表在右侧属性框的类型选择伏特计或安培计,分别用于测量电路里的电压和电流。测量电压时万用表并联接到所测器件两端,测量电流时万用表串联在电路里面。



2. 函数发生器

函数发生器，用于给电路提供信号源。点击选中图纸上的函数发生器后在右侧的属性框内选择正弦波、三角波或矩形波作为输入方式，设置测试的频率、占空比、振幅、偏置和上升/下降时间。



在使用过程中，函数发生器的COM端与GND相连，正向输入和反向输入根据实际需求选择连接到电路当中。

几个重要参数说明：

- (1) 频率：即输入波形的频率大小，默认单位为HZ。根据设置的频率大小和公式周期 $T=1/f$ 可以计算出周期的值；
- (2) 占空比：指的是在一个循环周期内，高电平持续时间占周期的比例大小；
- (3) 振幅：指输入波形的幅值大小；
- (4) 偏置：即设置信号中直流成分的大小，偏离零点电位，可以设置正负。

3. 示波器

嘉立创EDA支持一个双通道的示波器，用于测量电路中所测信号与时间关系的波形变化。

仿真运行后会弹出所有测试点的波形变化图。

点击电路中的示波器后可以在右侧的属性框内选择“查看仪表”，专门查看该示波器所测波形图，通过修改纵横坐标刻度，可以使波形显示更加直观。下面我们来看一下两个波形显示页面的区别和使用方式：

- (1) 所有波形展示页面

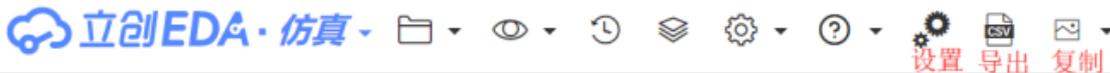


仿真成功后会自动弹出这个总体波形显示页面，由于最初的波形会比较密，可以通过鼠标左键框选部分波形可以进行放大。

坐标系的横坐标代表时间、左侧纵坐标代表电压值、右侧纵坐标代表电流值，通过顶部的波形名称对应各种不同颜色的波形图查看仿真结果。

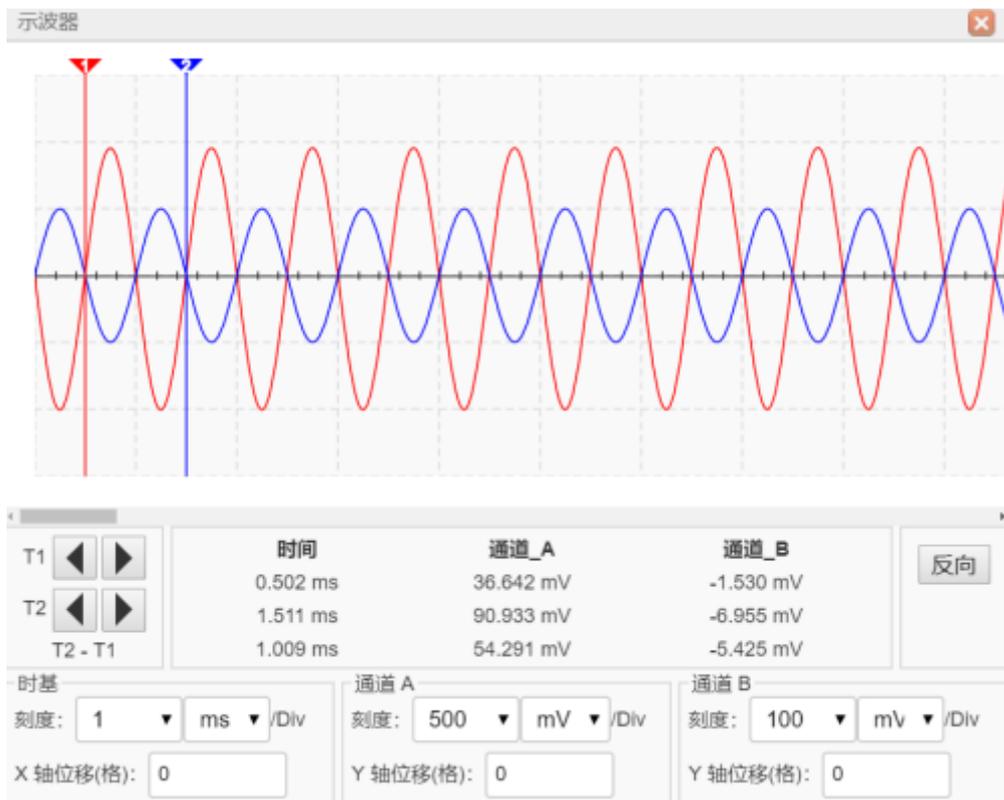
鼠标点在波形图上会自动将所点位置的横坐标时间值和纵坐标的电压值/电流值显示出来，非常地清晰和直观。

在对应菜单栏的右侧还可以进行波形的自定义配置，分栏展示、修改背景和任意波形的颜色；也支持直接导出CSV文件和复制该图片或将图片保存在本地。



(2) 示波器波形显示页面

点击电路中的示波器后在右侧选择“查看仪表”进入示波器波形页面，如下图。



刚进入时如果波形显示在图中不够直观，不能很好得看出波形变化那么可以通过修改下面的时基刻度和两个通道的幅值刻度使波形显示更清晰。

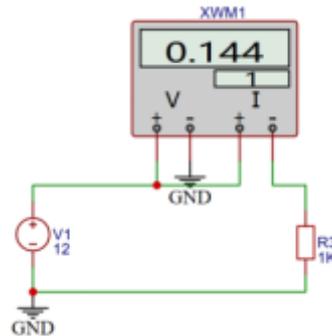
时基刻度用于修改X轴上每一格代表的时间；A、B通道上的刻度用于修改Y轴上一格代表的幅值大小，两个通道还支持设置Y轴位移量，即将该通道的波形向上或向下垂直移动。

4. 瓦特计

瓦特计用于测量交、直流电路功率的仪器。

瓦特计有两组测试接口，左边为电压输入端，与被测电路并联使用；

右侧的为电流输入端，与电流串联使用。显示面板屏幕显示为测得的平均功率值，下面的Power Factor 屏幕显示所测得的功率因数，数值在0~1之间。



5. 逻辑分析仪

嘉立创EDA提供了一个精简的逻辑分析仪，外接10路信号输入。

点击逻辑分析仪，在右侧进行设置，主要就是阈值电压和系统时钟频率的设置，当外界信号高于阈值电压时显示为高电平，低于阈值电压时为低电平显示。

经过仿真后点击仪表，在右侧属性栏内选择查看仪表查看逻辑电平信号。

时间	1	3	时钟	复制
T1	2.008 ms	1	1	1
T2	3.008 ms	1	0	1
T2 - T1	1 ms			

命令分析

1. 使用.meas命令

.meas命令用于分析.ac, .dc的输出数据。Op, .tf, .tran或.noise模拟。模拟完成后立即执行该命令。

它与其他spice指令相同的方式在原理图中输入，并带有：

文本属性 > 文本类型 > spice

要使用.meas命令，请按F8运行仿真，然后在仿真完成后，执行以下操作：

仿真>查看仿真报告

(1) .MEAS命令中术语的含义

.meas类型[AC | DC | OP | TRAN | TF | NOISE]取决于要评估的数据，这些数据源自AC分析、DC、工作点、瞬态、传递函数或噪声分析模拟。.meas类型是可选的，但使用时允许。MEAS语句仅用于给定的分析类型。这允许根据运行的模拟类型使用不同的.meas语句选择。

名称是一个包含测量结果的变量，所以名称是必需的，以便将结果用作其他.MEAS语句中的参数。

trig_variable, targ_variable和out_variable是源自仿真的向量，例如电压向量v(out)。VAL = val需要一个实数val。val也可以是实参或用{}括起来的表达式，它可以扩展为实数。

如果.meas类型为tran，则TD = td和AT = time期望一个时间值。对于AC分析，AT将是一个频率值，而TD将被忽略；对于DC分析，AT是电压（或电流），而TD被忽略。RISE和FALL预期也会如此。频率和时间值可以从0开始并扩展为正实数。直流分析中独立（标度）轴的电压（或电流）输入可以以任意实数值开始或结束。

.MEAS语句的结果可以用作其他.MEASURE语句中的参数。在模拟中其他位置的.param语句中定义为参数的值可以用作值以及.meas语句中的表达式。可以在.meas语句的值和表达式中使用函数，但那些将时间作为变量调用的函数（例如delay(x, time)，导数函数ddt(x)和积分函数sdt(x)或idt(x)）除外）。

(2) .meas命令的类型，语法和示例

1) 种类

.MEASURE语句有两种基本的不同类型。那些引用横坐标的点（沿着水平或x轴（即.tran分析的时间轴或.ac分析的频率轴）绘制的自变量）和.MEASURE语句横坐标上的范围。就本教程而言，第一种.MEASURE语句将称为Point，第二种将称为Range。

2) 指向

指向水平轴上单个点的.MEAS语句用于在特定点或满足条件时打印数据值或其表达式。使用以下语法：
.MEAS [SURE] [AC | DC | OP | TRAN | TF | NOISE][<find|deriv|param>][[WHEN | AT =]][TD =][<rise|fall|cross>= [| LAST]]

分析类型是可选的，但如果使用，则指定.MEAS语句适用的分析类型。这允许将.MEAS语句仅应用于某些分析类型。测量结果包含在名为name的变量中。然后，变量名可以允许将结果用作其他.MEAS语句中的参数。

下面是Point类型.MEAS语句的示例，这些语句返回的值指向水平轴上的单个点：

```
.MEAS TRAN res1 FIND V(out) AT=5m
```

在t = 5ms处将V(out)的值打印为res1。

```
.MEAS TRAN res2 FIND V(out)*I(Vout) WHEN V(x)=3*V(y)
```

第一次满足条件V(x) = 3 V(y)时，打印表达式V(out) | (Vout)的值。这将被标记为res2。

```
.MEAS TRAN res3 FIND V(out) WHEN V(x)=3*V(y) cross=3
```

第三次满足条件V(x) = 3 * V(y)时打印V(out)的值。这将被标记为res3。

```
.MEAS TRAN res4 FIND V(out) WHEN V(x)=3*V(y) rise=last
```

当逼近V(x)增加3 V(y)时，最后一次满足条件V(x) = 3 V(y)时打印V(out)的值。这将被标记为res4。

```
.MEAS TRAN res5 FIND V(out) WHEN V(x)=3*V(y) cross=3 TD=1m
```

第三次满足条件 $V(x) = 3 * V(y)$ 时打印 $V(out)$ 的值，但是直到时间达到1ms才开始计数。这将被标记为res5。

```
.MEAS TRAN slope DERIV V(out) AT=5m
```

在标记为斜率的 $t = 5ms$ 处打印 $V(out)$ 的斜率值。

关键词	间隔执行操作
AVG	计算平均值
最大值	求出最大值
最低	找出的最小值
聚丙烯	求出峰-峰
均方根值	计算的均方根
INTEG	整合

```
.MEAS TRAN res6 PARAM 3*res1/res2
```

打印 $3 * res1 / res2$ 的值。该格式对于打印其他.meas语句结果的表达式很有用。并非要在要评估的表达式中包含基于直接模拟数据的表达式，例如 $V(3)$ ，但如果存在，则数据取自最后的模拟点。结果将标记为res6。

请注意，在以上示例中，虽然结果指向的是沿水平轴的单个点，但它是基于纵坐标数据（因变量在垂直轴或y轴上绘制的）。如果不需要坐标信息，则.MEAS语句在横坐标上打印发生测量条件的点：

```
.MEAS TRAN res6 WHEN V(x)=3*V(y)
```

第一次满足条件 $V(x) = 3 * V(y)$ 时打印。这将被标记为res6。

在AC分析中类似：

```
.MEAS AC acres6 WHEN mag(V(x))=1/sqrt(2)
```

打印满足条件 $\text{mag}(V(x)) = 1 / \text{sqrt}(2)$ 的最低频率。这将被标记为acres6。

3)范围

.MEAS语句的另一种类型是指横坐标上的一个范围（沿水平或x轴（即.tran分析的时间轴或.ac分析的频率轴）绘制的自变量。使用以下语法：

语法：.MEAS [AC | DC | OP | TRAN | TF | NOISE][<avg|max|min|pp|rms|integ>][TRIG [[VAL] =]] [TD =][<rise|fall|cross=>][TRIG [[VAL] =]] [TD =][<rise|fall|cross=>]

横坐标的范围由“TRIG”和“TARG”定义的点指定。如果省略，则TRIG点默认为模拟的开始。

同样，TARG点默认为模拟数据的结尾。如果TRIG，TARG和之前的WHEN点的所有三个均被省略，则.MEAS语句将在整个数据范围内运行。可以在一定间隔内完成的测量操作的类型为：

如果未指定任何测量操作，则.MEAS语句的结果是TRIG和TARG点之间沿横坐标的距离。

下面是示例间隔.MEAS语句:

```
.MEAS TRAN res7 AVG V(NS01)+ TRIG V(NS05) VAL=1.5 TD=1.1u FALL=1+ TARG V(NS03)
VAL=1.5 TD=1.1u FALL=1
```

在1.1us之后打印从V (NS05) 的第一个下降到1.5V的V (NS01) 的平均值, 在1.1us之后打印 V (NS03) 的第一个下降到1.5V的平均值。这将被标记为res7。

对于.AC分析, 仅考虑表达式复杂值的实部, 即可将复杂数据的条件表达式转换为实际条件。

这是一个示例说明如何在另一个.MEAS语句中使用.MEAS语句的结果。在这种情况下, 将计算3dB带宽:

```
.MEAS AC tmp max mag(V(out)); find the peak response and call it "tmp"
.MEAS AC BW trig mag(V(out))=tmp/sqrt(2) rise=1
+ targ mag(V(out))=tmp/sqrt(2) fall=1ast
```

打印两点之间的频率差, 其峰值响应降低3dB。

注意: .AC分析得出的数据很复杂, .measurement语句结果也是如此。

但是, 等式仅指复数的实部, 即“ $\text{mag}(V(\text{out})) = \text{tmp} / \sqrt{2}$ ”等效于 $\text{Re}(\text{mag}(V(\text{out}))) = \text{Re}(\text{tmp} / \sqrt{2})$ 。

.NOISE分析的AVG, RMS和INTEG操作与分析类型不同, 这是因为噪声在整个频率的正交范围内更有意义地积分。

因此, AVG和RMS都给出RMS噪声电压, 而INTEG给出积分的总噪声。因此, 如果添加SPICE指令

```
.MEAS NOISE out_totn INTEG V(onoise)
.MEAS NOISE in_totn INTEG V(inoise)
```

总的集成输入和输出参考均方根噪声将打印在仿真报告中。

2. .meas语句

LTspice中的.meas语句功能强大, 但是要花些时间才能了解如何使用它们并获得最佳结果。

因此, 强烈建议在使用.meas语句模拟之前, 应设置并进行简化的测试模拟, 并尝试不同的设置。

为了帮助实现这一点, 以下示例说明了可以使用.MEAS语句进行的一些测量:

- (1) 测量WaveForm参数01
- (2) 测量WaveForm参数02
- (3) 测量稳定时间
- (4) 查找增益和带宽
- (5) 如何使用.meas语句测量周期和频率

有关.meas语句的更多信息, 请在LTspiceXVII工具中的“帮助”中查找.measure或在此处访问:

<http://ltwiki.org/LTspiceHelpXVII/LTspiceHelp/html/DotMeasure.htm>

更多示例

```
.meas tran inv_delay 2 trig v(in) val='vp/2' td=1n fall=1 targ v(out)
val='vp/2' rise=1
.meas tran test_data1 trig AT=1n targ v(out) val='vp/2' rise=3
```

```

.meas tran out_slew trig v(out) val=' 0.2vp' rise=2 targ v(out) val=' 0.8vp'
rise=2
.meas tran skew when v(out)=0.6
.meas tran skew2 when v(out)=skew_meas
.meas tran skew3 when v(out)=skew_meas fall=2
.meas tran skew4 when v(out)=skew_meas fall=LAST
.meas tran skew5 FIND v(out) AT=2n
.meas tran v0_min min i(v0) from='dfall' to='dfall+period'
.meas tran v0_avg avg i(v0) from='dfall' to='dfall+period'
.meas tran v0_integ integ i(v0) from='dfall' to='dfall+period'
.meas tran v0_rms rms i(v0) from='dfall' to='dfall+period'
.meas dc is_at FIND i(vs) AT=1
.meas dc is_max max i(vs) from=0 to=3.5
.meas dc vds_at when i(vs)=0.01
.meas ac vout_at FIND v(out) AT=1MEG
.meas ac vout_atd FIND vdb (out) AT=1MEG
.meas ac vout_max max v(out) from=1k to=10MEG
.meas ac freq_at when v(out)=0.1
.meas ac vout_diff trig v(out) val=01 rise=1 targ v(out) val=01 fall=1
.meas ac fixed_diff trig AT=10k targ v(out) val=0.1 rise=1
.meas ac vout_avg avg v(out) from=10k to=1MEG
.meas ac vout_integ integ v(out) from=20k to=500k
.meas ac freq_at2 when v(out)=01 fall=LAST
.meas ac vout_rms rms v(out) from=10 to=1G

```

10.2.3 .meas语句的准确性

.meas语句是对模拟后的数据执行的，换句话说，是在模拟完成并存储了来自模拟后的数据之后。

重要的是要注意，LTspice生成的数据为浮点格式。

LTspice在压缩级别上具有可选设置，该设置适用于它在存储时生成的数据。浮点格式和数据压缩的结合意味着，由于存储数字所使用的有限精度，数值精度存在一些小误差。这样的另一个结果是，.meas语句输出的准确性受到LTspice使用默认数据压缩设置使用的任何波形数据存储后的准确性的限制。为了限制嘉立创EDA服务器处理的数据量，用户无法使用LTspice本地安装中通过控制面板进行的完全压缩控制。

但是，可以通过将以下.option语句作为spice指令包含在模拟示意图中，来降低应用于存储数据的压缩级别（通常这足够了）：

```
.option plotwinsize = 0
```

当然，通过降低压缩级别来提高精度可能会导致在仿真过程中生成大量数据，从而超出嘉立创EDA内部数据存储限制并生成一个“Your Simulation Results are too large”警告。

同样，AC分析 (.ac) 结果的准确性很大程度上取决于每十倍频程/八度音阶/扫频的点数。点的数量越多，结果将越准确，但是如上所述，存在产生过多数据的风险。

鉴于这些准确性考虑因素，在测试条件时注意：“什么时候 = “要求条件彼此交叉，而不是要求精确相等，因为数值精度的错误可能无法满足，这是更可靠的方法。当试图精确地发现信号或峰值的峰值可能出现在x轴（即时间或频率轴）上时，这尤其成问题。找到最大值（MAX）很容易，但可能无法将出现该最大值的x轴值用作参数。因此，当信号等于MAX值返回x轴值时，很想使用均等测试。有时这可能有效，而其他时候则可能无效。

有几种方法可以解决此问题，但是最可靠的解决方案是测试从峰值的低端接近时和从高端偏离时，信号越过一点小于MAX的点。为此，可以在上升时将信号与最大值减去和偏移（或最大值乘以仅小于1的数字）进行比较，然后再与下一个FALL进行比较。当出现峰值时，RISE测试在x轴上返回一个值，而在峰值上方，FALL测试则返回另一个值。然后，由用户决定是使用一个还是另一个函数，或者使用某些函数（例如两者的平均值或几何平均值）来更好地估计峰的实际位置。

由于函数的斜率在峰值或谷值处穿过零点，因此，一个更复杂的解决方案（尽管仅适用于瞬态分析（即仅适用于时域信号）并且可能不适用于有噪声的信号）可能是：使用具有ddt(x)函数的行为源来生成被测信号的导数，然后测试导数过零点，以找到峰值或谷值的确切时间。

表达方式

运算符优先级

表达式可用于定义组件值并帮助配置电压和电流源。

在表达式中，括号的优先级是最高的，下表根据优先级对运算符进行说明，对于同等级的运算符，计算方式从左到右，函数仅对实数值起作用。

运算符	优先级	描述	运算符	优先级	描述
-	1	求反	<=	5	小于等于
!	1	非	>=	5	大于等于
**	2	功率	<	5	小于
*	3	乘	>	5	大于
/	3	划分	&	6	与
+	4	加	≥1	7	或
-	4	减	^	7	异或
==	5	等于	lf(x,y,z)	8	三元运算符

数字零用于表示布尔False。其他任何数字均表示布尔值True。

逻辑运算符的结果为1或0。0为False，1为True。

以下为用于定义电压源值的逻辑运算符的一些示例：

V1或1 0 {1 | 0}; V2和2 0 {1 & 0}; V3not 3 0 {! 1}; V4not 6 0 {! 0}。

注意，当直接在原理图中的组件和描述字段中使用表达式时，表达式必须位于同一行上。

使用表达式定义组件值

一阶RC高通滤波器的-3dB频率fc由下式给出：

$$f_c = 1 / (2 \pi R * C)$$

如果fc为10kHz，R为1k时：

$$C = 1 / (2 \pi 1k * 10k)$$

假设需要将高通滤波器的输出衰减A倍，高通滤波器的R的值仍为1k，但必须将其分成两个电阻，其值由下式给出：

$$R1 = (R1 + R2) * 1 / A$$

$$R2 = (R1 + R2) * (1 - 1 / A)$$

如果我们选择A = 3，则对于R = 1k的选定值

$$R1 = 1k * 1/3, R2 = 1k * 2/3$$

只需将这些表达式的右侧输入组件值字段，并用大括号括起来，如下所示：

{expression}

这些组件的值将直接由这些表达式定义，如本示例中的Rupper和Rlower所示。

使用表达式配置电压和电流源

在此示例中，PULSE源V1配置为生成具有20us上升和下降时间，5kHz频率以及完全相等的高低时间的信号：换句话说，是200us周期的慢边沿方波和50%的占空比。

由于PULSE信号源是按照Trise（上升时间）和Ton（下降时间）定义的，因此将从上升（前沿）开始到下降（后沿）开始的时间间隔视为“脉冲宽度”会有所帮助，宽度：

$$Twidth = Trise + Ton$$

因此，根据Trise和Twidth定义PULSE源是一件简单的事情，而不必手动计算Ton（下降时间）的值，因为：

$$Ton = Twidth - Trise$$

由此我们还可以看到，如果将“占空比”定义为：

$$D = Twidth / Tperiod$$

然后对于给定的D（占空比）：

$$Ton = D * Tperiod - Trise$$

最后，有时可以根据频率来定义PULSE源的周期：

$$Frequency = 1 / Tperiod$$

要在源中使用表达式，只需将其替换为您要计算的值，然后将其括在大括号中，如下所示：

{expression}

以下示例说明了表达式的使用：

参数

通常，组件的值直接在组件的value字段中指定。但是，在某些情况下，希望能够一次设置或更改几个组件的值，而不必编辑每个单独的组件值。

用于说明几个早期示例的简单电阻衰减器电路具有一个1k的电阻和两个2k的电阻。代替将值1k输入到一个电阻2k中的每个电阻中，可以设置两个变量来表示这些值。

要创建两个变量R1val = 1k和R2val = 2k，需要.param在逻辑示意图中放置一条语句并将其转换为spice指令（通过执行以下操作：Text Attributes> Text type = spice）：然后使用参数在其值字段中定义组件的值。通过在原理图中放置多个.param语句并设置为注释或者是Spice仿真。

值得注意的是可以同时在一个电路中使用多个.param语句，但是为了避免重复定义引起的冲突，每个语句中的参数标识符名称必须唯一。

.param语句的语法为：

```
.param <param_name1> = <value1> <param_name2> = <value2> ... <param_nameN> = <valueN>
```

也通过使用“+”延续字符，.param语句可以包含多行：

```
.param  
+ <参数名称1> = <值1>  
+ <参数名称2> = <值2>  
+ ...  
+ ... <参数名称N > = <值N>
```

参数可以是数字，其它定义参数或由数字和定义的参数任意组合组成的表达式。参数标识符名称必须以字母字符开头，其他字符必须是字母和数字。!、#、\$、%、>、[、]、_、~、~~等作为特殊字符。

```
.param  
=  
=  
= <{{表达式1}}>  
= <{表达式2的一部分  
表达式2的延续}>  
...  
=
```

在选择换行符时必须格外小心，以清楚地区分将“+”字符用作延续字符与将数学上将“+”字符用作表达式中加法运算符的区别。

例如勾股定理中：

(1) .param x = 3 y = 4

斜边= {sqrt (x ^ 2 +
y ^ 2) }

(2) .param x = 3 y = 4

斜边= {sqrt (x ^ 2 +
• y ^ 2) }

这是.param语句中有效的表达式方式，可以得到预期的结果，再看以下几种：

(3) .param x = 3 y = 4

斜边= {sqrt (x ^ 2
y ^ 2) }

(4) .param x = 3 y = 4

斜边= {sqrt (x ^ 2 +
y ^ 2) }

(5) .param x = 3 y = 4

斜边= {sqrt (x ^ 2
• y ^ 2) }

(3) (4) (5) 这三种可能会产生意想不到的结果或可能因错误而仿真失败。需要注意的是：变量TIME和TEMP不是有效的标识符名称，因为在LTspice中，它们是保留名称。另外如果要在组件值字段中使用参数，必须将其括在大括号中：{...}

如果一个参数用于定义另一个参数的值，也应将其括在大括号中，如以下示例所示：

```
R3val={R2val}
```

尽管此处未显示，但必须使用大括号将包含参数的表达式括起来，然后再使用这些表达式来定义其他参数，因此，即使上面显示的示例中并非必须使用大括号，始终将其括起来也是一种好习惯大括号中的参数定义中使用的任何参数或表达式。“行为源”中使用的表达式中的参数不应放在大括号中。

参数的基本用法如下所示：

[使用参数示例01](#)

表达式和参数可以组合在一起，以简化和自动化组件和源配置值的计算，如以下示例：

[在表达式中使用参数示例01](#)

功能

通过允许创建包括其他参数的非线性函数在内的表达式，函数极大地扩展了参数和表达式的功能。

预定义功能

嘉立创EDA具有许多预定义的功能。除了必须手动复制和粘贴的softlim (ip, lo, hi, sharp) 函数外，所有这些函数都立即可用在表达式中，因为它们是LTspice内置的。

有关功能的完整列表以及有关其用法的信息，请查阅LTspice软件中的“帮助”说明或者以下说明：

[任意电压源和电流源说明](#)

下表列出了一些最常用的函数及介绍：

说明	描述	说明	描述
abs(x)	绝对值	limit(x, L, U)	以L和U范围内x的值
acos(x)arccos(x)	反余弦	ln(x)log(x)	自然对数
acosh(x)	弧双曲余弦的实部	log10 (x)	以10为底的对数函数
asin(x)arcsin(x)	反正弦	max(x,y)	最大值
asinh(x)	弧双曲正弦	min(x,y)	最小值
atan(x)arctan(x)	反正切	pow(x,a)	x的实数部分升为a的幂。零表示负x, 小数a
atan2(y,x)	给定 X、Y 坐标的反正切值	pwr(x,a)	x的绝对值升为a的幂
atanh(x)	反双曲正切	pwr(x,a)	pwr (x) 乘以x的符号
buf(x)	如果x> 0.5, 为1, 反之为0	sgn(x)	x的符号。x <0时返回-1, x == 0时返回0 (其中==表示'完全等于'), x > 0时返回1
ceil(x)	等于或大于x的整数	sin(x)	x的正弦
cos(x)	余弦	sinh(x)	x的双曲正弦
cosh(x)	双曲余弦	softlim(ip, lo, hi, sharp)	ip的值, 由lo和hi界定, 线性和受限区域之间的过渡锐度由'sharp'定义。
exp(x)	幂函数	sqrt(x)	x平方根的实部。零代表负数x
floor(x)	等于或小于x的整数	tan(x)	x的切线
if(x,y,z)	如果x> 0.5, 则y否则为z	tanh(x)	x的双曲正切
placeholder	占位符	u(x)	单位步长, 即如果x> 0, 则为1, 否则为0
int(x)	向下取整	uramp(x)	x如果x> 0, 否则为0
inv(x)	如果x> 0.5 为0反之为1		

请注意, 此列表中的所有功能均可在嘉立创EDA中使用。参考以下工程例程:

[点击查看工程](#)

13.2 用户定义的功能

在某些情况下，可能需要在原理图中的多个位置使用某个功能，或者在几个不同的原理图中有用的功能。为了避免在每次需要时都将复杂的表达式复制并粘贴为文本块，.func语句使创建用户定义的函数成为可能。

.func语句的语法非常简单：

```
.func myfunctionname(a,b,c, ...n) {expression of functions of a, b, c ... n}
```

例如：.func hypotenuse(x,y) {sqrt(x^2+y^2)}定义一个函数，该函数计算边长为x和y的直角三角形的斜边的长度。

以这种方式在原理图中定义了功能之后，就可以在该原理图中该功能的任何位置使用该功能。但是，必须在使用它的每个项目的每个工作表中都定义它，如果在使用过程中发觉得该函数非常好用，欢迎联系我们加入系统函数中。

要使用该功能，只需将其粘贴hypotenuse(x,y)到所需的位置，然后用所需的变量替换“x”和“y”即可。因此，例如在参数表达式中使用该函数：

```
.param a=3 b=4 hypot=hypotenuse(a,b)
```

或在电流输出B源中，由两个电压V（一侧）和V（另一侧）驱动：

```
I=hypotenuse(V(oneside), V(otherside))
```

在上表中链接到的模拟中，以及自动附加的预定义功能的所有嘉立创EDA仿真网表中，都有许多由.func语句定义的功能示例。请注意，当在.func语句中使用，表达式可以使用'+'延续字符来换行。

上表中的softlim (ip, lo, hi, sharp) 函数是一个示例：

```
.func softlim (ip, lo, hi, sharp)
+ {uramp (( (u (ip / 2 + 0.125 / (max (abs (sharp), 1) * 0.5 / (hi-lo) ) -hi /
2) ) * (max (abs (sharp), 1) * 0.5 / (hi-lo) ) *
-1 * (uramp (0.25 / (max (abs (sharp), 1) * 0.5 / (hi-lo) ) + hi-ip) ** 2) +
(1-u (ip / 2 + 0.125 / (max (abs (sharp), 1) * 0.5 / (hi-lo) ) -hi / 2) ) * (ip
-hi) + hi) - (hi + lo) / 2) -
+ uramp (-1 * ((1-u (ip / 2-0.125 / (max (abs (sharp), 1) * 0.5 / (hi- lo) ) -
lo / 2) ) * (max (abs (sharp), 1) * 0.5 / (hi-lo) ) *
+ uramp (ip + 0.25 / (max (abs (sharp), 1) * 0.5 / (hi-lo) ) -lo) ** 2 +
+ u (ip / 2-0.125 / (max (abs (sharp), 1) * 0.5 / (hi-lo) ) -lo / 2) * (ip-
lo) + lo) + (hi + lo) / 2) + (hi + lo) / 2}
```

仿真指令

目前，我们已经会使用直接仿真 (F8) 以及仿真设置 (CTRL+J) 对电路进行模拟仿真，接下来将展示如何使用spice指令对电路进行灵活的控制与仿真。

Spice语句的指令文本需要在画布中放置一个文本，然后选择该文本，在右侧的属性栏中将文本类型改为Spice仿真。

probe指令

在前面介绍信号探测章节中介绍了如何在仿真图中添加万用表和示波器测量电路中的电压关系，本节中将介绍使用“.probe”和“.save”指令测量电路中的电压和电流。

在LTSpice中“.probe”和“.save”指令功能完全一样，为了简化本文档的内容，“.probe”将引用并演示功能，但所有注释均同样适用于“.save”指令。

.probe指令语法

.probe指令的格式为：.probe+用空格分隔的电压或电流节点。所需要探测的信号必须与.probe保持在同一行，不能使用换行符分开。

电压表达形式：netname或V(netname)，其中“netname”是要在其上探测电压的网络的名称；

电流表达形式：I (V_source_name) ; V_source_name表示待测电流流过的电压源的名称；

[点击查看仿真案例](#)

文档格式

嘉立创EDA标准版文档格式

常见问题

编辑器

[联系我们](#)

[更新记录](#)

[视频书籍](#)

[视频教程](#)

[PDF下载](#)

[书籍购买](#)

[生产与下单](#)

[怎么生成生产文件？怎么在嘉立创EDA下单购买元件和 PCB？](#)

[下载的 BOM 和 Gerber 等保存在哪里？](#)

[文档保存与恢复](#)

[可以不联网/离线使用吗？](#)

[有单机版/离线版的安装包吗？](#)

[文档会保存在哪里/可以保存在本地吗？](#)

[怎么找回被误删的文件？](#)

[导入导出](#)

[如何导入 AD\(Altium Designer\)、Protel 99se的文件](#)

[如何导出嘉立创EDA的库到 AD 文件](#)

[导出 AD 格式时显示不正常？](#)

[库相关问题](#)

[符号库](#)

[创建符号库文件和PCB封装文件](#)

[如何为符号库绑定/指定封装](#)

[原理图相关](#)

[如何符号库引脚/网络标签表示低电平，如何在文字上方添加横线](#)

[为什么原理图的网络有可能会增加一个括号和数字，例如P1_1\(1\)？](#)

[PCB相关](#)

[如何在PCB输入中文/添加中文字体](#)

[如何绑定3D模型？](#)

[如何修改 PCB 画布单位，栅格大小？](#)

[如何批量修改属性/批量修改丝印大小](#)

[如何锁定元素](#)

[如何添加泪滴](#)

- 如何拼板
- 如何铺铜
- 为什么有时候铺铜要很久
- 为什么我铺铜后没有显示出铺铜填充
- 为什么两个相同网络的铺铜重叠后飞线没有消失
- 为什么我有飞线有导线看不见，但是网络名可以看见？
- 铺铜怎么设置禁止铺铜区域(挖空铺铜区)
- 怎么设置禁止布线区
- 如何画单层板？
- 如何在PCB添加跳线或测试点？
- 怎么在PCB画槽/开槽/槽孔
- 如何在PCB中阻焊层开窗/暴露铜箔
- 为什么画PCB感觉很卡顿
- 为什么自动布线失败或提示无效PCB
- 为什么导入更新会出现封装被删除并新增，重新布局

其他问题

- 如何进行多窗口联动
- 如何在工程创建多个独立的PCB和独立的原理图
- 请优先使用最新的谷歌浏览器或火狐浏览器
- 如何解决浏览器显示原理图字体过大问题
- 属性面板网格和栅格有什么区别？
- 如何更新编辑器到最新版本
- 嘉立创EDA和嘉立创是同一家公司吗？

嘉立创EDA客户端

- 客户端下载
- 客户端视频教程
- 客户端运行版本
- 客户端设置
- 导入云端工程到本地
- 数据存储目录
- 常见问题
 - Windows 版本
 - Linux 版本
 - Mac 版本
 - 其他

关于升级

查看当前版本

版本号规则

升级方法

- 1. Firefox**
- 2. Chrome**
- 3. 客户端**

个人中心常见问题

- 如何修改密码
- 回收站如何使用，如何恢复误删的文件
- 如何转移个人工程/库到团队中
- 为什么私信不能连续发送
- 怎么关注好友
- 怎么删除工程
- 工程管理
 - 新建工程
 - 所有工程
 - 我创建的
 - 归档工程
 - 我收藏的
 - 工程管理
 - 工程文档
 - 工程版本

- 工程附件
- 工程成员
- 工程设置

- 团队管理

- 寻求帮助

- 微信支持

- 电话支持

- 邮件支持

- 社区支持

- 业务合作

- 企业方向

- 高校方向

- 运营推广方向

- 其他

- 业务合作

- 企业方向

- 高校方向

- 运营推广方向

介绍

- 简介

- 教程PDF下载

- 欢迎使用嘉立创EDA/LCEDA

- 嘉立创EDA盈利模式

- 嘉立创EDA可提供

- 浏览器设置

- 工程设计流程

- 使用界面

- 筛选器

- 导航面板

- 工程**

- 常用库**

- 设计管理器**

- 元件库**

- 顶部主菜单栏

- 预览窗口

- 电气工具和绘图工具

- 画布属性

- 画布

- 创建工程或文件

- 原理图绘制

- PCB设计

- 库管理

- 版本控制

- 视频教程

- 创建新版本

- 切换版本

- 版本管理

- 分享

- 工程成员

- 个人偏好

- 快捷键

- 共用快捷键

- 原理图快捷键

- PCB快捷键

- 基础技巧

- 保存文件在本地

- 历史记录

- 文档恢复

- 多窗口联动
- 改变画布大小
- 光标样式
- 批量清除
- 鼠标左击
- 鼠标右击
- 鼠标双击
- ESC键
- 选择多项目
- 放大缩小
- 平移
- 旋转
- 翻转
- 对齐与分布
- 移到顶层或低层
- 文档标签切换

原理图设计

- 原理图画布设置

 - 画布设置

 - 网格

 - 栅格

- 电气工具

 - 导线

 - 总线

 - 总线分支

 - 网络标签

 - 标识符

 - 网络端口

 - 非连接标志

 - 电压探针

 - 引脚

 - 组合与解散

- 绘图工具

 - 文档设置

 - 自定义图纸

 - 线条

 - 贝塞尔曲线

 - 圆弧

 - 箭头

 - 文本

 - 图片

 - 拖移

 - 画布原点

- 元件库

 - 常用库

 - 元件库

 - 放置元件子库

 - 符号向导

- 元件属性

 - 元件属性

 - 元件引脚信息修改

 - 引脚编号与仿真引脚编号

- 元件调整

- 元件编号

 - 编号起始

 - 编号冲突

 - 编号标注

- 多页原理图

- 设计管理器
- 封装管理器
 - 视频教程
 - 封装管理器
 - 更新封装
- 查找相似对象
 - 原理图中查找元件
 - 查找相似对象
- 生成PCB
 - 原理图转PCB
 - 校验封装
 - 生成PCB
 - 更新PCB
- 交叉选择
- 布局传递
- 从元件库更新元件
- 重置元件ID
- 全局删除
- 原理图模块
 - 创建方式
 - 使用方法
- 原理图主题
- BOM表导出
- 导出网表
- 报告错误

PCB设计

- PCB画布设置
- PCB工具
 - 导线
 - 焊盘
 - 过孔
 - 文本
 - 圆弧
 - 圆
 - 移动
 - 通孔
 - 图片
 - 画布原点
 - 量角器
 - 连接焊盘
 - 铺铜
 - 实心填充
 - 尺寸与量测
 - 矩形
 - 组合与解散
- 层与元素工具
 - PCB层工具
 - 元素筛选工具
- 层管理器
 - 层管理器
 - 设计单层PCB
- 飞线
- PCB网络
- 边框
- 布线
 - 导线
 - 导线属性
 - 使用技巧

- 导线长度
- 删除线段
- DRC安全线圈
- 布线冲突
- 差分线绘制
- 等长线绘制
- 自动布线
 - 云端自动布线
 - 本地自动布线
 - 使用第三方自动布线工具
- 铺铜
 - 铺铜
 - 铺铜属性
 - 使用技巧
 - 注意事项
 - 常见问题
 - 铺铜管理器
- 实心填充
- 阵列分布
 - 阵列副本
 - 阵列分布
- 泪滴
- 设计规则检查DRC
 - 设计规则设置
 - 为网络设置规则
 - 检查DRC错误
 - DRC错误类型
- 封装属性
- 设计管理器
- 导入变更
 - 导入变更
- 拼板
 - 自带拼板
 - 手动拼板
- 绘制无原理图PCB
- PCB预览
 - 2D预览
 - 3D预览
- 3D模型管理器
- 3D模型管理器**
 - PCB信息
 - PCB模块
 - 创建方式
 - 使用方法
 - 生成制造文件Gerber
 - 生成Gerber
 - 预览Gerber
 - BOM表导出
 - 导出坐标
 - 导出DXF
 - 元件/PCB下单流程
 - 元件购买
 - 准备工作
 - 一键下单元器件
 - 手动下单元器件
 - PCB下单
 - 一键下单PCB
 - 手动下单PCB

- SMT下单
 - 一键下单SMT
 - 手动下单SMT
- 常见问题

符号库

- 创建符号库
- 符号库
- 创建符号库

1. 新建符号库:
2. 绘制图形符号
3. 编辑引脚
4. 修改细节
5. 设置属性
6. 设置原点
7. 保存符号库

- 符号库
- 创建符号库子库
- 元件子库
- 符号库向导
 - 基础功能
 - 高级功能
- 符号属性
 - 引脚属性
 - 管脚方向
 - 管脚属性
 - 符号自定义属性
 - 符号值作为名称显示在原理图
- 编辑库文件
 - 个人库文件
 - 编辑其他库文件
 - 编辑在原理图中的库

封装库

- 创建封装库
- 封装库
- 创建封装库/封装库
 - 焊盘属性
- 封装向导
- 编辑封装文件
 - 在元件库里面打开编辑
 - 在PCB里面编辑
- 智能尺寸
 - 智能尺寸
 - 尺寸检查
- 新建3D模型库
 - 导入3D文件
 - 编辑3D库
- 封装库命名参考规范
- 导入图片
 - 原理图中导入图片
 - PCB中导入图片
- 导入DXF文件

文件导入

- 导入Altium Designer
 - 注意事项
 - 导入步骤
 - 生成ASCII文件格式
 - 导入Altium库文件
 - 批量转换ASCII文件

- 常见问题
- 已知问题
- Eagle 原理图/PCB/库文件
- KiCAD 原理图/PCB/库文件
- LTspice原理图文件
- 导入Eagle文件
- 导入KiCAD文件

文件导出

- 导出原理图
 - 用PDF/PNG/SVG导出原理图
- 文件导出
 - 导出原理图为Altium Designer格式
 - 下载原理图的嘉立创EDA格式文档
 - 打印原理图
- BOM表导出
- 导出网表
- 导出PCB
 - 导出 PCB 为 PDF/PNG/SVG
 - 导出PCB为Altium Designer格式
 - 下载PCB文档
 - 导出打印并自制PCB板
- 生成制造文件Gerber
 - 生成Gerber
 - 预览Gerber
- 导出坐标
- 导出DXF
- 导出 3D 文件
- 导出Altium格式
 - 导出须知
- 文件导出
- 导出原理图
 - 导出PCB
 - 已知问题
 - 导出Altium格式的库文档
- 导出SVG源码文件
- 导出EasyEDA源码文件
- 视频教程
 - 嘉立创EDA快速入门教程
 - 嘉立创EDA使用教程
 - 嘉立创EDA介绍
 - 特色功能
 - 元件库与3D模型
 - 电路设计及设计技巧
 - 制造与生产
 - 嘉立创EDA使用技巧
 - 原理图与符号库操作
 - PCB与封装库操作
 - 制造文件Gerber
 - 嘉立创EDA项目实战
 - 暑期训练营2020
 - 每月项目直播回放
 - 技新课堂
 - 嘉立创EDA小制作

仿真教程

- 仿真常见问题及说明
 - 1 仿真图中没有GND (地)
 - 2 电源及信号源缺失
 - 3 模型缺失

4 仿真超时

仿真 - 介绍

嘉立创EDA中的仿真工具适用范围:

本文档讲了什么

此文档不适用什么

仿真模型及仿真库

Spice模型介绍

一个器件有多个模型?

为什么有的器件没有模型?

Spice模型与实际器件

仿真库

1 仿真模型库说明

2 模型验证

2.1 .MODEL模型验证

2.2 .SUBCKT模型验证

3 模型新增

4 关于编写模型数据

仿真编号与引脚编号

元件编号和仿真前缀

PCB和Spice引脚号

命名及单位说明

常用单位说明

信号检测

电压测量

电流测量

万用表测量

电压源和电流源

直流源 (DC) 配置:

正弦源 (SINE) 配置:

脉冲源 (PULSE) 配置:

指数源 (EXP) 配置:

单频调频源 (SFFM) 配置:

分段线性源 (PWL) 配置:

行为源:

交流电源配置

初始启动条件

背景

设置通过器件的初始电压和电流

使用1V电源帮助启动

使用“关闭”选项来帮助启动

仿真分析

瞬态 (时域) 分析 .TRAN

静态工作点分析.OP

直流传递函数分析.TF

DC扫描分析.DC

小信号频域分析.AC

设置初始条件.IC

测量结果分析

仪表分析

命令分析

表达方式

运算符优先级

使用表达式定义组件值

使用表达式配置电压和电流源

参数

功能

预定义功能

仿真指令

probe指令
.probe指令语法

文档格式

嘉立创EDA标准版文档格式

概述

通用文档格式

分隔符
文件头 head
画布配置 canvas
图元数据 shape
边界框数据 BBox
层配置 layers (PCB)
元素的可选与显示配置 objects (PCB)
偏好设置 preference (PCB)
drc检测规则 DRCRULE (PCB)
自动布线规则 routerRule (PCB)
网络颜色 netColors (PCB)
仿真数据(波形图) waveForm

图元格式

原理图部分

1.简单图元

折线 polyline
导线 wire
总线 bus
多边形 polygon
矩形 rect
图片 image
圆 circle
椭圆 ellipse
直线 line
路径 path
圆弧 arc
文本 annotation
表格图片 pimage

2.复杂图元

引脚 pin
连接点 junction
标识符 netflag
网络标签 netlabel
总线分支 busentry
箭头 arrowhead
无连接标志 noconnectflag

3.特殊图元

形状 SHEET
器件 schlib

PCB部分

1.简单图元

导线 TRACK
矩形 RECT
圆 CIRCLE
文本 TEXT
圆弧 ARC

2.复杂图元

焊盘 PAD
过孔 VIA

- 通孔 HOLE
- 铺铜 COPPERAREA
- 实心填充 SOLIDREGION
- 尺寸 DIMENSION
- 量角器 PROTRACTOR

3.特殊图元

- 形状 SVGNODE
- 内电层 PLANEZONE
- 封装 FOOTPRINT
- 图纸 SHEET

原理图文件格式

PCB文件格式

更新日志

编辑器API

- 如何使用API

EasyEDA API Plug

- Why Need API
- How to use API
 - How to find the plug entrance
 - Extensions Setting
 - Scripts
 - Run Script code

坐标系统和单位

- 坐标系统
- 单位

API列表

API List

- Get EasyEDA Source
- Apply Source
- Get Shape
- Delete Shapes
- Update Shape
- Create Shape
- UI
 - Create Toolbar Button
 - Create Extension Menu
- Create Dialog
- Command List
 - Clone
 - Delete
 - Rotate
 - Rotate Left
 - Rotate Right
 - Fliph
 - Flipv
 - Align Left
 - Align Right
 - Align Top
 - Align Bottom
- Selection
 - Select
 - Select None
 - Get Selected Ids
- Move
 - Move Objects
 - Move Objects To
- SetOriginXY

概述

2020.08.11

这里的**文档格式**即嘉立创EDA标准版的**文件源码格式**，分为两种类型：

- **sch**类型文档
- **pcb**类型文档

文档为严格的 `JSON` 类型字符串。以下将以JSON格式**按照不同的字段**进行说明。

两种文档类型的格式十分类似，主要**区别**在于基本图元和某些特殊属性值的差异，相同部分请参考**通用文档格式**部分。

通用文档格式

在不同的类型的文档中，有些格式是通用的，或者是某些文档专用的，总结如下。

分隔符

```
//压缩格式的分隔符
var SP = '~',
    SEG = '^',
    NEWLINE = '#$',
    PARASP = '`', //各个参数的分隔标记para SP
    SHEET = '#sheet#'; //从服务器加载多个文件，Eagle导入 + netlistHandle
```

文件头 head

字段名：`head`。json类型，包含了整个文档的基本信息。

示例以及数据格式：

```
{
  "docType": "1", // [文档类型] - string
  "editorVersion": "6.3.0", // [文档版本号] - string
  "c_para": {}, // [自定义属性] - json
  "x": "4000", // [文档坐标原点横坐标] - string
  "y": "3000", // [文档坐标原点纵坐标] - string
  "hasIdFlag": true, // [库文件是否已绑定了对应封装的uuid] - boolean
  "newgId": true, // [内部器件是否生成唯一id] - boolean
  "importFlag": 0, // [eagle导入标记] - number
  "transformList": "", // [偏移数据] - string (弃用)
  "c_spiceCmd": "", // [仿真指令] - string (只在原理图类型文档中配置) (弃用)
  "issheet": true, // [是否为图纸] - boolean(识别库是否为图纸类型)
  "importedFrom": '' // [导入来源] - 已弃用
}
```

画布配置 canvas

字段名: `canvas`, string类型, 使用符号`~`分隔。用来标识画布相关属性。

示例:

```
"CA~1000~1000~#000000~yes~#FFFFFF~10~1000~1000~line~0.5~mm~1~45~0.5~4000~3000~0~none"
```

格式说明:

原理图:

1. [固定标识]: 'CA'
2. [viewwidth]: svg元素的width属性值, zoom越大该值越大。(旧版本使用)
3. [viewHeight]: svg元素的height属性值, zoom越大该值越大。(旧版本使用)
4. [backGround]: 背景色
5. [gridVisible]: 网格是否可见
6. [gridColor]: 网格颜色
7. [gridSize]: 网格尺寸
8. [canvaswidth]: 逻辑上的画布宽, 即svg viewBox里的宽, 不随zoom改变(旧版本使用)
9. [canvasHeight]: 逻辑上的画布高, 即svg viewBox里的高, 不随zoom改变(旧版本使用)
10. [gridStyle]: 网格样式
11. [snapSize]: 吸附的栅格尺寸
12. [unit]: 单位
13. [altSnapSize]: alt键吸附尺寸
14. [originX]: 画布原点横坐标
15. [originY]: 画布原点纵坐标

pcb: (比原理图多了一些数据)

1. [固定标识]: 'CA'
2. [viewwidth]: svg元素的width属性值, zoom越大该值越大。(旧版本使用)
3. [viewHeight]: svg元素的height属性值, zoom越大该值越大。(旧版本使用)
4. [backGround]: 背景色
5. [gridVisible]: 网格是否可见
6. [gridColor]: 网格颜色
7. [gridSize]: 网格尺寸
8. [canvaswidth]: 逻辑上的画布宽, 即svg viewBox里的宽, 不随zoom改变(旧版本使用)
9. [canvasHeight]: 逻辑上的画布高, 即svg viewBox里的高, 不随zoom改变(旧版本使用)
10. [gridStyle]: 网格样式
11. [snapSize]: 吸附的栅格尺寸
12. [unit]: 单位
13. [routingwidth]: 线宽
14. [routingAngle]: 拐角角度
15. [copperAreaDisplay]: 铺铜区是否可见
16. [altSnapSize]: alt键吸附尺寸
17. [originX]: 画布原点横坐标
18. [originY]: 画布原点纵坐标
19. [routeConflict]: 布线冲突(忽略 | 环绕 | 阻挡)
20. [removeLoop]: 是否移除回路

图元数据 shape

字段名：`shape`。字符串数组类型。每条数据对应每个图元的压缩数据。

原理图中包含了矩形、文字和椭圆的数据示例：

```
[
  "R~440~300~~~50~110~#000000~1~0~none~gge5~0~",
  "T~L~360~300~0~#0000FF~~~9pt~~~comment~Text~1~start~gge8~0~pinpart",
  "E~410~355~10~25~#000000~1~0~none~gge12~0"
]
```

图元数据的单条数据结构请参考：[图元格式](#)。

边界框数据 BBox

字段：`BBOX`。json类型。整个文档的盒子模型数据。

示例：

```
{
  "x": 4033.1,      // 文档画布边界左上角横坐标
  "y": 3282.1,      // 文档画布边界左上角纵坐标
  "width": 113.3,   // 文档画布边界宽度
  "height": 147.8   // 文档画布边界高度
}
```

层配置 layers (PCB)

字段名：`layers`。字符串数组类型。层配置信息只在pcb类型文档中，记录了层工具的显示与激活等信息。

示例：

```
[
  "1~TopLayer~#FF0000~true~true~true~",
  "2~BottomLayer~#0000FF~true~false~true~",
  "3~TopSilkLayer~#FFCC00~true~false~true~",
  "4~BottomSilkLayer~#66CC33~true~false~true~",
  "21~Inner1~#999966~true~false~true~0~Plane",
]
```

数组中每条数据表示对应层的相关层信息，使用间隔符~分开，数据格式为：

- 1.[layerid]: 层的id标识
- 2.[name]: 层名称
- 3.[color]: 层颜色
- 4.[visible]: 层是否可见
- 5.[active]: 是否为当前激活层
- 6.[config]: 是否配置当前层
- 7.[transparency]: 层透明度
- 8.[type]: 层类型（内电层 | 信号层），内层专有配置

元素的可选与显示配置 objects (PCB)

字段：`objects`。字符串数组类型。记录层工具的元素可选与显示设置信息（pcb类型文档专用）。

示例：

```
[
  "All~true~false",
  "Component~true~true",
  "Prefix~true~true",
  "Name~true~false",
  "Track~true~true",
  "Pad~true~true",
  "Via~true~true",
  "Hole~true~true",
  "Copper_Area~true~true",
  "Circle~true~true",
  "Arc~true~true",
  "Solid_Region~true~true",
  "Text~true~true",
  "Image~true~true",
  "Rect~true~true",
  "Dimension~true~true",
  "Protractor~true~true"
]
```

数据格式：

1. [key]：元素关键字标识符（不能包含空格，会用_替换带有空格的key）
2. [selected]：是否可选中
3. [visible]：是否显示

偏好设置 preference (PCB)

字段：`preference`。json类型。记录文档的一些偏好设置（pcb类型文档专用）。

示例：

```
{
  "hideFootprints": "",
  "hideNets": ""
}
```

drc检测规则 DRCRULE (PCB)

字段：`DRCRULE`。json类型。记录drc检测规则配置信息（pcb类型文档专用）。

示例：

```

{
  "Default": {
    "trackWidth": 1,           // 默认配置 // 线宽
    "clearance": 0.6,        // 检测间距
    "viaHoleDiameter": 2.4,   // 孔外径
    "viaHoleD": 1.2          // 孔内径
  },
  "isRealtime": false,       // 是否实时检测
  "isDrcOnRoutingOrPlaceVia": false, // 是否在布线与放置过孔时应用设计规则
  "checkObjectToCopperarea": true, // 是否检测元素到铺铜的距离
  "showDRCRangeLine": true   // 是否在布线时显示DRC安全边界
}

```

自动布线规则 routerRule(PCB)

字段: `routerRule`。json类型。记录布线规则的配置信息 (pcb类型文档专用)。

```

{
  "unit": "mil",             // 单位
  "trackWidth": 6,          // 线宽
  "trackClearance": 6,      // 间距
  "viaHoleD": 12,           // 孔内径
  "viaDiameter": 24,        // 孔外径
  "routerLayers": [         // 布线层配置
    1,
    2
  ],
  "smdClearance": 6,        // 贴片和器件的间距
  "specialNets": [         // 特殊网络配置
    {
      "net": "AAA",          // 网络
      "width": "15mil",     // 线宽
      "clearance": "11mil"  // 间距
    }
  ],
  "nets": [                 // 所有网络
    "AAA"
  ],
  "padsCount": 1,           // 焊盘数量
  "skipNets": [],           // 忽略的网络配置
  "realtime": true          // 实时检测
}

```

网络颜色 netColors(PCB)

字段: `netColors`。json类型。记录网络颜色配置信息 (pcb类型文档专用)。

示例:

```
{
  "DSA": {
    "color": "#339933"
  },
  "FSADFDSA": {
    "color": "#FF0000"
  }
}
```

仿真数据(波形图)waveForm

字段: `waveForm`。json字符串类型。仿真波形图专用字段,用于存储波形图数据。

图元格式

基础图元组合起来就是一个完整的器件(封装),比如最基本的矩形、圆这种**简单图元**,复杂一点的图元如引脚、网络标签、焊盘等。**复杂图元**其实也是简单基本图元组成的。

原理图的基础图元和pcb的基础图元基本都不一致。

两种文档类型的基础图元都有一种**特殊图元**,特殊图元独立存在,不再组成其他元素,比如原理图的 `schLib` 和pcb的 `FOOTPRINT`,即原理图器件和pcb封装,这两种图元基本都**由其他基础图元组成**,但不允许有本身图元组成。

数据类型: string。基本数据以分隔符 `~` 隔开。

原理图部分

1.简单图元

折线 `polyline`

示例:

```
"PL~230 290 430 180 550 340~#000000~1~0~none~gge5~0"
```

数据格式:

1. `[cmdKey]`: 图元标识符,默认为"PL"。
2. `[pointerStr]`:折线 `polyline` 的 `points` 数据字符串
3. `[strokeColor]`: 线条颜色
4. `[strokeWidth]`: 线条宽度
5. `[strokeStyle]`: 线条样式
6. `[fillColor]`: 填充颜色
7. `[gId]`: 元素id
8. `[locked]`: 是否锁定

导线 `wire`

示例:

```
"W~495 -580 495 -475 580 -475~#008800~1~0~none~gge79~0"
```

导线的数据格式除了首位标识符为 `w`,其余结构同 `polyline` 一致。

总线 bus

示例:

```
"B~410 -565 400 -455~#008800~2~0~none~gge80~0"
```

总线的数据格式除了首位标识符为 B, 其余结构同 polyline 一致。

多边形 polygon

示例:

```
"PG~290 260 340 350 440 230 390 200 390 200~#000000~1~0~none~gge5~0"
```

多边形的数据格式除了首位标识符为 PG, 其余结构同 polyline 一致。

矩形 rect

示例:

```
"R~360~250~70~80~#000000~1~0~none~gge6~0"
```

数据格式:

1. [cmdKey]: 图元标识符, R
2. [x]: 横坐标
3. [y]: 纵坐标
4. [rx]: 水平轴向的圆角半径尺寸
5. [ry]: 垂直轴向的圆角半径尺寸
6. [width]: 矩形宽度
7. [height]: 矩形高度
8. [strokeColor]: 线条颜色
9. [strokeWidth]: 线条宽度
10. [strokeStyle]: 线条样式
11. [fillColor]: 填充颜色
12. [gId]: 元素id
13. [locked]: 是否锁定
14. [c_type]: c_type属性值 (自定义的用于细分图元类型的属性)

图片 image

示例:

```
"I~360~290~104~26~0~data:image/png;base64,iVBORw.....TkSuQmCC~gge11~0"
```

数据格式:

1. [cmdKey]: 图元标识符, I
2. [x]: x坐标
3. [y]: y坐标
4. [width]: 图片宽度
5. [height]: 图片高度
6. [rotate]: 旋转角度
7. [href]: 图片的数据信息
8. [gId]: 元素id
9. [locked]: 是否锁定
10. [transform]: 偏移属性

圆 circle

注: 新版本已弃用 (椭圆可代替)。

示例:

```
"C~685~315~35~#000000~1~0~none~gge21~0"
```

数据格式:

1. [cmdKey]: 图元标识符, C
2. [cx]: 圆心x坐标
3. [cy]: 圆心y坐标
4. [r]: 半径
5. [strokeColor]: 线条颜色
6. [strokeWidth]: 线条宽度
7. [strokeStyle]: 线条样式
8. [fillColor]: 填充颜色
9. [gId]: 元素id
10. [locked]: 是否锁定

椭圆 ellipse

示例:

```
"E~420~295~40~25~#000000~1~0~none~gge22~0"
```

数据格式:

1. [cmdKey]: 图元标识符, E
2. [cx]: 圆心x坐标
3. [cy]: 圆心y坐标
4. [rx]: x轴上椭圆的半径
5. [ry]: y轴上椭圆的半径
6. [strokeColor]: 线条颜色
7. [strokeWidth]: 线条宽度
8. [strokeStyle]: 线条样式
9. [fillColor]: 填充颜色
10. [gId]: 元素id
11. [locked]: 是否锁定

直线 line

示例:

```
"L~0~470~-765~480~-775~gge105~0"
```

数据格式:

1. [cmdKey]: 图元标识符, L
2. [x1]: 起点横坐标
3. [y1]: 起点纵坐标
4. [x2]: 终点横坐标
5. [y2]: 终点纵坐标
6. [strokeColor]: 线条颜色
7. [strokeWidth]: 线条宽度
8. [strokeStyle]: 线条样式
9. [fillColor]: 填充颜色
10. [gId]: 元素id
11. [locked]: 是否锁定

路径 path

示例:

```
"PT~M370 280 C410 380 490 300 440 240~#000000~1~0~none~gge23~0~"
```

数据格式:

1. [cmdKey]: 图元标识符, PT
2. [pathString]: path路径
3. [strokeColor]: 线条颜色
4. [strokeWidth]: 线条宽度
5. [strokeStyle]: 线条样式
6. [fillColor]: 填充颜色
7. [gId]: 元素id
8. [locked]: 是否锁定

圆弧 arc

示例:

```
"A~M 459.9983 319.997 A 70 170 0 1 1 461.2807  
267.9875~~#000000~1~0~none~gge26~0"
```

数据格式:

1. [cmdKey]: 图元标识符, A
2. [pathString]: path路径
3. [helperDots]: 已移除, 占位。
4. [strokeColor]: 线条颜色
5. [strokeWidth]: 线条宽度
6. [strokeStyle]: 线条样式
7. [fillColor]: 填充颜色
8. [gId]: 元素id
9. [locked]: 是否锁定

文本 annotation

示例:

```
"T~L~390~300~0~#0000FF~~9pt~~~comment~Text~1~start~gge27~0~pinpart"
```

数据格式:

1. [cmdKey]: 图元标识符, A
2. [mark]: 文本标记, 可选值: L(普通文本) | N(器件名称) | P(器件编号) | PK(封装名)
3. [x]: 横坐标
4. [y]: 纵坐标
5. [rotation]: 旋转角度
6. [fillColor]: 填充颜色
7. [fontFamily]: 字体
8. [fontSize]: 文字大小
9. [fontWeight]: 文字粗细
10. [fontStyle]: 文字样式 (自动 | 正常 | 斜体)
11. [dominantBaseline]: 文字的dominant-baseline属性
12. [type]: 文本类型 (注释 | 仿真)
13. [value]: 文本值
14. [visible]: 是否可见
15. [textAnchor]: 文字的text-anchor属性
16. [gId]: 元素id
17. [locked]: 是否锁定
18. [c_etype]: c_etype属性值 (c_etype是自定义的用于细分图元类型的属性)

表格图片 pimage

注: 目前只用于表格内的图片, 为了与普通图片做区分使用的一种新类型图元表示。

示例:

```
"Pimage~L~1~gge74~0~gge75~694.99995~-38~104~26~data:image/png;base64,iVBORw0KG..  
...pCVHNep00ktyLec61RcZ3J7kHPt9dXiX4IAntNzzH4CAAAAElFTkSuQmCC"
```

数据格式:

1. [cmdKey]: 图元标识符, Pimage
2. [mark]: 特殊标记 (未使用)
3. [visible]: 是否可见 (未使用)
4. [locked]: 是否锁定
5. [imgid]: 元素id
6. [imgx]: x坐标
7. [imgy]: y坐标
8. [imgwidth]: 图片宽度
9. [imgheight]: 图片高度
10. [imghref]: 图片base64数据信息

2. 复杂图元

引脚 pin

注: 引脚的数据格式使用了两种分隔符, 外层整体数据使用 ^^, 内层单一数据再使用 ~ 分隔。

示例:

```
"P~show~0~1~420~300~~gge31~0^^420~300^^M 420 300 h
-20~#880000^^1~398~303~0~1~end~~~#0000FF^^1~405~299~0~1~start~~~#0000FF^^0~403~3
00^^0~M 400 297 L 397 300 L 400 303"
```

数据格式:

#1.[configure] - 配置信息

- 1.[cmdkey]: 图元标识符, P
- 2.[dispaly]: 是否显示
- 3.[electric]: 电气属性
- 4.[spicePin]: 仿真编号
- 5.[x]: 横坐标 //弃用, 参考path
- 6.[y]: 纵坐标 //弃用, 参考path
- 7.[rotation]: 旋转角度
- 8.[gId]: 元素id
- 9.[locked]: 是否锁定

#2.[pinDot] - 引脚吸附点(起点)信息

- 1.[x]: 起点横坐标 //弃用, 参考path
- 2.[y]: 起点纵坐标 //弃用, 参考path

#3.[path] - 引脚路径信息

- 1.[pathString]: 路径数据
- 2.[pinColor]: 引脚颜色

#4.[name] - 引脚名称信息

- 1.[visible]: 是否可见
- 2.[x]: 横坐标
- 3.[y]: 纵坐标
- 4.[rotation]: 旋转角度
- 5.[text]: 文本值
- 6.[textAnchor]: 文字的text-anchor属性
- 7.[fontFamily]: 字体
- 8.[fontSize]: 文本大小
- 9.[fillColor]: 文本填充颜色

#5.[num] - 引脚编号信息

- 1.[visible]: 是否可见
- 2.[x]: 横坐标
- 3.[y]: 纵坐标
- 4.[rotation]: 旋转角度
- 5.[text]: 文本值
- 6.[textAnchor]: 文字的text-anchor属性
- 7.[fontFamily]: 字体
- 8.[fontSize]: 文本大小
- 9.[fillColor]: 文本填充颜色

#6.[num] - 引脚终点信息

- 1.[visible]: 终点是否可见
- 2.[x]: 终点横坐标
- 3.[y]: 终点纵坐标

#7.[clock] - 引脚时钟信息

- 1.[visible]: 时钟是否显示
- 2.[pathString]: 时钟路径信息

连接点 junction

示例:

```
"J~425~-170~2.5~#CC0000~gge130~0"
```

数据格式:

1. [cmdKey]: 图元标识符, J
2. [x]: 横坐标
3. [y]: 纵坐标
4. [r]: 半径
5. [fillColor]: 填充颜色
6. [gId]: 元素id
7. [locked]: 是否锁定

标识符 netflag

注: 同引脚的数据格式类似, 使用了两种分隔符, 外层整体数据使用 ^^, 内层单一数据再使用 ~ 分隔。

示例:

```
"F~part_netLabel_+5V~425~-170~270~gge124~0^^425~-170^^+5V~#000000~435.5~-166~0~start~1~Times New Roman~9pt~gge126^^PL~435 -170 425  
-170~#000000~1~0~none~gge128~0^^PL~435 -175 435  
-165~#000000~1~0~transparent~gge129~0"
```

数据格式:

- #1. [configure] - 配置信息
1. [cmdKey]: 图元标识符, F
 2. [partId]: 标识符类型以及文本信息
 3. [x]: 横坐标
 4. [y]: 纵坐标
 5. [rotation]: 旋转角度
 6. [gId]: 元素id
 7. [transform]: 偏移信息 (旧版本)
 8. [locked]: 是否锁定
- #2. [pinDot] - 吸附点信息
1. [x]: 吸附点横坐标
 2. [y]: 吸附点纵坐标
- #3. [mark] - 标识符文本信息
1. [netFlagString]: 文本值
 2. [fillColor]: 填充颜色
 3. [x]: 横坐标
 4. [y]: 纵坐标
 5. [rotation]: 旋转角度
 6. [textAnchor]: 文字的text-anchor属性
 7. [visible]: 是否可见
 8. [fontFamily]: 字体
 9. [fontSize]: 文本大小
 10. [gId]: 文本元素id

网络标签 netlabel

示例:

```
"N~515~-430~0~#0000ff~netLabel1~gge78~start~517~-432.5~Times New Roman~7pt~0"
```

数据格式:

1. [cmdKey]: 图元标识符, N
2. [x]: 横坐标
3. [y]: 纵坐标
4. [rotation]: 旋转角度
5. [fillColor]: 填充颜色
6. [textAnchor]: 文字的text-anchor属性
7. [visible]: 是否可见
8. [fontFamily]: 字体
9. [fontSize]: 文本大小
10. [gId]: 文本元素id

总线分支 busentry

示例:

```
"BE~0~495~-405~505~-415~gge78~0"
```

数据格式:

1. [cmdKey]: 图元标识符, BE
2. [x1]: 起点横坐标
3. [y1]: 起点纵坐标
4. [x2]: 终点横坐标
5. [y2]: 终点纵坐标
6. [gId]: 元素id
7. [locked]: 是否锁定

箭头 arrowhead

示例:

```
"AR~part_arrowhead~410~300~gge5~0~M 410 300 L 395 307.5 L 398.75 300 L 395 292.5  
Z ~#000000~0~3~15"
```

数据格式:

- 1.[cmdKey]: 图元标识符, AR
- 2.[partType]: 放置类型, 固定为"part_arrowhead"
- 3.[x]: 横坐标
- 4.[y]: 纵坐标
- 5.[gId]: 文本元素id
- 6.[rotation]: 旋转角度
- 7.[pathString]: 箭头路径数据
- 8.[fillColor]: 填充颜色
- 9.[locked]: 是否锁定
- 10.[arrowtype]: 箭头类型 (1 | 2 | 3)
- 11.[arrowsize]: 箭头尺寸

无连接标志 noconnectflag

示例:

```
"0~0~0~gge86~M-4 -4L4 4M4 -4L-4 4~#33cc33~0"
```

数据格式:

- 1.[cmdKey]: 图元标识符, 0
- 2.[x]: 横坐标
- 3.[y]: 纵坐标
- 4.[gId]: 文本元素id
- 5.[pathString]: 路径数据
- 6.[strokeColor]: 线条颜色
- 7.[locked]: 是否锁定

3.特殊图元

形状 SHEET

这里的形状可以理解为自由格式的组合, 可以自定义数据格式, 目前原理图没有使用入口, **主要在pcb中使用**, 例如pcb文档中的**图形, 3D模型**等都使用的 `svgnode` 图元进行构建。更多细节请参考 [基础图元格式](#) > [PCB部分](#) > [特殊图元](#) > [形状svgnode](#)。

器件 schlib

原理图的 `schlib` 即原理图器件 (库文件), 库文件可以由其他图元组成, 但不能由库本身组成库, 原理图库只能放置在原理图中。

在原理图中, `schlib` 压缩数据**同其他图元一样**会放到 `shape` 字段下, `schlib` 格式分为两部分组成:

- 器件的头部数据: 头部数据以分隔符 `~` 隔开。
- 器件的内部图元数据: 图元之间将会以分隔符 `#@$` 隔开。

两部分数据再以分隔符号 `#@$` 隔开。

示例:

```
"LIB~0~0~package`R0201`nameAlias`Value(Ω)`BOM_Supplier
Part``BOM_Supplier``Contributor`LCEDA_Lib`spicePre`R`spiceSymbolName`R_0201_US`B
OM_Manufacturer
Part`~~0~gge3fb2f834261e887c~b600ab0518154c0c9d2ed5ca96244c69~36be002046ee442da
ec3a30b0f22c9fe~0~~yes~yes#@$T~N~-5.96875~-8~0~#000080~Arial~~~~comment~1k~1~st
art~gge167~0~#@$T~P~-5.96875~-17.15625~0~#000080~Arial~~~~comment~R1~1~start~gg
e169~0~#@$PL~15 0 12 5~#A00000~1~0~none~gge171~0~#@$PL~7 -5 2
5~#A00000~1~0~none~gge172~0~#@$PL~12 5 7
-5~#A00000~1~0~none~gge173~0~#@$P~show~0~2~20~0~0~gge174~0^^20~0^^M 20 0 h
-5~#800^^0~11~0~0~2~end~~~#800^^0~19~-4~0~2~start~~~#800^^0~18~0^^0~M 15 -3 L 12
0 L 15 3#@$PL~-7 5 -12 -5~#A00000~1~0~none~gge181~0~#@$PL~2 5 -2
-5~#A00000~1~0~none~gge182~0~#@$PL~-2 -5 -7 5~#A00000~1~0~none~gge183~0~#@$PL~-12
-5 -15 0~#A00000~1~0~none~gge184~0~#@$P~show~0~1~-20~0~180~gge185~0^^-20~0^^M -20
0 h 5~#800^^0~-11~0~0~1~start~~~#800^^0~-19~-4~0~1~end~~~#800^^0~-18~0^^0~M -15
3 L -12 0 L -15 -3"
```

数据格式:

```
#1.[器件头部数据]
1.[cmdKey]: 图元标识符, LIB
2.[x]: 横坐标
3.[y]: 纵坐标
4.[c_para]: 自定义属性
5.[rotation]: 旋转角度
6.[importFlag: eagle导入标记
7.[gId]: 元素id
8.[puuid]: 绑定的pcb封装uuid
9.[uuid]: 器件的uuid
10.[locked]: 是否锁定
11.[bind_pcb_id]: 绑定的pcb封装的id(弃用)
12.[convert_to_pcb]: 是否更新到pcb
13.[add_into_bom]: 是否加入bom表单

#2.[器件内部图元数据]: 即其他基本图元的压缩格式。
```

PCB部分

1.简单图元

导线 TRACK

示例:

```
"TRACK~1~1~4055.5 3348 4055.5 3346 4131.5 3270 4096 3270~gge5~0"
```

数据格式:

```
1.[cmdKey]: 图元标识符, TRACK
2.[strokewidth]: 线宽
3.[layerid]: 所属层
4.[net]: 网络
5.[pointArr]: 坐标点数据
6.[gId]: 元素id
7.[locked]: 是否锁定
```

矩形 RECT

示例:

```
"RECT~4065.5~3293.25~63~45.5~1~gge6~0~0~""
```

数据格式:

1. [cmdKey]: 图元标识符, RECT
2. [x]: 横坐标
3. [y]: 纵坐标
4. [width]: 宽度
5. [height]: 高度
6. [layerid]: 所属层
7. [gId]: 元素id
8. [locked]: 是否锁定
9. [strokewidth]: 线宽
10. [fill]: 填充颜色
11. [transform]: 偏移数据
12. [net]: 网络
13. [c_etype]: c_etype属性值 (自定义的用于细分图元类型的属性)

圆 CIRCLE

示例:

```
"CIRCLE~4193.5~3148~45.6426~1~1~gge5~0~circle_gge8,circle_gge9"
```

数据格式:

1. [cmdKey]: 图元标识符, CIRCLE
2. [cx]: 圆心x坐标
3. [cy]: 圆心y坐标
4. [r]: 半径
5. [strokewidth]: 线宽
6. [layerid]: 所属层
7. [gId]: 元素id
8. [locked]: 是否锁定
9. [net]: 网络
10. [transformarc]: 由圆转换的两个半圆的id信息

文本 TEXT

示例:

```
"TEXT~L~4081~3306.5~0.8~0~0~1~8~TEXT~M 4083.55 3298.44 L 4083.55 3306.07 M 4081  
3298.44 L 4086.09 3298.44 M 4088.49 3298.44 L 4088.49 3306.07 M 4088.49 3298.44  
L 4093.22 3298.44 M 4088.49 3302.07 L 4091.4 3302.07 M 4088.49 3306.07 L 4093.22  
3306.07 M 4095.62 3298.44 L 4100.71 3306.07 M 4100.71 3298.44 L 4095.62 3306.07  
M 4105.65 3298.44 L 4105.65 3306.07 M 4103.11 3298.44 L 4108.2  
3298.44~gge13~0~pinpart"
```

数据格式:

1. [cmdKey]: 图元标识符, TEXT
2. [type]: 文本标记, 可选值: L(普通文本) | N(器件名称) | P(器件编号) | PK(封装名)
3. [x]: 横坐标 //弃用, 参考pathStr
4. [y]: 纵坐标 //弃用, 参考pathStr
5. [strokewidth]: 线宽
6. [rotation]: 旋转角度 //弃用, 参考pathStr
7. [mirror]: 是否镜像 //弃用, 参考pathStr
8. [layerid]: 所属层
9. [net]: 网络
10. [fontSize]: 文字大小
11. [text]: 文本值 //弃用, 参考pathStr
12. [pathStr]: 路径数据
13. [display]: 是否显示
14. [gId]: 元素id
15. [fontFamily]: 字体
16. [locked]: 是否锁定
17. [c_etype]: c_etype属性值 (c_etype是自定义的用于细分图元类型的属性)

圆弧 ARC

示例:

```
"ARC~1~1~~M 4108.3572 3265.4999 A 53.7587 53.7587 0 1 0 4130.4018
3353.4528~~gge16~0"
```

数据格式:

1. [cmdKey]: 图元标识符, ARC
2. [strokewidth]: 线宽
3. [layerid]: 所属层
4. [net]: 网络
5. [d]: 路径数据
6. [c_helper_dots]: 辅助线路径数据
7. [gId]: 元素id
8. [locked]: 是否锁定

2.复杂图元

焊盘 PAD

示例:

```
"PAD~ELLIPSE~4020~3308.5~6~6~11~~1~1.8~~0~gge5~0~~Y~0~~~4020,3308.5",
```

数据格式:

1. [cmdKey]: 图元标识符, PAD
2. [shape]: 焊盘形状
3. [x]: 横坐标
4. [y]: 纵坐标
5. [width]: 宽度
6. [height]: 高度
7. [layerid]: 所属层
8. [net]: 网络
9. [number]: 编号

- 10.[holeR]: 孔直径
- 11.[pointArr]: 坐标点数据
- 12.[rotation]: 旋转角度
- 13.[gId]: 元素id
- 14.[holeLength]: 孔长度
- 15.[slotPointArr]: 孔的坐标点数据
- 16.[plated]: 是否金属化
- 17.[locked]: 是否锁定
- 18.[pasteexpansion]: 助焊扩展
- 19.[solderexpansion]: 阻焊扩展
- 20.[holeCenter]: 孔中心坐标

过孔 VIA

示例:

```
"VIA~4030~3308.5~2.4~0.6~gge11~0",
```

数据格式:

- 1.[cmdKey]: 图元标识符, VIA
- 2.[x]: 横坐标
- 3.[y]: 纵坐标
- 4.[diameter]: 过孔直径
- 5.[net]: 网络
- 6.[holeR]: 过孔内径
- 7.[gId]: 元素id
- 8.[locked]: 是否锁定

通孔 HOLE

示例:

```
"HOLE~4041.5~3309~4~gge15~0"
```

数据格式:

- 1.[cmdKey]: 图元标识符, HOLE
- 2.[x]: 横坐标
- 3.[y]: 纵坐标
- 4.[holeR]: 孔直径
- 5.[gId]: 元素id
- 6.[locked]: 是否锁定

铺铜 COPPERAREA

示例:

```
"COPPERAREA~1~1~GND~M 4055 3023.5 L 4055 3060.5 L 4060 3065.5 L 4108.5 3065.5 L  
4115.5 3058.5 L4115.5,3025 L4114,3023.5  
Z~1~solid~gge83~spoke~none~0~1~1~1~yes~0",
```

数据格式:

- 1.[cmdKey]: 图元标识符, COPPERAREA
- 2.[strokewidth]: 线宽
- 3.[layerid]: 所属层
- 4.[net]: 网络
- 5.[pathStr]: 路径数据
- 6.[clearancewidth]: 间距
- 7.[fillstyle]: 填充样式
- 8.[gId]: 元素id
- 9.[thermal]: 焊盘连接方式 (发散 | 直连)
- 10.[keepIsland]: 是否保留孤岛
- 11.[compressData]: 铺铜压缩数据
- 12.[locked]: 是否锁定
- 13.[name]: 名称
- 14.[order]: 顺序
- 15.[gridTrackwidth]: 网格线宽
- 16.[gridClearance]: 网格间距
- 17.[toBoardOutline]: 到边框间距
- 18.[fabricationImprove]: 是否制造优化
- 19.[spoke_width]: 发散线宽

实心填充 SOLIDREGION

示例:

```
"SOLIDREGION~1~~M 4012 3300.5 L 4012 3317.5 L 4019.5 3325 L 4034 3325 L 4040 3319 L 4040 3308 L 4031 3299 L4019.5,3299 L4018.5,3298 z~solid~gge20~~~0"
```

数据格式:

- 1.[cmdKey]: 图元标识符, SOLIDREGION
- 2.[layerid]: 所属层
- 3.[net]: 网络
- 4.[pathStr]: 路径数据
- 5.[type]: 类型
- 6.[gId]: 元素id
- 7.[teardrop]: 泪滴
- 8.[targetPad]: 目标焊盘
- 9.[targetWire]: 目标导线
- 10.[locked]: 是否锁定

尺寸 DIMENSION

示例:

```
"DIMENSION~12~M4015.9632,3321.9632L4038.4632,3299.4632M.....M 4035.5 3296.5 4045.5342 3306.5342~gge21~~0~straight~0.4"
```

数据格式:

- 1.[cmdKey]: 图元标识符, DIMENSION
- 2.[layerid]: 所属层
- 3.[d]: 路径数据
- 4.[gId]: 元素id
- 5.[fontSize]: 尺寸高度
- 6.[locked]: 是否锁定
- 7.[measuring_type]: 尺寸类型
- 8.[font_width]: 尺寸宽度

量角器 PROTRACTOR

示例:

```
"PROTRACTOR~12~M4051.5 3328 L4051.5 3299.4825M4051.5 3328..... L4069.39 3309.77~0.4~gge22~4.5~0~0"
```

数据格式:

- 1.[cmdKey]: 图元标识符, PROTRACTOR
- 2.[layerid]: 所属层
- 3.[d]: 路径数据
- 4.[strokewidth]: 线宽
- 5.[gId]: 元素id
- 6.[fontSize]: 文字大小
- 7.[precision]: 精度
- 8.[locked]: 是否锁定

3.特殊图元

形状 SVGNODE

这里的形状可以理解为自由格式的组合, 可以自定义数据格式, **主要在pcb中使用**, 例如pcb文档中的**图形**, **3D模型**等都使用的 svgnode 图元进行构建。

比如导入的图形:

```
"SVGNODE~  
{\"gId\": \"gge65\", \"nodeName\": \"path\", \"nodeType\": 1, \"layerid\": \"1\", \"attrs\": {\"d\": \"M 4002.49 2996.53 L 4001.2451 2998.03 L 3999.3676 2998.03 L 3997.49 2998.03 L 3997.49 2999.471 C 3997.49 3000.2635 3997.9693 3001.2082 3998.5551 3001.5703 L 3999.6203 3002.2286 L 3997.8946 3004.1354 L 3996.1689 3006.0423 L 3996.8233 3006.6967 L 3997.4777 3007.3511 L 3999.3405 3005.6653 L 4001.2032 3003.9795 L 4002.4599 3005.4938 L 4003.7166 3007.008 L 4004.6033 3006.46 C 4005.091 3006.1586 4005.49 3005.1083 4005.49 3004.126 L 4005.49 3002.34 L 4007.4981 3000.5227 L 4009.5062 2998.7054 L 4007.8431 2996.8677 C 4005.8255 2994.6383 4004.1478 2994.5324 4002.49 2996.53\", \"id\": \"gge65\", \"stroke\": \"none\", \"layerid\": \"1\"}}"
```

数据格式:

SVGNODE 的格式由两部分组成, 第一部分只有图元标识符"SVGNODE", 第二部分为形状的组成数据, 数据格式为 JSON 数据字符串。

内电层 PLANEZONE

示例:

```
"PLANEZONE~21~GND~solid~planeL21B0#@$planeL21B0I0~M4342.5,3232 4342.5,3169
4420.5,3169 4420.5,3232zM4375.6222,3223.2077 4375.6314,3223.2077
4376.0759,3223.2015 4376.0852,3223.2012 4376.5294,3223.1869z"
```

数据格式：

压缩数据**同其他图元一样**会放到 `shape` 字段下，格式由两部分组成：

- 内电层的基本信息：数据以分隔符 `~` 隔开。
- 内电层路径数据：包含若干路径数据，数据以分隔符 `~` 隔开。

两部分数据再以分隔符号 `#@$` 隔开。

```
#1.[内电层基本信息]
1.[cmdKey]: 图元标识符, PLANEZONE
2.[layerid]: 所属层
3.[net]: 网络
4.[fillstyle]: 填充类型
5.[gId]: 元素id

#2.[内电层路径数据]
1.[gId]: 路径元素id
2.[pathStr]: 路径数据
```

封装 FOOTPRINT

pcb的 FOOTPRINT 同原理图的 schlib 类似，即PCB库文件。库文件可以由其他图元组成，但不能由库本身组成库，pcb库只能放置在PCB中。

在PCB中，`FOOTPRINT` 压缩数据**同其他图元一样**会放到 `shape` 字段下，`FOOTPRINT` 格式分为两部分组成：

- 封装的头部数据：头部数据以分隔符 `~` 隔开。
- 封装的内部图元数据：图元之间将会以分隔符 `#@$` 隔开。

两部分数据再以分隔符号 `#@$` 隔开。

示例：

```
"LIB~4058.9147~3070~package`R0201`~~~gge929a3f9f08f43af9~1~b600ab0518154c0c9d2ed
5ca96244c69~1565922186~0~#@$TEXT~N~4057.97~3060~0.6~0~~3~~4.5~1k~M 4057.97
3056.28 L 4058.38 3056.07 L 4058.99 3055.46 L 4058.99 3059.75 M 4060.34 3055.46
L 4060.34 3059.75 M 4062.39 3056.89 L 4060.34 3058.94 M 4061.16 3058.12 L
4062.59 3059.75~none~gge3~~0~#@$TEXT~P~4057.97~3067~0.6~0~~3~~4.5~R1~M 4057.97
3062.46 L 4057.97 3066.75 M 4057.97 3062.46 L 4059.81 3062.46 L 4060.42 3062.66
L 4060.63 3062.87 L 4060.83 3063.28 L 4060.83 3063.69 L 4060.63 3064.1 L 4060.42
3064.3 L 4059.81 3064.5 L 4057.97 3064.5 M 4059.4 3064.5 L 4060.83 3066.75 M
4062.18 3063.28 L 4062.59 3063.07 L 4063.21 3062.46 L 4063.21
3066.75~~gge5~~0~#@$TRACK~0.3937~3~~4056.5525 3068.5039 4058.521
3068.5039~gge7~0#@$TRACK~0.3937~3~~4056.5525 3068.5039 4056.5525
3071.4961~gge8~0#@$TRACK~0.3937~3~~4056.5525 3071.4961 4058.521
3071.4961~gge9~0#@$TRACK~0.3937~3~~4059.3084 3071.4961 4061.2769
3071.4961~gge10~0#@$TRACK~0.3937~3~~4061.2769 3068.5039 4061.2769
3071.4961~gge11~0#@$TRACK~0.3937~3~~4059.3084 3068.5039 4061.2769
3068.5039~gge12~0#@$PAD~RECT~4059.997~3070~1.1811~1.5748~1~R1_2~2~0~4059.4065
3069.2126 4060.5876 3069.2126 4060.5876 3070.7874 4059.4065
3070.7874~0~gge13~0~~Y~0~0~0.4~4059.9969,3070#@$PAD~RECT~4057.832~3070~1.1811~1.
5748~1~R1_1~1~0~4057.2415 3069.2126 4058.4226 3069.2126 4058.4226 3070.7874
4057.2415 3070.7874~0~gge18~0~~Y~0~0~0.4~4057.8323,3070"
```

数据结构:

```
#1. [封装头部数据]
1. [cmdkey]: 图元标识符, LIB
2. [x]: 横坐标
3. [y]: 纵坐标
4. [c_para]: 自定义属性
5. [rotation]: 旋转角度
6. [importFlag: eagle导入标记
7. [gId]: 元素id
8. [layerid]: 所属层
9. [uuid]: 封装的uuid
10. [utime]: 更新时间
11. [locked]: 是否锁定
12. [bind_sch_id]: 绑定的原理图器件的id (弃用)

#2. [封装内部图元数据]: 即其他基本图元的压缩格式。
```

图纸 SHEET

原理图的图纸是一种特殊的器件, PCB中的图纸也可以理解为特殊的封装, 但PCB使用的单独的图元来表示PCB图纸, 所以图纸的结构也同封装结构一致, 分为两部分:

- 图纸的头部数据: 头部数据以分隔符~ 隔开。
- 图纸的内部图元数据: 图元之间将会以分隔符 #@\$ 隔开。

两部分数据再以分隔符号 #@\$ 隔开。

数据格式:

- #1. [图纸头部数据]
 1. [cmdKey]: 图元标识符, SHEET
 2. [x]: 横坐标
 3. [y]: 纵坐标
 4. [locked]: 是否锁定
 5. [layerid]: 所属层
 6. [gId]: 元素id

#2. [图纸内部图元数据]: 即其他基本图元的压缩格式。

原理图文件格式

一个原理图可以包含多个图页, 每个图页都可以作为一份独立原理图文档, 所以这里的原理图可以理解**为原理图工程**, 可以包含若干原理图页, 在压缩格式中使用 `schematics` 字段来标识改工程下的所有原理图页, 类型为 `JSON`数组。

示例如下:

```
{
  "editorVersion": "6.3.0",      // 版本号
  "docType": "5",              // 文档类型
  "title": "New Project",      // 文档标题
  "description": "",           // 文档描述
  "colors": {},                // 文档颜色配置 (弃用)
  "schematics": [
    {
      "docType": "1",
      "title": "Sheet_1",
      "description": "",
      "dataStr": "{\\"head\\":
{\\\"docType\\\":\\\"1\\\",\\\"editorVersion\\\":\\\"6.3.0\\\",\\\"newgId\\\":true,\\\"c_para\\\":
{\\\"Prefix
Start\\\":\\\"1\\\"},\\\"c_spiceCmd\\\":null},\\\"canvas\\\":\\\"CA~1000~1000~#FFFFFF~yes~#CCCC
C~5~1000~1000~line~5~pixel~5~0~0\\\",\\\"shape\\\":[\\\"LIB~0~-5~package`RES-ADJ-
TH_3386P`BOM_Supplier Part`BOM_Supplier`LCSC`BOM_Manufacturer
Part`nameAlias`Value`Contributor`LCEDA_Lib`BOM_value(Ω)`10K`spicePre`R`spiceSym
bolName`R_3386P_US`~0~gge348eb5222b2937f0~ce6e0cc9b0684cd986edbf86d7075dfd~e0b0
d01b6e0d44dbab9db0ad79a427bc~0~yes~yes#@$T~N~-9.15625~15.34375~0~#000080~Aria1~
~~~~comment~R_3386P_US~1~start~gge103~0~#@$T~P~-9.15625~7~0~#000080~Aria1~~~~co
mment~RP1~1~start~gge105~0~#@$P~show~0~2~0~-25~90~gge107~0^^0~-25^^M 0 -25 v
10~#880000^^0~3~-13~270~2~end~~~~#0000FF^^0~-1~-20~270~2~start~~~~#0000FF^^0~0~-18
^^0~M -3 -15 L 0 -12 L 3 -15#@$E~11~-8~1~1~#A00000~1~0~none~gge114~0#@$PG~-2 -15
0 -11 2 -15~#880000~1~0~none~gge115~0#@$P~show~0~1~20~-5~0~gge116~0^^20~-5^^M 20
-5 h
-10~#8D2323^^0~7~-2~0~1~end~~~~#8D2323^^0~14~-6~0~1~start~~~~#8D2323^^0~13~-5^^0~M
10 -8 L 7 -5 L 10 -2#@$P~show~0~3~-20~-5~180~gge123~0^^-20~-5^^M -20 -5 h
10~#8D2323^^0~-6~-2~0~3~start~~~~#8D2323^^0~-14~-6~0~3~end~~~~#8D2323^^0~-13~-5^^0
~M -10 -2 L -7 -5 L -10 -8#@$PL~0 -15 0 -11~#880000~1~0~none~gge130~0#@$PL~9 -1
10 -5~#8D2323~1~0~none~gge131~0#@$PL~6 -9 9 -1~#8D2323~1~0~none~gge132~0#@$PL~4
-1 6 -9~#8D2323~1~0~none~gge133~0#@$PL~1 -9 4
-1~#8D2323~1~0~none~gge134~0#@$PL~-1 -1 1 -9~#8D2323~1~0~none~gge135~0#@$PL~-3
-9 -1 -1~#8D2323~1~0~none~gge136~0#@$PL~-6 -1 -3
-9~#8D2323~1~0~none~gge137~0#@$PL~-8 -9 -6 -1~#8D2323~1~0~none~gge138~0#@$PL~-10
-5 -8 -9~#8D2323~1~0~none~gge139~0\\\"],\\\"BBox\\\":
{\\\"x\\\":-22,\\\"y\\\":-27,\\\"width\\\":70.4,\\\"height\\\":43.7},\\\"colors\\\":{}}"}

```

```

},
{
  "docType": "1",
  "title": "Sheet_2",
  "description": "",
  "dataStr": "{ \"head\":
{ \"docType\": \"1\", \"editorVersion\": \"6.3.0\", \"newgId\": true, \"c_para\":
{ \"Prefix
Start\": \"1\", \"c_spiceCmd\": null}, \"canvas\": \"CA~1000~1000~#FFFFFF~yes~#CCCC
C~5~1000~1000~line~5~pixel~5~0~0\", \"shape\":
[ \"F~part_netLabel_netPort~15~0~0~gge78~0^^15~0^^netPort1~#0000FF~-6.5~5~0~end~
1~Times New Roman~8pt~gge80^^PL~15 0 10 5 -5 5 -5 -5 10 -5 15
0~#0000FF~1~0~transparent~gge82~0\"], \"BBox\":
{ \"x\": -44, \"y\": -5, \"width\": 61, \"height\": 12.7}, \"colors\": {}}"
}
]
}

```

PCB文件格式

PCB不像原理图一样包含多页，所以PCB的文件格式和PCB库无结构上的差异。

示例：

```

{
  "head": {
    "docType": "3",
    "editorVersion": "6.3.0",
    "newgId": true,
    "c_para": {},
    "hasIdFlag": true
  },
  "canvas":
"CA~1000~1000~#000000~yes~#FFFFFF~10~1000~1000~line~0.5~mil~1~45~0.5~4087.5~330
8.5~0~yes",
  "shape": [
    "TRACK~1~1~4076.5 3290.5 4076.5 3296.5 4115.5 3335.5~gge5~0",
    "PAD~ELLIPSE~4095~3304.5~6~6~11~1~1.8~0~gge6~0~Y~0~4095,3304.5"
  ],
  "layers": [
    "1~TopLayer~#FF0000~true~true~true~",
    "2~BottomLayer~#0000FF~true~false~true~",
    "3~TopSilkLayer~#FFCC00~true~false~true~",
    "4~BottomSilkLayer~#66CC33~true~false~true~",
    "5~TopPasteMaskLayer~#808080~true~false~true~",
    "6~BottomPasteMaskLayer~#800000~true~false~true~",
    "7~TopSolderMaskLayer~#800080~true~false~true~0.3",
    "8~BottomSolderMaskLayer~#AA00FF~true~false~true~0.3",
  ],
  "objects": [
    "All~true~false",
    "Component~true~true",
    "Prefix~true~true",
    "Name~true~false",
    "Track~true~true",
    "Pad~true~true",
  ],
}

```

```
"Via~true~true",
"Hole~true~true",
"Copper_Area~true~true",
"Circle~true~true",
"Arc~true~true",
"Solid_Region~true~true",
"Text~true~true",
"Image~true~true",
"Rect~true~true",
"Dimension~true~true",
"Protractor~true~true"
],
"BBox": {
  "x": 4076.5,
  "y": 3290.5,
  "width": 39,
  "height": 45
},
"preference": {
  "hideFootprints": "",
  "hideNets": ""
},
"DRCRULE": {
  "Default": {
    "trackwidth": 1,
    "clearance": 0.6,
    "viaHoleDiameter": 2.4,
    "viaHoleD": 1.2
  },
  "isRealtime": false,
  "isDrcOnRoutingOrPlaceVia": false,
  "checkObjectToCopperarea": true,
  "showDRCRangeLine": true
},
"netColors": {}
}
```

更新日志

暂无

编辑器API

如何使用API

EasyEDA API Plug

Before reading this capture, please check [EasyEDA Document Format](#) first.

Why Need API

After route the PCB, you found out that you need to enlarge all tracks size a bit little, How?
After route the PCB, you found out that all Vias' hole size is too small, How to fix this?
How to create a board outline using code?
EasyEDA API will let you control your designs in an easy way.

How to use API

How to find the plug entrance

You can click **Config Icon > Extensions Setting** on the top toolbar image as below.

Extensions Setting

You can enable or disable the default extensions, after enable, please **reload** the EasyEDA editor.
We will give you a file about how to create an extensions soon.



If you enable the **Theme Colors** Extension, you will find a button on the tool bar like bellow image:



If you click the **Black On White**, you will find your schematic changes like bellow image, this is useful when you would like to print your design on a paper.



You can check our **github** codes of this API via <https://github.com/dillonHe/EasyEDA-Documents/tree/master/API/example/theme>, check the **manifest.json** and **main.js** out, you will find out how to create an extension.

How to install an extension

1. Click the Load Extension button
2. Click the select file button
3. Select **All** the files.
4. Type a name
5. Click the load button.
6. **Close** EasyEDA editor and open it again.



Scripts

If you just need some simple functions, you don't need to create an extension. You just need to create a single Javascript file and keep it in this list.

1. You can select the `He11o wor1d`, then click the `Run` button, the response as below image.
2. You can select some items, then try `move selected Objects`.
3. You can install your own scripts, then they will show on **User Scripts**.



Run Script code

In some case, you just need to run the function one time, such as create a user define board outline in codes, changing the Track width, change the hole size etc. You can use this way.



example 1 Art

You can open an empty schematic and copy [this example javascript codes](#) to the text box to run a test. After clicking the button, you will see bellow art image.



```
testInsertShape();
function testInsertShape(){
  api('insertShape', [
    {
      shapeTypeName: "path",
      fillColor: "none",
      pathString: "M520 500 c480 460 550 430 480 410",
      strokeColor: "#000000",
      strokeStyle: 0,
      strokeWidth: "1"
    }
  ]);
  api('insertShape', [
    {
      shapeTypeName: "path",
      fillColor: "none",
      pathString: shapeLotusFlower(500,550,3,80,40),
      strokeColor: "#000000",
      strokeStyle: 0,
      strokeWidth: "1"
    },
    {
      shapeTypeName: "path",
      fillColor: "none",
      pathString: shapeLotusFlower(700,500,6,70,30),
      strokeColor: "#ff00ff",
      strokeStyle: 0,
      strokeWidth: "1"
    },
    {
      shapeTypeName: "path",
      fillColor: "none",
      pathString: shapeFlower2(660,670,4, 14,-Math.PI/4, 63.246,-0.32175,
84.85,Math.PI/4),
      strokeColor: "#cccc00",
      strokeStyle: 0,
      strokeWidth: "2"
    }
  ]);
}
/** Lotus shape path */
function shapeLotusFlower(cx,cy,n,r,r2){
  var pathD = '', angle, angle2, x, y, x2, y2;
  function p(x,y){
    return (x+cx)+' '(y+cy);
  }
  for(var i=0; i<n; i++){
    angle = i * Math.PI / n;
    angle2 = (i / n + 0.5) * Math.PI;
    x = r * Math.cos(angle);
    y = r * Math.sin(angle);
    x2 = r2 * Math.cos(angle2);
```

```

        y2 = r2 * Math.sin(angle2);
        pathD += 'M'+p(x,y)
                +'C'+p(x2,y2)+' '+p(-x2,-y2)+' '+p(-x,-y)
                +'C'+p(x2,y2)+' '+p(-x2,-y2)+' '+p(x,y);
    }
    return pathD;
}
/** Petal shape path */
function shapeFlower2(cx,cy,n,r1,a1,r2,a2,r3,a3){
    var pathD = '', angle, angle2, angle3, angle4, x, y, x2, y2;
    function p(r,thi){
        return (r * Math.cos(thi) + cx)+' '+p(r * Math.sin(thi) + cy);
    }
    function polar(r,thi){
        return {r:r,thi:thi};
    }
    for(var i=0; i<n; i++){
        angle = i>0 ? angle4 : a1 + i * 2 * Math.PI / n;
        angle2 = a2 + i * 2 * Math.PI / n;
        angle3 = a3 + i * 2 * Math.PI / n;
        angle4 = a1 + (i+1) * 2 * Math.PI / n;
        pathD += (i>0 ? '' : 'M'+p(r1,angle))
                +'C'+p(r2,angle2)+' '+p(r3,angle3)+' '+p(r1,angle4);
    }
    return pathD;
}
}

```

example 2 Change track width and via hole size

You can open a **PCB** and copy [this example javascript codes](#) to the text box to run a test. After that, All tracks will be 10mil.

```

//you can get the EasyEDA json objects like
https://gist.github.com/071d4680dcdbf6bf9dd6.git
//try to pen a pcb, then run bellow codes.

var json = api('getSource', {type: "json"}),
    id;

for(id in json.TRACK){
    if(json.TRACK.hasOwnProperty(id)){
        json.TRACK[id].strokeWidth = api('edit.unitConvert',
{type:'mil2pixel',value:10}); // 10mil
    }
}

for(id in json.VIA){
    if(json.VIA.hasOwnProperty(id)){
        json.VIA[id].holeR = api('edit.unitConvert',
{type:'mil2pixel',value:10}); // 10mil
    }
}
api('applySource', {source: json, createNew: true});

```

坐标系统和单位

坐标系统

EasyEDA's editor is based [SVG](#), SVG viewport,(Coordinates increase **left-to-right** and **top-to-bottom**, the same as EasyEDA). But SVG's origin is fixed at the left top corn, and EasyEDA's origin can be modified at the any place.



Be careful this, they are different from **Cartesian coordinate system**

单位

There are two kinds of unit in our editor, SVG Canvas unit and real world EasyEDA unit. SVG Canvas unit is **Pixel**. The real world EasyEDA unit in schematic is also **Pixel**, but in PCB, there are **mm**, **mil** and **inch**. We use bellow map to convert Canvas to real world.

- 1 pixel = 10 mil
- 1 pixel = 0.254mm
- 1 pixel = 0.01inch

There are API for these convert.

- mm2pixel: convert 10mm to pixel

```
var result = api('unitConvert', {type:'mm2pixel',value:10});
```

- mil2pixel: convert 10mil to pixel

```
var result = api('unitConvert', {type:'mil2pixel',value:10});
```

There are other convert method, such as `inch2pixel`, `pixel2mm`, `pixel2mil` and `pixel2inch`.

All EasyEDA's value is based pixel, if you can keep in mind that 1 pixel equal 10mil or 0.254 mm, you don't need to use any convert function.

For example, if you want to change a Track to 20mil, so you just need to use 2.

API列表

API List

Get EasyEDA Source

1. get EasyEDA JSON objects, type is `json`, you can check [PCB json object](#) out to know more.

```
var result = api('getSource', {type:'json'});
```

2. get [EasyEDA compress string](#), EasyEDA save this string to our database, it is a bit little hard to read and understand, but it is small in size. EasyEDA save this string to our database.

```
var result = api('getSource', {type:'compress'});
```

3. Get SVG string

```
var result = api('getSource', {type:'svg'});
```

Check the [Get EasyEDA source example codes](#).

Apply Source

After you can use your codes to hack EasyEDA's source, then you need to apply the source to EasyEDA's editor. You can

1. Apply as compress string

//will open a new editor and convert compressStr to EasyEDA file.

```
api('applySource', {source:'compressStr', createNew: true});
```

2. Apply as Json object.

//will modify the active file and convert json object to EasyEDA file.

```
api('applySource', {source: json, createNew: !true});
```

Check the [Apply Source example codes](#).

Get Shape

If you want to get an EasyEDA json object by **id**, you can try to use bellow code.

```
var obj = api('getShape', {id:'gge13'})
```

Delete Shapes

Removing shapes by follow code

Update Shape

If you want to modify an EasyEDA object, you can use this API.

Change the net to GND and the shape to ELLIPSE:

```
api('updateShape', {  
  "shapeType": "PAD",  
  "jsonCache": {  
    "gId": "gge5",  
    "net": "GND"  
    "shape": "ELLIPSE"  
  }  
});
```

shapeType and gId are must provided.

1. Schematic

shapeType, schlib, rect, polyline, polygon, wire, bus, image, circle, ellipse, line, path, arc, annotation, junction, netlabel, busentry, arrowhead, noconnectflag, pin, netflag

2. PCB

shapeType, FOOTPRINT, TRACK, COPPERAREA, SOLIDREGION, RECT, CIRCLE, TEXT, ARC, DIMENSION, PAD, VIA, HOLE

Create Shape

If you want to create EasyEDA shape by codes, you can try. We will provide more information about this API soon, now we just provide examples. You will find out how to do.

with shortUrl:

@example

```
api('createShape', {shapeType:'schlib', shortUrl:'nxlVIGgQ0', from:'system',
title:'556_DIL14', x:400, y:300});
api('createShape', {shapeType:'FOOTPRINT', shortUrl:'Rrkew060i', from:'system',
title:'ARDUINO_PRO_MINI', x:400, y:300});
```

with jsonCache object:

@example

```
api('createShape', {
  "shapeType": "PAD",
  "jsonCache": {
    "gId": "gge5",
    "layerid": "11",
    "shape": "ELLIPSE",
    "x": 382,
    "y": 208,
    "net": "",
    "width": 6,
    "height": 6,
    "number": "1",
    "holeR": 1.8,
    "pointArr": [],
    "rotation": "0"
  }
});
```

@example

```
api('createShape', {
  "shapeType": "polygon",
  "stroke": "#000000",
  "stroke-width": "1",
  "stroke-style": "dashed",
  "fill": "none",
  "points": [
    {"x": 390, "y": 580},
    {"x": 450, "y": 450},
    {"x": 520, "y": 580},
    {"x": 610, "y": 490}
  ]
});
```

@example

```

api('createShape', {
  "shapeType": "arrowhead",
  "x": 300,
  "y": 300,
  "color": "#339933",
  "size": "3",
  "rotation": 0
});

```

@example

```

var ts = ["no_connect_flag", "arrowhead", "busentry", "netLabel_GND",
"netLabel_gnD", "netLabel_gnD", "netLabel_Bar", "netLabel_VEE", "netLabel_-5V",
"netLabel_+5V", "netLabel_VCC", "netLabel_vo1Probe", "netLabel_netPort",
"netLabel_text", "pin", "annotation"];
for(var i=0;i<ts.length;i++){
  api('createShape', {
    "shapeType": ts[i],
    "x": 300 + i%5*50,
    "y": 300 + (i/5|0)*50
  });
}

```

with cached or pre-defined libs:

@example

```

api('createShape', {"shapeType": "pcblib", from:'GeneralPackages',
title:'C0402', x:400, y:300});
@example
api('createShape', {"shapeType": "schlib", from:'EasyEDALibs', title:'HDR2X2',
x:400, y:300});

```

@example 4

```

api('createShape', {
  "shapeType": "schlib",
  "gId": "gge6",
  "head": {},
  "itemOrder": [],
  "annotation": {
    "gge8": api('createShape', 'annotation', {}),
    "gge9": api('createShape', 'annotation', {})
  },
  "pin": {
    "gge11": api('createShape', 'pin', {}),
    "gge14": api('createShape', 'pin', {})
  },
  "polyline": {
    "gge10": api('createShape', 'polyline', {}),
    "gge12": api('createShape', 'polyline', {})
  }
});

```

@example 5

```

api('createShape', {
  "shapeType": "schlib",
  "gId": "gge6",
  "head": {},
  "children": [
    api('createShape', 'polyline', {}),
    api('createShape', 'polyline', {}),
    api('createShape', 'pin', {}),
    api('createShape', 'pin', {}),
    api('createShape', 'annotation', {}),
    api('createShape', 'annotation', {})
  ]
});

```

@example 6

```

api('createShape', {
  "shapeType": "schlib",
  "gId": "gge6",
  "head": {},
  "children": api('createShape', [
    ['polyline', {}],
    ['polyline', {}],
    ['pin', {}],
    ['pin', {}],
    ['annotation', {}],
    ['annotation', {}]
  ])
});

```

UI

If you want to create an extension, not just a run one time script, maybe need toolbar button. You can check the [example](#) before you read.

Create Toolbar Button

@example create a button:

```

api('createToolbarButton', {
  icon: 'extensions/theme/icon.svg',
  title: 'Theme Colors...',
  fordoctype: 'sch,schlib',
  cmd: "extension-theme-setting"
});

```

@example toolbar with menu:

```
api('createToolBarButton', {
  icon:'extensions/theme/icon.svg',
  title:'Theme Colors...',
  fordoctype:'sch,schlib',
  "menu" : [
    {"text":"White on Black", "cmd":"extension-theme-whiteOnBlack"},
    {"text":"Black on white", "cmd":"extension-theme-BlackOnWhite"},
    {"text":"Custom Colors...", "cmd":"extension-theme-setting"}
  ]
});
```

Create Extension Menu

@example

```
api('createExtensionMenu', [
  {
    "text":"Theme Colors...",
    "fordoctype": "sch,schlib",
    "cmd": "extension-theme-white"
  }
]);
```

Create Dialog

check the [example](#)

Command List

Clone

// clone gge2 gge3 and return their new ids.

```
var newIds = api('clone', {ids:["gge2","gge3"]})
```

Delete

```
api('delete', {ids:["gge2","gge3"]});
```

Rotate

// rotate ids to 90 degree

```
api('rotate', {ids:["gge2","gge3"],degree:90});
```

Rotate Left

//anticlockwise

```
api('rotate_left', {ids:["gge2","gge3"]});
```

Rotate Right

```
//clockwise
```

```
api('rotate_right', {ids:["gge2","gge3"]});
```

Fliph

```
api('fliph', {ids:["gge2","gge3"]});
```

Flipv

```
api('flipv', {ids:["gge2","gge3"]});
```

Align Left

```
api('align_left', {ids:["gge2","gge3"]});
```

Align Right

```
api('align_right', {ids:["gge2","gge3"]});
```

Align Top

```
api('align_top', {ids:["gge2","gge3"]});
```

Align Bottom

```
api('align_bottom', {ids:["gge2","gge3"]});
```

Selection

Change or get selection states of EasyEDA objects in editor.

Select

// gge2 and gge3 will be marked as selected.

```
api('select', {ids:["gge2","gge3"]});
```

Select None

//no objects will be selected.

```
api('selectNone');
```

Get Selected Ids

```
var ids = api('getSelectedIds');
```

Move

You can use [Update Shape](#) to change the shapes position, but the Move method is better in this case.

Move Objects

Move shapes in relative coordinates, like move the shapes in arrow keys.

```
//Move gge2 and gge3 from left to right in 20pixel or 200mil step  
//from top to bottom in 20pixel or 200mil step.
```

```
api('moveObjs', {objs:[{gId:"gge2"},{gId:"gge3"}], addx: 20, addy: 20});
```

```
//Move gge2 and gge3 from right to left in 20pixel or 200mil step
```

```
api('moveObjs', {objs:["gge2","gge3"], addx:-20});
```

```
//Move selected objects from left to right in 20pixel or 200mil step
```

```
api('moveObjs', {addx:20});
```

Move Objects To

How to move a [VIA](#) or [junction](#) to position `{x:'10mil', y:'10mil'}` ?, Move shapes to absolute coordinates.

```
//Move gge2 and gge3 to Canvas postion 20,20, the real coordinates are dedpend the origin.
```

```
api('moveObjsTo', {objs:[{gId:"gge2"},{gId:"gge3"}], x:20, y:20});
```

```
//move gge2 and gge3 to 10mm, 10mm coordinates
```

```
api('moveObjsTo', {objs:["gge2","gge3"], x: api('coordConvert',  
{type:'real2canvas',x: '10mm'}), y: api('coordConvert', {type:'real2canvas',y:  
'10mm'})});
```

```
//Move selected objects to Canvas postion 20,20, the real coordinates are dedpend the origin.
```

```
api('moveObjsTo', {x:20, y:20});
```

It is very easy to understand to move a PAD, VIA, Junction to absolution coordinates. But what are the effects of moving TRACK, FOOTPRINT, netlabel to some where. Just try to play the codes, you will find out the regular pattern.

SetOriginXY

EasyEDA's canvas origin is 0,0, you can't change it. But the real coordinates can be mapped to any where.

```
//set the real origin point to canvas x = 400, y = 300. X,Y is pixel all the time.
```

```
var result = api('setOriginXY', {x:400,y:300});
```

Coordinate Convert

You can use mm or mil or inch as units, but when you apply the Parameters to SVG graph, you must use coordinate convert.

//convert the canvas x 400 to real position, the value is dependent your units and origin point.

```
var result = api('coordConvert', {type:'canvas2real',x:400})
```

//the default units is your canvas units, but you can add a units like 300mm.

//if your PCB's units is mil, then you will get the canvas coordinate 400mil,300mm.

```
var result = api('coordConvert', {type:'real2canvas',x:400,y:'300mm'});
```

If you set the origin to **0,0**. It is very easy to map the coordinate in your mind, you don't need to use API to convert. the canvas coordinate **100,100** equal the real coordinate **1000mil, 1000mil** or **1inch, 1inch** or **393.7mm, 393.7mm**

Value Convert

How to set the pad's hole size to 20mm? How to set the Track width to 20mil?

//the default units is your canvas units, but you can add a units like mm, mil, inch, even pixel.

```
var result = api('valConvert', {type:'real2canvas',val:400});  
result = api('valConvert', {type:'real2canvas',val:'400mm'})
```

//convert the 400 pixel to real value, the value is dependent your units, if the unit is mil, the result should be 4000

```
result = api('valConvert', {type:'canvas2real',val:400})
```

If you can keep in mind 1pixel in canvas equal 10mil, so you don't need this API, you can do it in raw way. For example,

If you want to update the track size to 20mil, you can do.

```
api('updateShape', {  
  "shapeType": "TRACK",  
  "jsonCache": {  
    "gId": "gge5",  
    "strokeWidth": 2  
  }  
});
```

Or

```

api('updateShape', {
  "shapeType": "TRACK",
  "jsonCache": {
    "gId": "gge5",
    "strokeWidth": api('valConvert', {type:'real2canvas',val:'20mil'})
  }
});

```

Get SVG Arc Path

SVG [Arc path Parameter](#) is very complex, We provide a API to convert human read ARC parameter to SVG path.

```

var result = api('getSvgArcPathByCRA', {cx:0, cy:0, rx:90, ry:90,
startAngle:0.1, endAngle:0.7, sweepFlag:1});

```

result should be `M89.55037487502231 8.985007498214534A90 90 0 0 1 68.83579685560396 57.97959185139219`

API范例

API范例

Check [Github example](#)

Enjoy it, if you have any questions, do let us know.

modifyTrackVia.js:

```

//you can get the EasyEDA json objects like
https://gist.github.com/071d4680dcd6bf69dd6.git
//try to pen a pcb, then run bellow codes.

var json = api('getSource', {type: "json"}),
    id;

for(id in json.TRACK){
  if(json.TRACK.hasOwnProperty(id)){
    json.TRACK[id].strokeWidth = api('edit.unitConvert',
{type:'mil2pixel',value:10}); // 10mil
  }
}

for(id in json.VIA){
  if(json.VIA.hasOwnProperty(id)){
    json.VIA[id].holeR = api('edit.unitConvert',
{type:'mil2pixel',value:10}); // 10mil
  }
}

api('applySource', {source: json, createNew: true});

```

schematicShapes.js:

```
testInsertShape();

function testInsertShape(){
  api('insertShape', [
    {
      shapeTypeName: "path",
      fillColor: "none",
      pathString: "M520 500 c480 460 550 430 480 410",
      strokeColor: "#000000",
      strokeStyle: 0,
      strokeWidth: "1"
    }
  ]);
  api('insertShape', [
    {
      shapeTypeName: "path",
      fillColor: "none",
      pathString: shapeLotusFlower(500,550,3,80,40),
      strokeColor: "#000000",
      strokeStyle: 0,
      strokeWidth: "1"
    },
    {
      shapeTypeName: "path",
      fillColor: "none",
      pathString: shapeLotusFlower(700,500,6,70,30),
      strokeColor: "#ff00ff",
      strokeStyle: 0,
      strokeWidth: "1"
    },
    {
      shapeTypeName: "path",
      fillColor: "none",
      pathString: shapeFlower2(660,670,4, 14,-Math.PI/4, 63.246,-0.32175,
84.85,Math.PI/4),
      strokeColor: "#cccc00",
      strokeStyle: 0,
      strokeWidth: "2"
    }
  ]);
}

/** Lotus shape path */
function shapeLotusFlower(cx,cy,n,r,r2){
  var pathD = '', angle, angle2, x, y, x2, y2;
  function p(x,y){
    return (x+cx)+' '(y+cy);
  }
  for(var i=0; i<n; i++){
    angle = i * Math.PI / n;
    angle2 = (i / n + 0.5) * Math.PI;
    x = r * Math.cos(angle);
    y = r * Math.sin(angle);
```

```

    x2 = r2 * Math.cos(angle2);
    y2 = r2 * Math.sin(angle2);
    pathD += 'M'+p(x,y)
            +'C'+p(x2,y2)+' '+p(-x2,-y2)+' '+p(-x,-y)
            +'C'+p(x2,y2)+' '+p(-x2,-y2)+' '+p(x,y);
    }
    return pathD;
}
/** Petal shape path */
function shapeFlower2(cx,cy,n,r1,a1,r2,a2,r3,a3){
    var pathD = '', angle, angle2, angle3, angle4, x, y, x2, y2;
    function p(r,thi){
        return (r * Math.cos(thi) + cx)+' '+ (r * Math.sin(thi) + cy);
    }
    function polar(r,thi){
        return {r:r,thi:thi};
    }
    for(var i=0; i<n; i++){
        angle = i>0 ? angle4 : a1 + i * 2 * Math.PI / n;
        angle2 = a2 + i * 2 * Math.PI / n;
        angle3 = a3 + i * 2 * Math.PI / n;
        angle4 = a1 + (i+1) * 2 * Math.PI / n;
        pathD += (i>0 ? '' : 'M'+p(r1,angle))
                +'C'+p(r2,angle2)+' '+p(r3,angle3)+' '+p(r1,angle4);
    }
    return pathD;
}
}

```